



**UNIVERSITA' POLITECNICA DELLE MARCHE**

**FACOLTA' DI INGEGNERIA ELETTRONICA**

---

Corso di Laurea magistrale

**Sviluppo hardware e firmware di un sistema di acquisizione differenziale multicanale per segnali high-voltage in MOSFET di potenza in tecnologia SiC per inverter ambito automotive basato su board TMDSCNCD28388D**

**Hardware and firmware development of a multi-channel differential acquisition system for high-voltage signals in power MOSFET in SiC technology for automotive inverters based on board TMDSCNCD28388D**

Relatore: Chiar.mo

Prof. **Paolo Crippa**

Tesi di Laurea di:

**Riccardo Sgalla**

**A.A. 2021 / 2022**



# INDICE

1	INTRODUZIONE .....	5
1.1	LOCCIONI.....	5
2	MOSFET DI POTENZA.....	7
2.1	MOSFET DI POTENZA TRADIZIONALE (Si).....	7
2.2	MOSFET TRADIZIONALE (SI) VS MOSFET SiC.....	11
2.2.1	RESISTENZA DI CONDUZIONE E TENSIONE DI BREAKDOWN .....	12
2.2.2	COMPORAMENTO ALLE ALTE TEMPERATURE .....	13
3	ELEKTRA ST LOCCIONI .....	14
3.1	POWER MODULE ST ACEPACK DRIVE.....	15
3.2	LOC337.0 PER ST ACEPACK DRIVE POWER MODULE .....	17
4	LOCCIONI GENERIC INVERTER.....	18
5	CONTROL-CARD TEXAS INSTRUMENTS TMDSCNCD28388D.....	20
5.1	C2000 32-BIT MCU TMS320F28388D.....	22
5.1.1	MODULI ANALOGICI.....	23
5.1.2	MODULO INTERPROCESSOR COMUNICATION IPC.....	25
5.1.3	GPIO.....	26
5.2	PROGRAMMAZIONE OTTIMIZZATA MEDIANTE MATLAB SIMULINK .....	26
5.3	180-PIN CONTROL-CARD DOCKING STATION TEXAS INSTRUMENTS.....	27
6	SVILUPPO FIRMWARE .....	28
6.1	SPECIFICHE FIRMWARE .....	28
6.2	SVILUPPI INTERMEDI.....	28
6.2.1	CAMPIONAMENTO AD ALTA VELOCITÀ .....	28
6.2.2	LOGICA DI GESTIONE DELL'ADC .....	29
6.2.3	PROTOCOLLI DI COMUNICAZIONE PER DOWNLOAD DATI ACQUISITI.....	30
6.3	FIRMWARE FINALE CON ACQUISIZIONE ADC A DUE CANALI.....	32
6.4	VALIDAZIONE DEL FIRMWARE .....	38
6.4.1	COMMENTO RISULTATI.....	39

7	SVILUPPO HARDWARE .....	41
7.1	SPECIFICHE HARDWARE .....	41
7.2	CONDIZIONAMENTO $V_{DS}$ .....	41
7.3	CONDIZIONAMENTO $V_{GS}$ .....	44
7.4	INGRESSI DIGITALI .....	46
7.5	USCITE DIGITALI AUSILIARI .....	47
7.6	USCITE ANALOGICHE AUSILIARIE .....	48
7.7	STADIO DI ALIMENTAZIONE .....	48
7.8	PERIFERICA CONTROL-CARD .....	50
7.9	LAYOUT DEL PCB .....	50
7.10	VALIDAZIONE LOC363 .....	53
7.10.1	VALIDAZIONE CIRCUITO DI CONDIZIONAMENTO PER LA $V_{DS}$ .....	55
8	ACQUISIZIONI E RISULTATI .....	56
8.1	ACQUISIZIONI SU LOCCIONI GENERIC INVERTER .....	56
8.2	ACQUISIZIONI SU ELEKTRA ST LOCCIONI .....	59
8.3	ACQUISIZIONI STATICHE CON CALBRATORE DI TENSIONE .....	64
8.4	MODIFICHE HARDWARE PER PROTEZIONE DA FENOMENI EMI .....	67
8.4.1	DISLOCAZIONE DELLA PARTE SUSCETTIBILE DEL SISTEMA D'ACQUISIZIONE .....	68
8.4.2	SCHERMATURA DEL SISTEMA D'ACQUISIZIONE: .....	71
8.4.3	AGGIUNTA DI FERRITI PER DISTURBI DI MODO COMUNE .....	75
8.5	CONFRONTO CON ACQUISITORE PXIe-5111 NATIONAL INSTRUMENTS .....	80
9	CONCLUSIONI .....	83
10	BIBLIOGRAFIA .....	85

# 1 INTRODUZIONE

Il progetto di tesi, svolto presso l'impresa Loccioni, consiste nello sviluppare un sistema di acquisizione basato sulla control-card Texas Instruments (TI) TMDSCNCD28388D per acquisire le tensioni  $v_{GS}$  e  $v_{DS}$  presenti nei MOSFET di potenza in tecnologia SiC con cui si realizzano i power module degli inverter di ultima generazione in applicazioni automotive.

Gli acquisitori di cui i banchi test sviluppati da Loccioni sono dotati raggiungono prestazioni molto elevate in termini di velocità di acquisizione e profondità di memoria ma che in alcuni casi non sono necessarie. Essendo in ogni commessa il fattore costo uno dei parametri fondamentali, sviluppare un acquisitore custom e non sovradimensionato in termini di prestazioni consente un notevole risparmio economico. L'idea di utilizzare il microcontrollore TI TMS320F28388D presente nella control-card TI suddetta, nasce anche dalla necessità di valutare le sue prestazioni in termini di acquisizione essendo essa già impiegata nella maggior parte dei progetti R&D per altri obiettivi, in modo da poter sfruttare tale risorsa hardware senza dover aggiungere altri prodotti. Occorre dunque progettare un firmware in grado di svolgere i task richiesti dal progetto ma allo stesso tempo di essere implementabile come parte di un progetto più complesso. Il lavoro di tesi, oltre allo sviluppo del firmware, prevede anche lo sviluppo dell'hardware di supporto per alimentare il microcontrollore e adattare i livelli di tensione dei segnali acquisiti. Ciò consiste nel progettare un circuito stampato (PCB) che supporta la control-card, si interfaccia con essa ed esegue i compiti appena citati. Infine, la fase ultima del progetto consiste nella messa a punto del sistema andando ad acquisire le tensioni nel modulo di potenza ACEPACK DRIVE sviluppato da STMicroelectronics testato nel banco test Elektra ST sviluppato da Loccioni.

## 1.1 LOCCIONI

Lo studio effettuato nasce dal tirocinio svolto nell'impresa Loccioni, situata ad Angeli di Rosora ma che presenta sedi in tutto il mondo: Germania, Cina, India, Corea del Sud, Stati Uniti d'America e Giappone.

Loccioni è un'impresa che si occupa di sistemi di misure. Uno dei settori principali è il settore automotive, con particolare attenzione verso l'elettrificazione; settore in cui si colloca il progetto sviluppato nella presente tesi.

La realizzazione di un progetto in Loccioni parte innanzitutto dai bisogni basati sul benessere delle persone e del pianeta. Pertanto, i quattro bisogni su cui tutti i progetti Loccioni sono incentrati sono: la salute, l'energia, la mobilità e l'ambiente. Gli ambiti che portano alla realizzazione di un progetto nascono proprio da questi bisogni. Ad esempio, nell'ambito della

mobilità, uno degli interessi principali dell'impresa Loccioni è il mercato dell'automobile. Ogni componente presente nella linea di produzione di una automobile necessita di test che garantiscano l'affidabilità delle singole unità. Iniziando da carburatori per poi passare a iniettori, la necessità di innovazione dirige l'attenzione sull'elettrificazione. Per prodotti nuovi sono necessari una serie di test. Gli approcci principali che l'impresa adotta sono due: la vendita di banchi di test o il servizio di test, che permette ai clienti di testare il prodotto nei laboratori dell'impresa. Loccioni si occupa inoltre di ricerca e sviluppo di prodotti innovativi e servizi End of Line per il collaudo del componente alla fine della produzione. Infine, venduto il prodotto, è possibile eseguire servizi di manutenzione dello stesso.

## 2 MOSFET DI POTENZA

Nella prima parte di questo capitolo si riassume le principali caratteristiche del dispositivo con focus nel comportamento durante le commutazioni. Nella seconda parte si introduce la realizzazione in tecnologia SiC riportando le differenze di prestazioni rispetto alla controparte in silicio.

### 2.1 MOSFET DI POTENZA TRADIZIONALE (Si)

Il power MOSFET è un dispositivo di commutazione sempre più utilizzato nell'elettronica di potenza date le sue elevate prestazioni che, negli ultimi anni, grazie soprattutto allo sviluppo tecnologico dei processi di produzione e alla semplicità di pilotaggio, ha preso il sopravvento su tutti gli altri dispositivi ad esso concorrenti (BJT, IGBT, GTO ecc.). Il principio di funzionamento è quello di un interruttore completamente controllabile unidirezionale in tensione e corrente. Attraverso il terminale di gate, il cui potenziale è riferito al terminale di source, si può mantenere il dispositivo nell'on state, nell'off-state o si può effettuare la commutazione tra uno stato e l'altro e viceversa (ovvero turn-on e un turn-off). La caratteristica tensione-corrente ideale e il simbolo circuitale sono mostrati rispettivamente in Figura 2-1 (a) e Figura 2-1 (b). Come si evince dalla Figura 2-1 (a) nell'on-state il dispositivo è in grado di condurre solamente correnti positive con caduta di tensione idealmente nulla, mentre nell'off-state la corrente si azzerando riuscendo a bloccare tensione solamente positive. Il power MOSFET come accade per il MOSFET di segnale può essere realizzato sia a canale n che a canale p in base al tipo di drogaggio realizzato, ma il più diffuso rimane il MOSFET a canale n. Le differenze tra MOSFET di potenza e di segnale derivanti dalle variazioni della struttura fisica realizzativa sono le seguenti:

- La struttura è sviluppata in verticale in modo tale da migliorare il flusso di corrente da drain a source per avere migliori prestazioni nell'on-state (perdite inferiori di conduzione).
- È presente una grande regione tra bulk e drain realizzata da silicio debolmente drogato n per aumentare la capacità di bloccaggio del dispositivo e quindi la tensione di break-down della giunzione bulk-drain.
- Si cortocircuitano bulk e source per evitare l'accensione del BJT n-p-n parassita ma creando di conseguenza il cosiddetto body-diode con anodo in source e catodo in drain che non consente il bloccaggio di tensioni  $v_{DS}$  negative.

La caratteristica tensione corrente d'uscita ( $v_{DS} - i_D$ ) reale presenta alcune differenze rispetto alla caratteristica ideale; le principali sono:

- tensione  $V_{R,MAX}$  limitata dalla tensione di breakdown della giunzione p-n dipendenza dalla capacità della regione di drift (n-) di ospitare la regione svuotata;
- la tensione  $v_{DS}$  non è nulla ma dipendente dalla corrente  $i_D$  di drain in conduzione causata dalle perdite ohmiche;
- dipendenza della  $i_D$  dall'ampiezza di  $v_{GS}$  a causa degli effetti di modulazione del canale.

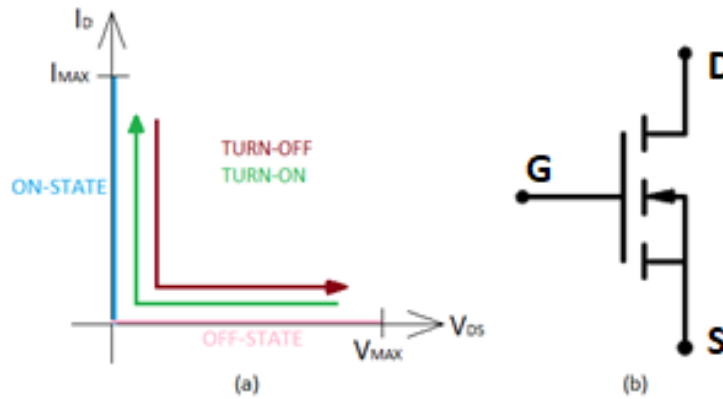


Figura 2-1: power MOSFET: (a) caratteristica ideale – (b) simbolo circuitale

Nelle applicazioni di potenza i MOSFET vengono utilizzati per realizzare switch controllabili; perciò, a differenza dei MOSFET di segnale essi non vengono utilizzati in regione lineare ovvero non vengono fatti lavorare come amplificatori. Per questo motivo è importante analizzare le caratteristiche di switching ovvero l'accensione (turn-on) e lo spegnimento (turn-off).

L'analisi del turn-on e del turn-off del dispositivo di potenza è fondamentale per la progettazione, lo sviluppo, la realizzazione e il controllo di convertitori di potenza; pertanto, occorre dapprima analizzare quali fattori caratterizzano i fenomeni transitori. Essi, in particolare, sono fortemente dipendenti dalle capacità parassite che caratterizzano il MOSFET dovute alla struttura con cui viene realizzato. La Figura 2-2 riporta i circuiti equivalenti del MOSFET di potenza nello stato OFF (a) e nello stato ON (b) con le relative capacità parassite tra gate e source ( $C_{GS}$ ) e tra gate e drain ( $C_{GD}$ ). Quest'ultima è di particolare importanza in quanto è dipendente dalla tensione  $v_{DS}$ . La dipendenza di  $C_{GD}$  dalla  $v_{DS}$  è cruciale nella caratterizzazione dei transitori di turn-on e turn-off per la tensione  $v_{GS}$ . Tale dipendenza mostrata in Figura 2-2 (c) è dovuta al fatto che quando la  $v_{DS}$  è elevata l'area della regione svuotata aumenta e quindi aumenta la distanza tra le armature del condensatore  $C_{GD}$ , con conseguente calo di capacità. Per semplificare le analisi si assume che:

- $v_{DS} < v_{GS} \rightarrow C_{GD} = C_{GD2}$
- $v_{DS} > v_{GS} \rightarrow C_{GD} = C_{GD1}$



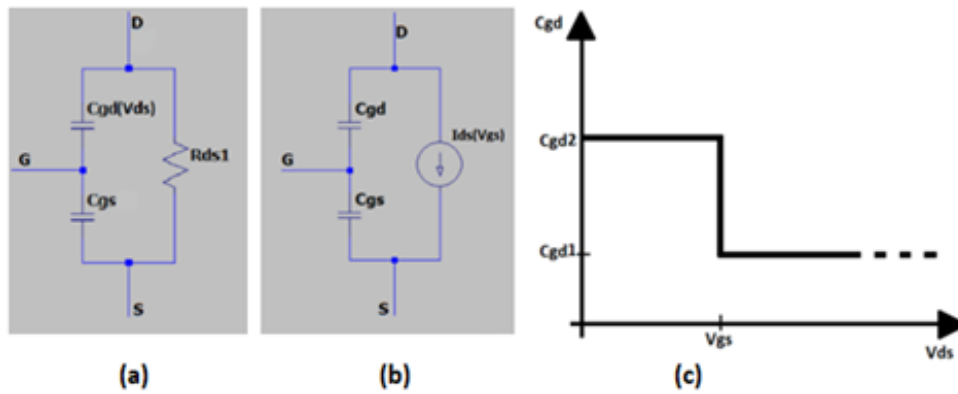


Figura 2-2: (a) circuito equivalente in cut-off e saturazione - (b) circuito equivalente in triodo - (c) legame idealizzato  $C_{GD} - V_{DS}$

Per una corretta analisi delle caratteristiche di commutazione del MOSFET occorre definire l'intero circuito di potenza del convertitore di cui esso fa parte. Per generalizzare il più possibile si considera il convertitore più standard e basilare, ovvero un DC-DC buck converter con carico in serie al MOSFET e diodo di ricircolo in antiparallelo al carico. Tale circuito viene riportato in Figura 2-3; da notare che il carico viene schematizzato nel circuito come un generatore ideale di corrente ad emulare un forte carico induttivo quale può essere un bus DC con induttanza di elevato valore o le spire di un motore. Analizzando il funzionamento si osserva che:

- nello stato ON del MOSFET la tensione sul carico è pari alla tensione DC in ingresso ( $V_d$ ), il MOSFET conduce tutta la corrente  $I_o$  e il diodo  $D_F$  è interdetto e su di esso la tensione è idealmente:  $V_{AK} = -V_d < 0$ .
- nello stato OFF del MOSFET la corrente di carico  $I_o$  circola nel diodo  $D_F$  che si polarizza direttamente mantenendo a 0 V la tensione sul carico.
- Il valore medio della tensione sul carico è dunque inferiore alla tensione  $V_d$  (step-down) ed è proporzionale ad essa con costante di proporzionalità pari al duty-cycle di conduzione del MOSFET. Ipotizzando assenza di perdite si può affermare che la corrente fornita in ingresso  $I_d$  è inferiore alla corrente sul carico sempre in maniera proporzionale attraverso il duty-cycle del MOSFET.

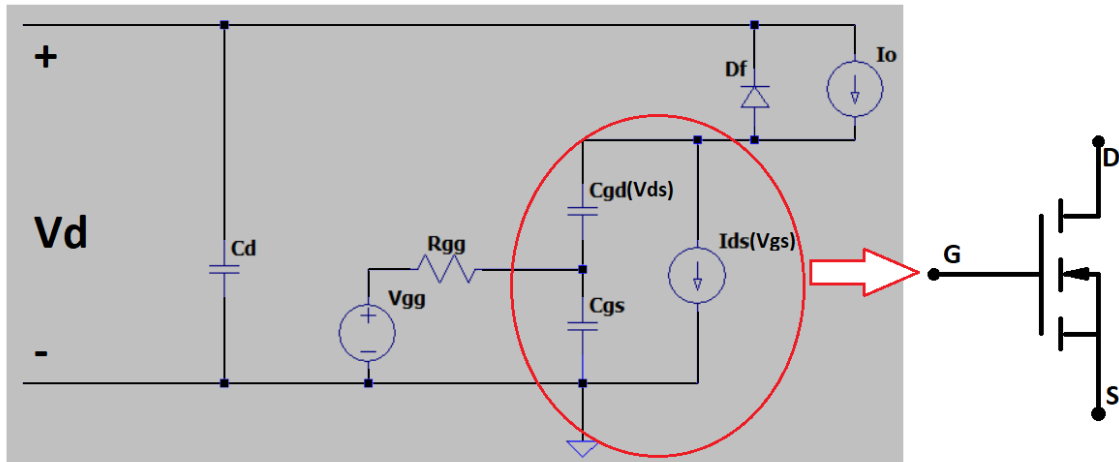


Figura 2-3: step-down (buck) converter con carico high-side in serie

Analizzando gli andamenti temporali delle tensioni e correnti sul MOSFET durante il turn-on si nota che le commutazioni delle tensioni  $v_{GS}$  e  $v_{DS}$  e della corrente  $i_D$  non sono istantanee. Al tempo  $t = 0$  si applica un gradino positivo al terminale di gate  $v_{GG+}$  di ampiezza  $v_{GG+}$  necessario per innescare il turn-on. A causa degli effetti capacitivi in ingresso la tensione  $v_{GS}$  non sale istantaneamente ma cresce come espresso nell'equazione ( 2.1 ) con costante di tempo  $\tau_{G1}$  definito dalla ( 2.2 ).

$$v_{GS} = v_{GG+} \left( 1 - e^{-\frac{t}{\tau_{G1}}} \right) \quad (2.1)$$

$$\tau_{G1} = R_G (C_{GD1} + C_{GS}) \quad (2.2)$$

Quando la tensione  $v_{GS}$  arriva al valore di soglia  $v_{GS(th)}$ , la corrente  $i_D$  comincia a salire con pendenza pressoché costante finché raggiunge il valore  $i_D$ . A questo punto si manifestano i seguenti fenomeni:

- la corrente di carico scorre tutta sul MOSFET; il diodo di ricircolo smette di condurre e la tensione sul carico può salire, di conseguenza quella sul MOSFET può scendere essendo:

$$v_{DS} = V_d - v_O \quad (2.3)$$

- la tensione  $v_{GS}$  interrompe la sua crescita in quanto variando la  $v_{DS}$  si ha variazione della capacità  $C_{GD}$  per tutto l'intervallo di tempo in cui la tensione  $v_{DS}$  scende. In quest'ultimo intervallo globalmente  $C_{GD}$  passa dal valore  $C_{GD1}$  al valore  $C_{GD2}$ .

Durante tutta la fase di discesa della tensione  $v_{DS}$ , la variazione di carica è praticamente compensata dall'aumento di capacità ottenendo come risultato un plateau di tensione  $v_{GS}$ . Quando la tensione  $v_{DS}$  si azzerava la  $v_{GS}$  torna a crescere ma in maniera più lenta a causa dell'aumento della costante di tempo causato a sua volta dall'aumento di capacità infatti:

$$\tau_{G2} = R_G(C_{GD2} + C_{GS}) > \tau_{G1} \quad (2.4)$$

Quando la  $v_{GS}$  arriva al valore  $v_{GG+}$  la corrente di gate si azzerava e il turn-on è terminato.

Il turn-off nei MOSFET di potenza è innescato da un gradino di tensione negativo al gate che interrompe lo stato di conduzione. In questo caso supponiamo un gradino che al tempo  $t = 0$  passa dal valore di tensione  $v_{GG+}$  positivo a 0 V. A causa dell'impedenza capacitiva di ingresso la corrente di gate assume istantaneamente valori negativi. La tensione  $v_{GS}$  inizia a scendere in maniera esponenziale con costante di tempo  $\tau_{G2}$  calcolata nella (2.4). Dopodiché, la tensione  $v_{DS}$  comincia a salire con pendenza quasi lineare fino al valore  $V_d$ ; durante tutto il tempo di salita della tensione  $v_{DS}$  la tensione  $v_{GS}$  rimane costante perché la variazione di carica è dovuta alla variazione di capacità  $C_{GD}$  (che scende dal valore  $C_{GD1}$  al valore  $C_{GD2}$ ) e non alla variazione di tensione. A questo punto la tensione sul diodo si azzerava ed esso inizia a condurre la corrente di carico. La corrente sul drain del MOSFET scende fino ad annullarsi e contemporaneamente scende esponenzialmente anche la tensione  $v_{GS}$  con costante di tempo  $\tau_{G1}$  calcolata nella (2.2). La corrente si annulla nell'istante in cui la  $v_{GS}$  assume il valore  $v_{GS(th)}$ , dopodiché la  $v_{GS}$  continuerà a scendere fino ad azzerarsi ponendo fine al turn-off.

## 2.2 MOSFET TRADIZIONALE (SI) VS MOSFET SiC

Il MOSFET di potenza è un dispositivo il cui funzionamento è basato sull'utilizzo di materiale semiconduttore. Il semiconduttore più utilizzato e comune è il silicio. Essi hanno la proprietà di essere ottimi isolanti allo stato naturale ma fornendo energia i suoi elettroni possono passare dalla banda di valenza a quella di conduzione ed essere disponibili per la conduzione di corrente. Inoltre, il silicio ha un'altra proprietà importante ed è quella di poter essere drogato aggiungendo alla struttura impurità per favorire la capacità di conduzione aggiungendo elettroni in banda di conduzione (drogaggio di tipo n) o lacune in banda di valenza (drogaggio di tipo p). Queste importanti proprietà rendono i semiconduttori e in particolare il silicio il materiale più utilizzato in queste applicazioni. Il silicio (Si) e il carburo di silicio (SiC) sono due tipi di semiconduttori, ampiamente utilizzati dai produttori di dispositivi MOSFET di potenza, grazie alla loro bassa perdita di potenza e all'elevata efficienza energetica [6].

Negli ultimi anni la tendenza è stata quella di spostarsi verso l'utilizzo di semiconduttori con elevato band-gap, ovvero energia necessaria per far passare un elettrone dalla banda di valenza a quella di conduzione. Tra i materiali con queste proprietà spiccano il carburo di silicio (SiC) e il nitruro di gallio (GaN).

Nella sezione che segue si svolge un'analisi con lo scopo di confrontare le prestazioni dei semiconduttori Si e SiC nei MOSFET di potenza.

La Figura 2-4 mostra una panoramica delle caratteristiche elettriche energetiche e termiche del silicio (Si) e del carburo di silicio (SiC) che influiscono per lo più sulle prestazioni di qualsiasi power switch in un sistema di potenza come può essere ad esempio un inverter (DC-AC).[6]

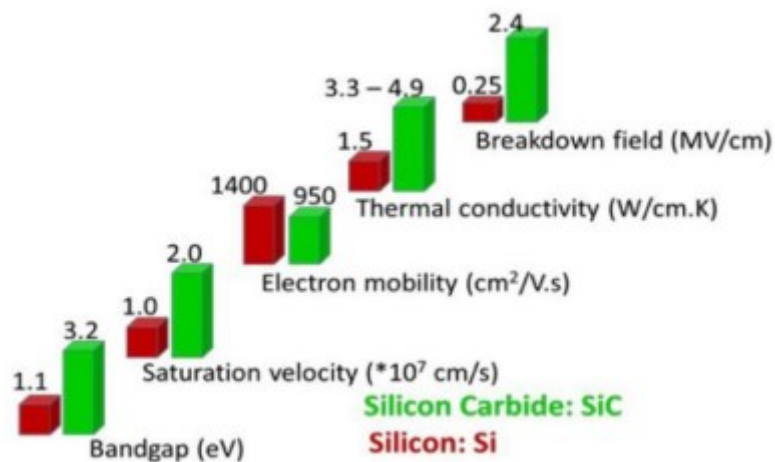


Figura 2-4: proprietà a confronto del silicio e del carburo di silicio [6]

### 2.2.1 RESISTENZA DI CONDUZIONE E TENSIONE DI BREAKDOWN

Si consideri il caso ideale in cui si assumono vere le seguenti ipotesi:

- il dispositivo riesce a bloccare la tensione inversa senza riscontrare degradi dovuti all'aumento locale del campo elettrico;
- La resistenza nello stato on è dovuta solamente alla resistenza nella regione di drift;

allora la resistenza nello stato on per unità di area viene espressa dalla formula:

$$R_{ON,sp} = \frac{4V_{BB}^2}{\epsilon_S \mu E_C^3} \quad (2.5)$$

Dalle caratteristiche sopra menzionate e dalla formula riportata si può ricavare il grafico che mostra l'andamento della resistenza di conduzione per unità di area  $R_{ON,sp}$  in funzione della tensione di breakdown  $V_{BB}$  a confronto tra MOSFET Si e MOSFET SiC (Figura 2-5)

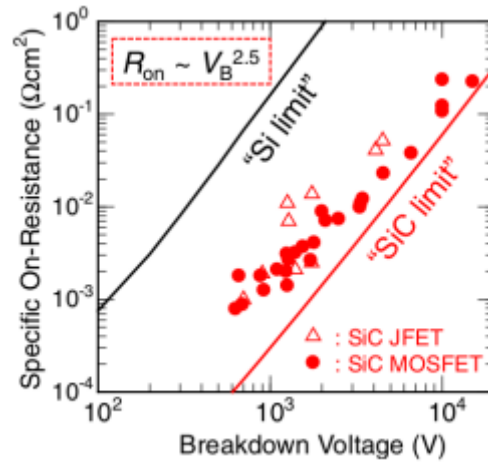


Figura 2-5: confronto MOSFET Si e SiC - andamento resistenza nell'on-state in funzione del breakdown voltage [6]

Il grafico riportato mostra come a parità di tensione di breakdown e quindi a parità di tensione di blocco la resistenza nello stato on per il MOSFET SiC è almeno due ordini di grandezza inferiore rispetto alla controparte in silicio, il che porta ad una dissipazione di potenza molto inferiore a vantaggio del SiC.

### 2.2.2 COMPORTAMENTO ALLE ALTE TEMPERATURE

I dispositivi di potenza tendono a surriscaldarsi quando vengono utilizzati per gestire elevati flussi di potenza. La potenza dissipata è dovuta per lo più alle perdite che si verificano durante le commutazioni (turn-on e turn-off), e queste perdite sono la causa del surriscaldamento del dispositivo stesso. È dunque importante analizzare l'effetto della temperatura sulle caratteristiche elettriche. Le Figura 2-6 (a) e (b) riportano l'andamento della temperatura in funzione della tensione di drain per MOSFET Si e SiC rispettivamente. I dati riportati nella fanno riferimento a MOSFET con stesso drogaggio, stessa lunghezza e larghezza di canale, stesso spessore della regione di drift e stesse condizioni di lavoro. Si nota che le temperature raggiunte dal MOSFET SiC si mantengono molto più basse rispetto alla controparte in silicio tradizionale a testimoniare perdite inferiori e maggior efficienza energetica.

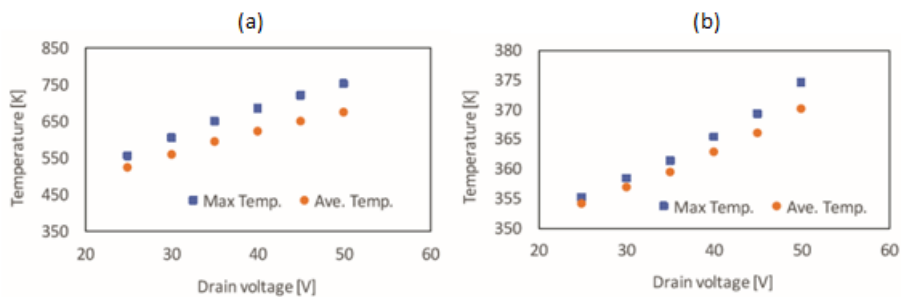


Figura 2-6: temperatura massima e media in funzione della tensione di drain [6]

### 3 ELEKTRA ST LOCCIONI

Elektra è una macchina di automazione industriale elettrica, elettronica ed idraulica realizzata da Loccioni su misura per il cliente per test in generale termici, elettrici e di isolamento di inverter e/o moduli di potenza ambito automotive per veicoli elettrici (EV). Elektra permette di creare dei profili che descrivono il valore delle varie grandezze fisiche controllabili e come esse variano durante il test per analizzare il comportamento del DUT (device under test), misurando le grandezze d'interesse attraverso i sistemi di acquisizione di cui è equipaggiata (es. sonde di corrente, oscilloscopi ecc.). Esistono dunque vari tipi di Elektra in base alle esigenze del cliente e nel caso in questione si ha a che fare con Elektra customizzata per il cliente STMicroelectronics (Figura 3-1). Tra i test effettuati ci sono:

- prove di durata del modulo di potenza eseguendo un determinato profilo per una durata di 17 giorni;
- prove di cortocircuito svolte misurando le grandezze fisiche cortocircuitando una delle gambe del power module;
- misura della resistenza termica tra fluido di raffreddamento (glycole: 50% acqua e 50% glysantin G-48) e giunzione di isolamento elettrico.



Figura 3-1: parte frontale Elektra STMicroelectronics Loccioni

### 3.1 POWER MODULE ST ACEPACK DRIVE

Il modulo di potenza testato è rappresentato in Figura 3-2. Esso è costituito da sei MOSFET realizzati in tecnologia SiC dai quali verranno acquisite  $v_{GS}$  e  $v_{DS}$ . I sei MOSFET presenti realizzano il circuito di potenza dell'inverter trifase riportato in Figura 3-3. Oltre all'elettronica di potenza il modulo comprende il circuito di pilotaggio.

Il controllo viene effettuato con logica real-time ed FPGA in anello chiuso di corrente in ampiezza e frequenza con carico induttivo trifase a stella da 40  $\mu\text{H}$  con centro stella flottante. Si acquisisce la corrente nelle tre fasi attraverso trasformatore di corrente LEM, la si confronta con i valori target e dall'errore si interviene sul segnale di controllo che modifica la PWM che controlla lo stato di conduzione dei MOSFET per adattare l'ampiezza e la frequenza della corrente sulle fasi.

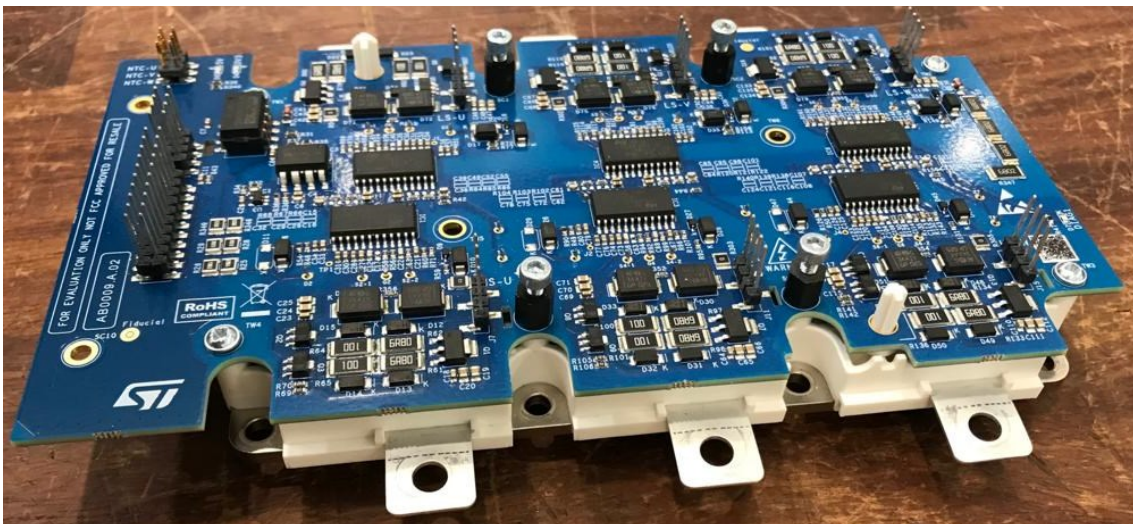


Figura 3-2: power module ST Acepack drive

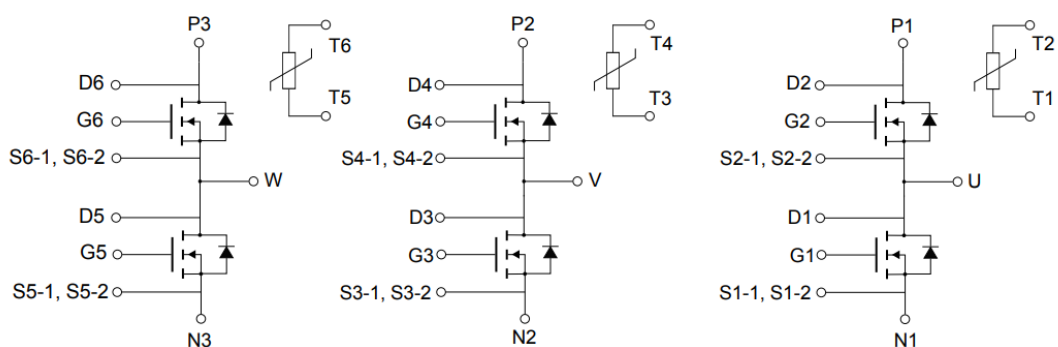


Figura 3-3: schema elettrico del power module ST ACEPACK DRIVE [1]

Dallo schema in Figura 3-3 si nota che il modulo è costituito da 6 MOSFET di potenza con diodo di ricircolo in antiparallelo costituendo le 3 gambe per la realizzazione di un inverter trifase.

Le tabelle riportate illustrano i valori massimi assoluti (Tabella 3-1), le caratteristiche elettriche dei MOSFET (Tabella 3-2) e quelle dei diodi di ricircolo (Tabella 3-3) forniti da STMicroelectronics.

Symbol	Parameter	Value	Unit
$V_{(BR)DSS}$	Drain-source breakdown voltage	1200	V
$V_{GS}$	Gate-source voltage	-10 to 22	V
$V_{GSop}$	Gate-source voltage (recommended operational values)	-5 to 18	V
$I_D^{(1)}$	Continuous drain current at $T_F = 75\text{ °C}$ (refer to $T_J \text{ max} = 175\text{ °C}$ , $V_{GS} = 18\text{ V}$ )	488	A
$I_{DM}^{(2)}$	Repetitive peak drain current	1000	A
$P_{TOT}$	Total power dissipation at $T_F = 75\text{ °C}$	869	W
$T_J$	Operative junction temperature range under switching conditions	-40 to 175 <sup>(3)</sup>	°C

Tabella 3-1: absolute maximum ratings – MOSFET [1]

Symbol	Parameter	Test conditions	Min.	Typ.	Max.	Unit
$R_{DS(on)}^{(1)}$	Static drain-source on-resistance	$V_{GS} = 18\text{ V}$ , $I_D = 480\text{ A}$		1.90	2.60	mΩ
		$V_{GS} = 18\text{ V}$ , $I_D = 480\text{ A}$ , $T_J = 175\text{ °C}$		3.35		
		$V_{GS} = 18\text{ V}$ , $I_D = -480\text{ A}$		1.70		
		$V_{GS} = 18\text{ V}$ , $I_D = -480\text{ A}$ , $T_J = 175\text{ °C}$		3.30		
$V_{GS(th)}$	Gate threshold voltage	$V_{DS} = V_{GS}$ , $I_D = 50\text{ mA}$	1.9	3.1	4.4	V
$I_{DSS}$	Zero gate voltage drain current	$V_{GS} = 0\text{ V}$ , $V_{DS} = 1200\text{ V}$			100	μA
		$V_{GS} = 0\text{ V}$ , $V_{DS} = 1200\text{ V}$ , $T_J = 150\text{ °C}$			2	mA
$I_{GSS}$	Gate-body leakage current	$V_{DS} = 0\text{ V}$ , $V_{GS} = -10\text{ to }22\text{ V}$		2		μA
$C_{iss}$	Input capacitance	$V_{DS} = 800\text{ V}$ , $f = 1\text{ MHz}$ , $V_{GS} = 0\text{ V}$		37.42		nF
$C_{oss}$	Output capacitance			1.43		
$C_{rss}$	Reverse transfer capacitance			0.13		
$Q_g$	Total gate charge	$V_{DS} = 800\text{ V}$ , $I_D = 480\text{ A}$ , $V_{GS} = -5\text{ V to }18\text{ V}$		1258		nC
$Q_{gs}$	Gate-emitter charge			431		
$Q_{gd}$	Gate-collector charge			403		

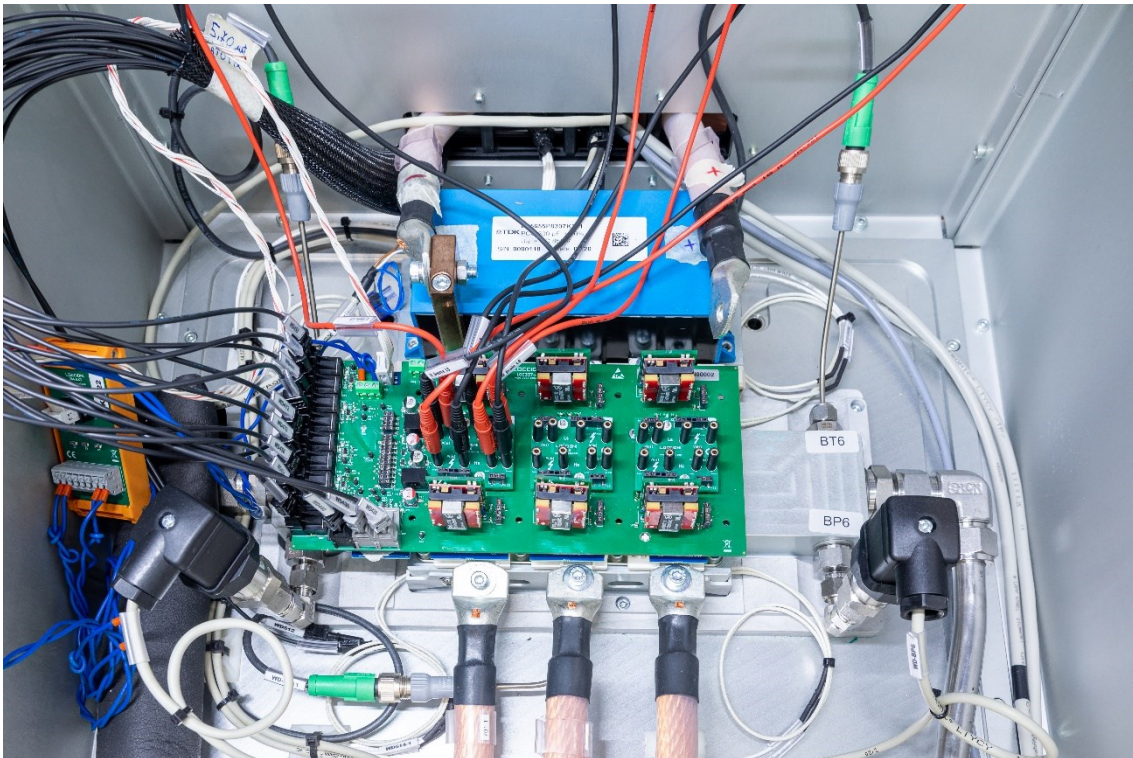
Tabella 3-2: caratteristiche elettriche di ogni switch [1]

Symbol	Parameter	Test conditions	Min.	Typ.	Max.	Unit
$V_{SD}$	Forward on voltage drop	$V_{GS} = -5\text{ V}$ , $I_{SD} = 480\text{ A}$	-	4.4	-	V
$t_{rr}$	Reverse recovery time	$V_{DD} = 800\text{ V}$ , $V_{GS} = -5\text{ to }18\text{ V}$ , $R_G = 10\text{ Ω}$ , $di/dt_{on} = 4.2\text{ A/ns}$ , $I_{SD} = 480\text{ A}$	-	34	-	ns
$Q_{rr}$	Reverse recovery charge		-	2.5	-	μC
$I_{RRM}$	Reverse recovery current		-	128	-	A
$E_{rec}$	Reverse recovery energy		-	0.52	-	mJ
$t_{rr}$	Reverse recovery time		-	57	-	ns
$Q_{rr}$	Reverse recovery charge	$V_{DD} = 800\text{ V}$ , $V_{GS} = -5\text{ to }18\text{ V}$ , $R_G = 10\text{ Ω}$ , $di/dt_{on} = 5.5\text{ A/ns}$ , $I_{SD} = 480\text{ A}$ , $T_J = 175\text{ °C}$	-	6.6	-	μC
$I_{RRM}$	Reverse recovery current		-	195	-	A
$E_{rec}$	Reverse recovery energy		-	1.96	-	mJ

Tabella 3-3: caratteristiche elettriche - diodo di ricircolo [1]



### 3.2 LOC337.0 PER ST ACEPACK DRIVE POWER MODULE



*Figura 3-4: ST Acepack power module con fixture Loccioni per segnali ottici ed elettrici*

Per l'interfaccia tra il gate driver del modulo e la logica di controllo, Loccioni ha progettato e sviluppato la scheda LOC337.0 visibile in Figura 3-4. Essa si monta nel power module e ha il compito di fornire un'interfaccia (fixture) per dialogare con il gate driver ST. La fixture comprende 9 ingressi ottici (in nero), 2 uscite ottiche (in bianco) e 24 contatti elettrici per prelevare le tensioni  $v_{DS}$  e  $v_{GS}$  da ognuno dei SiC. Sei dei dieci ingressi ottici trasportano i livelli logici "0" e "1" del segnale logico di gate-source di ognuno dei 6 MOSFET che saranno poi trasformati in livelli di tensione -5 V e +18 V rispettivamente dalla scheda stessa. I rimanenti 3 ingressi ottici e le due uscite ottiche servono per la comunicazione SPI con la logica di controllo per programmare e scambiare informazioni con il circuito di pilotaggio. Grazie alla LOC227.0 è possibile dunque prelevare la tensione  $v_{DS}$  e  $v_{GS}$  dal modulo che sarà poi acquisita dal sistema di acquisizione sviluppato in questo progetto.

## 4 LOCCIONI GENERIC INVERTER

Il Generic Inverter è un progetto Luccioni R&D attualmente in fase di sviluppo. Si tratta di un convertitore DC-AC trifase con gestione del flusso di potenza bidirezionale con la caratteristica di avere flessibilità su tensione nel DC-bus, frequenza di switching, frequenza e ampiezza delle correnti di fase in uscita. I moduli di potenza utilizzati sono gli Half-Bridge Module Wolfspeed CAB450M12XM3 [4] (Figura 4-1) composto da MOSFET in tecnologia SiC. Le caratteristiche principali del modulo di potenza sono:

- $V_{DS,MAX} = 1200\text{ V}$
- $V_{GS,MIN} = -4\text{ V}$
- $V_{GS,MAX} = 14\text{ V}$
- $I_{D,MAX} = 450\text{ A}$

Come si evince dal circuito riportato ogni modulo di potenza compone una gamba dell'inverter a ponte; dunque, per creare l'inverter trifase occorre utilizzarne tre connessi in parallelo.

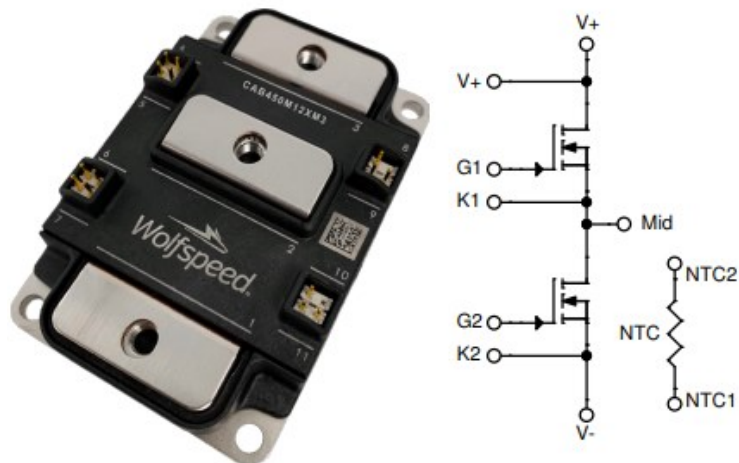
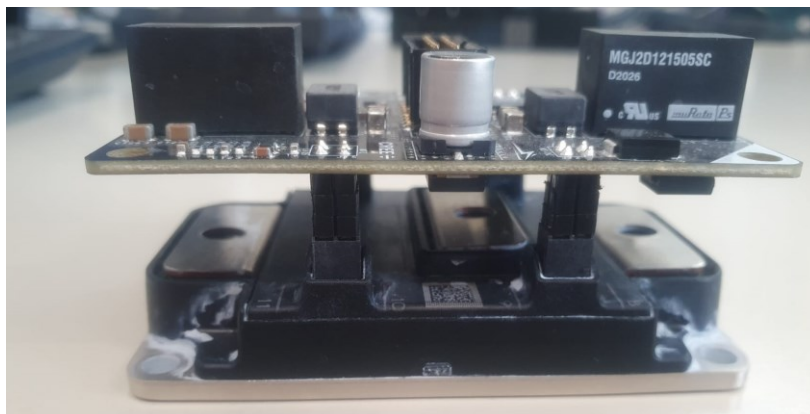


Figura 4-1: half-bridge power module Wolfspeed + schema elettrico [4]



*Figura 4-2: Generic Inverter Luccioni*

Il controllo ha le stesse caratteristiche di quello utilizzato nei power module ST Acepack Drive discusso precedentemente, ovvero ad anello chiuso di corrente infatti sono presenti le sonde di corrente sulle tre fasi dell'inverter per monitorare ampiezza e frequenza. La differenza in questo caso è che il gate driver (Figura 4-3), montato sopra al modulo non è equipaggiato di alcun morsetto per prelevare le tensioni di gate, drain e source a differenza di quanto accade nell'ST Acepack Drive, per questo motivo la tensione di gate non è raggiungibile, mentre si possono comunque prelevare le tensioni di drain e di source avendo sempre a disposizione i contatti elettrici del DC-BUS e delle fasi.



*Figura 4-3: modulo di potenza a MOSFET SiC Wolfspeed + gate driver*

## 5 CONTROL-CARD TEXAS INSTRUMENTS TMDSCNCD28388D

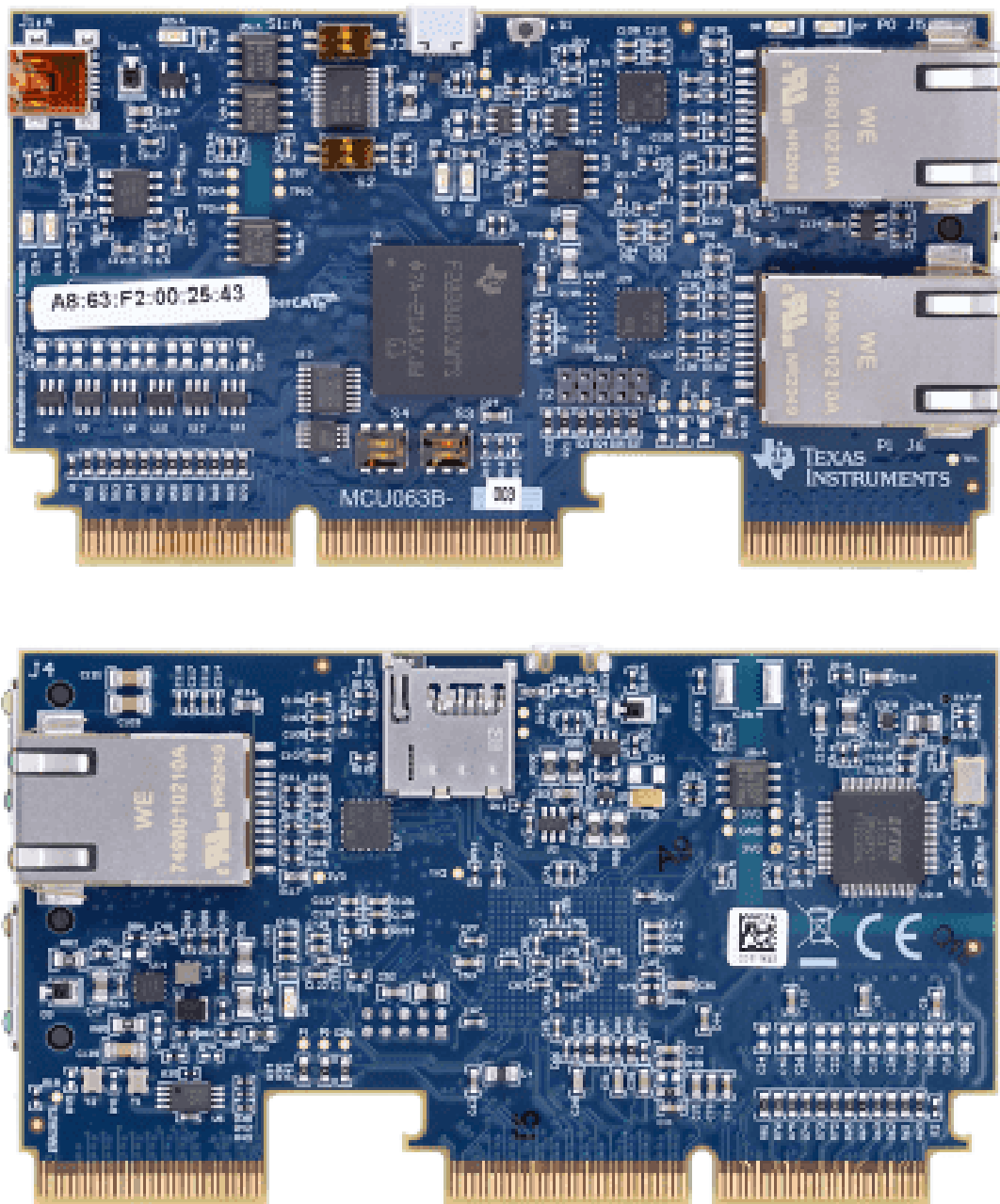


Figura 5-1: TMDSCNCD28388D control-card Texas Instruments fronte e retro [4]

La control-card TMDSCNCD28388D [4] prodotta da Texas Instruments (TI) basata sul controllore TMS320F28388D (F28388D) della famiglia C2000 possiede l'intelligenza con la quale si gestiscono le operazioni che il sistema d'acquisizione svolge durante il suo funzionamento.

Segue l'elenco delle caratteristiche della control-card:

- Microcontrollore F28388D – Il microcontrollore C2000 ad alte prestazioni si trova sulla control-card.

- Interfaccia HSEC8 Edge Card a 180 pin: consente la compatibilità con tutti i kit applicativi e le control-card basati su control-card a 180 pin di C2000. La compatibilità con le control-card a 100 pin può essere ottenuta utilizzando la scheda adattatore TMDSADAP180TO100 (venduta separatamente).
- Emulazione JTAG isolata integrata – Un emulatore XDS100v2 fornisce una comoda interfaccia per Code Composer Studio™ senza hardware aggiuntivo. L'impostazione di un interruttore consente di utilizzare un emulatore JTAG esterno.
- Connettività: la control-card contiene connettori che consentono di sperimentare con USB, una scheda microSD e un ricevitore/trasmittitore asincrono universale (UART)/SCI isolato con l'MCU F2838x.
- Breakout del segnale chiave: la maggior parte dei segnali GPIO, convertitore analogico-digitale (ADC) e altri segnali chiave vengono instradati a connettori hard gold.
- Filtraggio robusto dell'alimentatore – Un singolo alimentatore di ingresso da 5 V alimenta un LDO da 3,3 V su scheda. Tutti gli ingressi MCU vengono quindi disaccoppiati utilizzando filtri LC vicino al dispositivo.
- Bloccaggio ADC – Gli ingressi ADC sono bloccati da diodi di protezione.
- Filtri anti-aliasing – È possibile aggiungere facilmente filtri antirumore (filtri RC di piccole dimensioni) sui pin di ingresso dell'ADC.

Di seguito si riporta la tabella delle connessioni hardware presenti nella control-card.

Connectors	
J1:A	Emulation/UART connector - USB mini A connector used to provide XDS100v2 emulation and USB-to-UART (SCI) communication through FTDI logic. S1:A determines which connections are enabled to the MCU.
J1	microSD card slot – connects to MCU via SPI
J2	FSI Header
J3	USB connector – USB micro AB connector supports USB 2.0 host/device
J4	Ethernet connector – RJ45 connector
J5	EtherCAT P0 – RJ45 connector
J6	EtherCAT P1 – RJ45 connector

LEDs	
D2:A	Turns on when ISO JTAG logic is powered on (green)
D3:A	JTAG/UART RX toggle indicator (blue)
D4:A	JTAG/UART TX toggle indicator (blue)
D1	Controlled by GPIO–31 with negative logic (red)
D2	Controlled by GPIO–34 with negative logic (red)
D5	Turns on when the controlCARD is powered ON (green)
D7	Controlled by GPIO–145, EtherCAT Error LED (red)
D8	Controlled by GPIO–146, EtherCAT Run LED (green)

Resistors and Capacitors	
R47, R48	<p><b>Alternate Reference Configuration Resistors:</b> These resistors allow the user to choose whether the alternate reference for the ADCs will be given by:</p> <ul style="list-style-type: none"> <li>• <b>If R47 is unpopulated &amp; R48 is populated:</b> A precision 3.0V reference (REF5030)</li> <li>• <b>If R47 is populated &amp; R48 is unpopulated:</b> The reference will be given by pin 45 of the HSEC controlCARD connector. This will allow the baseboard to provide the desired voltage reference.</li> </ul>
C16-C27, C32-C43	Optional RC input filter for all ADC inputs

Tabella 5-1: connessioni hardware [5]

## 5.1 C2000 32-BIT MCU TMS320F28388D

I microcontrollori a 32 bit della famiglia C2000 sono progettati per il controllo in tempo reale di convertitori di potenza. Forniscono un controllo in tempo reale a bassa latenza per diversi livelli di prestazioni e fasce di prezzo. Questi MCU possono essere associati con circuiti integrati in nitruro di gallio (GaN) e dispositivi di potenza in carburo di silicio (SiC) per sfruttare al meglio le loro potenzialità. In questo modo si possono ottenere alte frequenze di switching e alte densità di potenza.

L’F28388D [2] è un membro della famiglia C2000 di microcontrollori che opera real-time ed è progettato per l’efficienza nell’elettronica di potenza, grazie alle caratteristiche di scalabilità e bassa latenza, permettendo alta densità di potenza, alte frequenze di commutazione e supportando l’uso delle tecnologie GaN e SiC.

Il sottosistema di controllo in tempo reale si basa sul core DSP C28x a 32 bit di TI, che fornisce 200 MHz di velocità di elaborazione del segnale. La CPU C28x è ulteriormente potenziata dalla Trigonometric Math Unit (TMU) e dal set di istruzioni estese VCRC (Cyclical Redundancy Check), velocizzando algoritmi comuni essenziali per i sistemi di controllo in tempo reale. I set di istruzioni estese abilitano la matematica a virgola mobile a 64 bit a precisione doppia IEEE. Infine, il Control Law Accelerator (CLA) consente ulteriori 200 MHz per core di capacità di elaborazione indipendente. Questo dispositivo contiene anche un Connectivity Manager (CM) indipendente, basato sul processore ARM Cortex-M4, che lavora a 125 MHz. Con il proprio flash e SRAM dedicati, il CM consente un controllo completamente indipendente delle interfacce in entrata e in uscita dall’F28388D, consentendo la massima larghezza di banda per le unità C28x, in modo che possano concentrarsi sul controllo in tempo reale. Presenta fino a 12 canali ADC a 16 o 12 bit per l’acquisizione di segnali analogici e conversione in digitale e 102 ingressi/uscite programmabili digitali (GPIO general purpose input/output). I blocchi analogici ad alte prestazioni sono strettamente integrati con le unità di elaborazione e controllo per fornire prestazioni ottimali della catena del segnale in tempo reale. L’inclusione del Configurable Logic Block (CLB) consente all’utente di aggiungere logica personalizzata e potenzialmente integrare funzioni simili a FPGA nell’MCU C2000. Per la prima volta su un MCU in tempo reale C2000, è presente un EtherCAT Slave Controller, insieme ad altri protocolli standard del settore come CAN-FD e USB 2.0. L’interfaccia seriale veloce (FSI) raggiunge i 200 Mbps di trasferimento dati.

### 5.1.1 MODULI ANALOGICI

I moduli analogici presenti includono: Convertitori analogico-digitali (ADC), sensore di temperatura, convertitori digitale-analogici bufferizzati (DAC), and Comparator Subsystem (CMPSS). Il sottosistema analogico presenta le seguenti caratteristiche:

- Riferimenti di tensione flessibili – Gli ADCs sono riferiti ai pin VREFHx e VREFLOx
- Il pin VREFHx deve essere pilotato esternamente
- I buffered DACs sono riferiti di default ai potenziali VREFHx e VSSA o alternativamente, il riferimento positivo può essere impostato dal pin VDAC.
- I comparator DACs sono riferiti di default ai potenziali VDDA e VSSA o alternativamente, il riferimento positivo può essere impostato dal pin VDAC.
- Utilizzo flessibile dei pin – I Buffered DAC and comparator subsystem functions sono multiplexati con gli ingressi ADC
- Connessione interna al potenziale VREFLO per tutti gli ADCs per auto calibrazione dell'offset.

Ognuno di essi è composto da un ADC ad approssimazione successiva (SAR) con una risoluzione selezionabile di 16 bit o 12 bit. L'ADC è composto da un core (nucleo) e un wrapper (involucro). La Figura 5-3 mostra il diagramma a blocchi di ogni modulo ADC. Il core è composto dai circuiti analogici, che includono il canale MUX di selezione, il circuito sample-and-hold (S/H), i circuiti di approssimazione successiva, circuiti di riferimento di tensione e altri circuiti di supporto analogici. Il wrapper è composto dai circuiti digitali che permettono di configurare e controllare l'ADC. Questi circuiti includono la logica per le conversioni programmabili, i registri dei risultati, interfacce per circuiti analogici, interfacce per bus periferici, circuiti di post-elaborazione e interfacce per altri moduli su chip. Ogni modulo ADC è costituito da un singolo circuito sample-and-hold (S/H). Il modulo ADC è progettato per essere duplicato più volte sullo stesso chip, consentendo il campionamento simultaneo o il funzionamento indipendente di più ADC. Ogni modulo ADC presenta fino a 6 canali di conversione se utilizzati nella modalità single-ended oppure 3 canali di conversione se utilizzati nella modalità differenziale. Ogni wrapper ADC è basato su un elemento chiamato (SOC) configurable start-of-conversion.

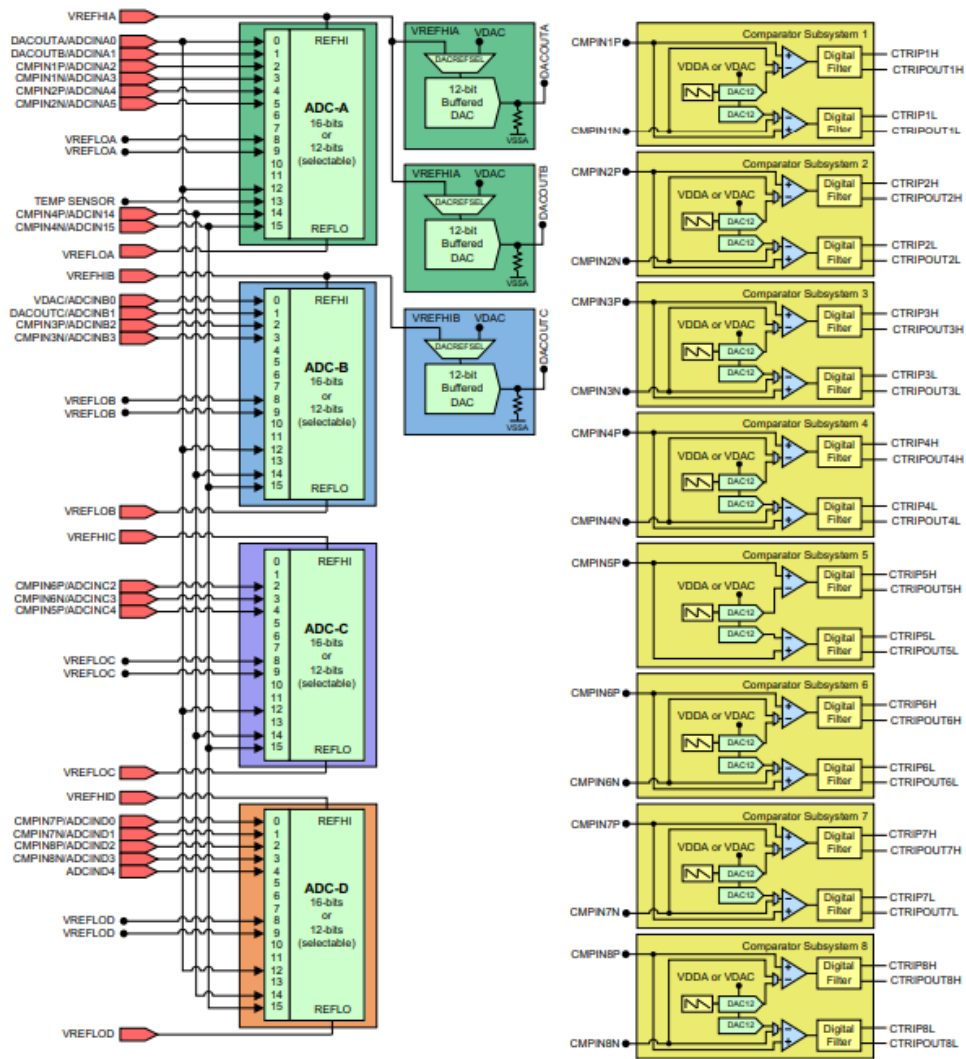


Figura 5-2: Diagramma a blocchi del modulo analogico [2]

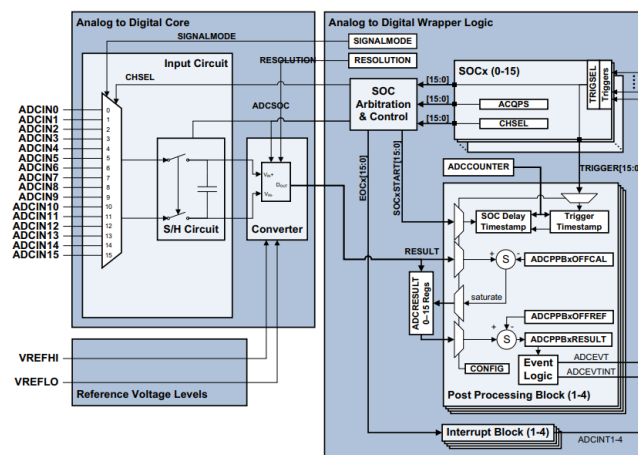


Figura 5-3: diagramma a blocchi del modulo ADC [2]

L'attivazione dell'ADC e il sequenziamento delle conversioni vengono eseguiti tramite SOC. Ogni SOC è un set di configurazione che definisce la singola conversione di un singolo canale. In questo





### 5.1.2.1 PROTOCOLLO DI COMUNICAZIONE IPC

Questa sezione descrive le opzioni di supporto hardware per la comunicazione IPC tra le due CPU. Queste opzioni possono essere utilizzate indipendentemente o in combinazione. Tutte le definizioni dei flag e i formati dei dati sono interamente definiti dall'utente. Il protocollo è definito dalle seguenti regole:

- Il sistema di flag supporta la comunicazione basata su eventi tramite interrupt e polling dei registri.
- CPU<sub>x</sub> può generare un evento IPC scrivendo su uno qualsiasi dei 32 bit del suo registro IPCSET. Questo imposta i bit corrispondenti nel registro CPU<sub>x</sub> IPCFLG e nel registro CPU<sub>y</sub> IPCSTS.
- CPU<sub>y</sub> può segnalare la sua risposta all'evento impostando il bit appropriato nel suo registro IPCACK. Questo cancella i bit corrispondenti nel registro CPU<sub>x</sub> IPCFLG e nel registro CPU<sub>y</sub> IPCSTS.
- Se CPU<sub>x</sub> deve annullare un evento, può impostare il bit appropriato nel suo registro IPCCLR. Questo ha lo stesso effetto della scrittura di CPU<sub>y</sub> su IPCACK.
- Per il modulo IPC CPU1\_to\_CM (o) CPU2\_to\_CM, i flag 0-7 (set IPCSET[7:0]) attivano interrupt sulla CPU remota. La CPU remota deve configurare correttamente il proprio modulo NVIC / ePIE per ricevere un interrupt IPC. I flag 8–31 (impostati tramite IPCSET[31:8]) non producono interrupt. È possibile impostare, confermare e cancellare più flag contemporaneamente.
- Sono disponibili due memorie condivise per il passaggio di grandi quantità di dati tra le CPU. Ogni CPU dispone di una memoria scrivibile per l'invio dei dati e di una memoria di sola lettura per la ricezione dei dati.

### 5.1.3 GPIO

F28388D è provvisto di 169 GPIO digitali di cui 102 raggiungibili dai pin della control-card. Ogni GPIO può essere configurato come ingresso o uscita digitale.

## 5.2 PROGRAMMAZIONE OTTIMIZZATA MEDIANTE MATLAB SIMULINK

Per la programmazione dell'MCU si sfrutta le potenzialità e la semplicità di Simulink. Esso è un software integrato in Matlab per la modellazione, simulazione ed analisi di sistemi dinamici costruiti attraverso schemi a blocchi. È dunque in grado di dialogare con il workspace di Matlab e collaborare con i suoi tool. I tool Matlab specifici utilizzati sono:

- Simulink coder: software che a partire dal modello costruito in Simulink, è in grado di generare e scaricare in modo automatico il codice in linguaggio C da caricare sull'MCU.

- Embedded coder: tool necessario per generare il codice C sfruttando le librerie dei processori Texas Instruments famiglia C2000. All'interno di esso sono presenti gli elementi per costruire il modello Simulink raggruppati in base al processore, ogni blocco è dunque creato in maniera ottimizzata e ad hoc per lo specifico processore selezionato.

Occorre inoltre utilizzare i seguenti software di terze parti:

- TI C2000WARE: insieme coerente di software e documentazione creato per ridurre al minimo i tempi di sviluppo. Include driver, librerie ed esempi di periferiche specifici per il dispositivo.
- TI Code Composer Studio: è un ambiente di sviluppo integrato (IDE) che supporta i microcontrollori (MCU) e i processori embedded di TI e comprende una suite di strumenti utilizzati per sviluppare ed eseguire il debug di applicazioni integrate.
- TI Control Suite: fornisce le risorse necessarie per le fasi di sviluppo e valutazione.

### 5.3 180-PIN CONTROL-CARD DOCKING STATION TEXAS INSTRUMENTS

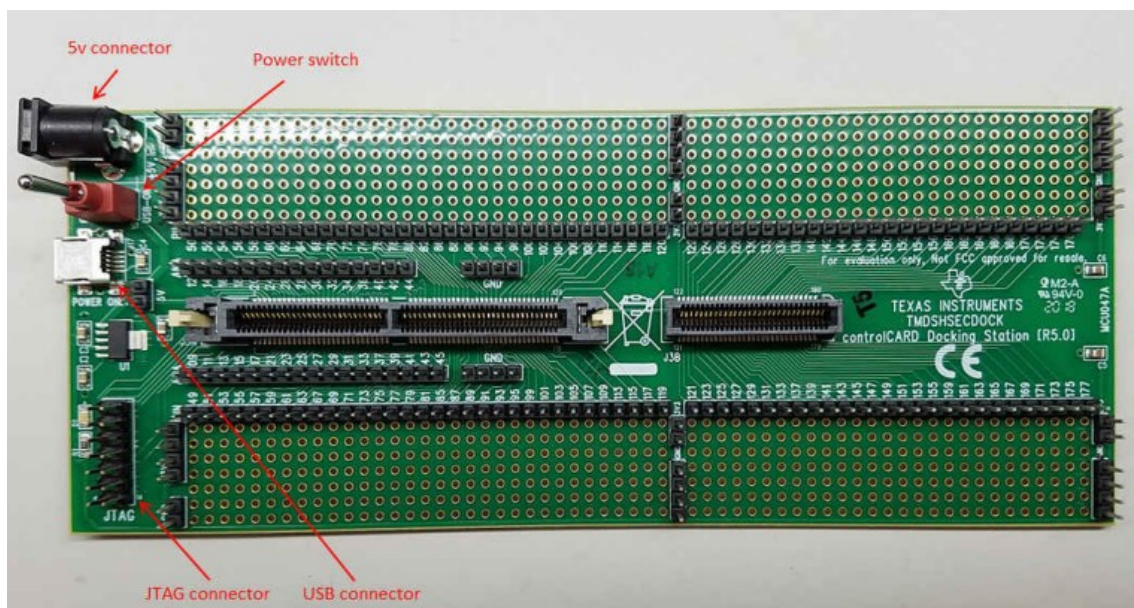


Figura 5-5: TI 180-pin control-card docking station [3]

La docking station Texas Instruments, mostrata in Figura 5-5, è una scheda prodotta per poter interfacciare la control-card TI con gli strumenti da laboratorio (come ad esempio oscilloscopio, alimentatore da banco, generatore di funzioni, tester ecc..). Essa preleva gli ingressi e le uscite analogiche e digitali dai 180 pin della control-card montata negli appositi connettori HSEC presenti indirizzandoli nei connettori numerati visibili in Figura 5-5. L'utilità di questo prodotto si apprezza principalmente nella fase di sviluppo firmware per avere un riscontro del corretto funzionamento ampliando la possibilità di debug.

## 6 SVILUPPO FIRMWARE

### 6.1 SPECIFICHE FIRMWARE

Le specifiche del firmware sono le seguenti:

- l'acquisizione deve essere innescata attraverso il fronte (di salita o discesa) di un segnale di trigger esternamente generato;
- il processo prevede che si acquisisca contemporaneamente su due canali differenti per avere sincronia tra le due tensioni ( $v_{DS}$  e  $v_{GS}$ );
- si deve massimizzare il sample rate per avere la risoluzione temporale più elevata possibile per poter vedere i fenomeni più rapidi;
- terminata l'acquisizione i dati digitalizzati devono essere scaricati dal microcontrollore al laptop via ethernet e l'MCU deve mettersi in attesa per il prossimo evento di trigger
- la durata dell'acquisizione deve essere almeno 200  $\mu s$  tale da poter vedere almeno due interi periodi alla frequenza di switching del power module (12kHz).

### 6.2 SVILUPPI INTERMEDI

Per raggiungere l'obiettivo finale l'idea è quella di procedere step-by-step fissando degli obiettivi intermedi. I task principali che il firmware deve raggiungere sono i seguenti:

- Campionamento alla massima velocità possibile
- Logica di gestione dell'ADC (attivazione al trigger e disattivazione dopo 255 campioni processati)
- Protocolli di comunicazione per scaricare i dati acquisiti dall'MCU all'esterno.

#### 6.2.1 CAMPIONAMENTO AD ALTA VELOCITÀ

La sfida più complessa è dovuta all'alta velocità di campionamento richiesta; per massimizzarla la decisione presa è quella di utilizzare l'ADC in modalità single-ended con risoluzione di conversione a 12 bit, la modalità che secondo il datasheet [2] massimizza la frequenza di campionamento.

##### 6.2.1.1 CAMPIONAMENTO IN POLLING

Il primo approccio è stato quello di far campionare l'ADC in polling, ovvero in maniera sincrona ad ogni aggiornamento del modello Simulink. In altre parole, il sample time del modello Simulink, cioè l'inverso della sua frequenza di aggiornamento, coincide con il sample time dell'ADC. Per implementare questa soluzione si sfrutta la capacità dell'MCU di over-run detection. L'MCU ha un modulo in grado di segnalare eventuali over-run mandando a "0" o "1" o variando il livello logico del GPIO selezionato per l'over-run stesso. Per over-run si intende

quando la CPU non è in grado di svolgere tutte le operazioni richieste dal modello nel sample time selezionato. In questo caso o si aumenta il sample time o si alleggerisce il modello. La procedura per scoprire la massima velocità di campionamento è stata dunque quella di diminuire il sample time step-by-step fino al rilevamento dell'over-run. I risultati ottenuti non sono però soddisfacenti; infatti, sperimentalmente si è notato che per sample time inferiori a  $3.5 \mu\text{s}$  si riscontra l'over-run; ciò significa che la frequenza di campionamento massima ottenuta è di circa 285.7 kSaps (con "Saps" si intende Sample per second, ovvero campioni al secondo).

#### 6.2.1.2 CAMPIONAMENTO IN INTERRUPT

Dati i risultati di questo primo approccio, si è deciso di lavorare in interrupt, ovvero costruendo delle Interrupt Service Routine (ISR) che hanno priorità maggiore rispetto al modello ordinario e che dunque vengono eseguite automaticamente dalla CPU quando si alza il relativo flag interrompendo l'esecuzione delle istruzioni ordinarie e riprendendole solamente quando l'ISR è terminata. In questo modo la frequenza di campionamento dell'ADC è svincolata dal sample time del modello che può essere anche molto più elevato. Le ISR, dunque, verranno eseguite in maniera asincrona in quanto "triggerate" da eventi che possono verificarsi in qualsiasi istante. Per campionare il più velocemente possibile evitando situazioni di over-run si sfrutta la possibilità di poter alzare un flag quando la conversione del campione acquisito dall'ADC è terminata e sfruttarlo per triggerare l'acquisizione del campione successivo. Occorre dunque creare una ISR che si triggera dal flag EOC (End Of Conversion) nella quale si fa campionare l'ADC. In questa maniera si crea una sorta di loop continuo di conversione alla massima velocità. Questa configurazione permette di misurare sperimentalmente la massima velocità conseguibile dall'ADC. Dalle prove effettuate si è riscontrato che la frequenza di campionamento ottenuta è all'incirca 1.1 MSaps. Manca però da implementare una logica di gestione dei campioni che rallenterà inevitabilmente il processo.

#### 6.2.2 LOGICA DI GESTIONE DELL'ADC

La gestione dei campioni acquisiti inizialmente è stata fatta implementando una macchina a stati in polling che ha lo scopo di abilitare l'ADC quando si rileva il fronte attivo del segnale di trigger entrando così nello stato "acquisition" e di disattivare lo stesso quando il modello rimane in questo stato per 256 iterazioni, ovvero dopo che sono stati acquisiti 256 campioni. Questa logica nonostante risulti funzionante è stata abbandonata per il fatto che in polling la velocità di campionamento è limitata da tutte le operazioni che il modello della macchina a stati deve eseguire.

Per gestire i campioni lavorando in interrupt sono state create due ISR. Dopo svariate prove l'idea funzionante è stata quella di impostare un flag che si alzasse quando un fronte del trigger si presenta al GPIO. In questo modo si rileva l'evento di trigger e si esegue una ISR nella quale si va ad alzare via software il flag dell'EOC dell'ADC. Quest'ultimo innesca una seconda ISR che abilita il conteggio di un contatore. Fintanto che il conteggio del contatore è inferiore al valore 256 si fa campionare l'ADC e si scrive tale valore all'interno di una variabile globale. L'EOC dell'ADC re-innesca la ISR. Alla 256<sup>a</sup> iterazione, invece di far campionare l'ADC, si esegue un altro sottosistema all'interno dell'ISR stessa che ha il compito di inviare i 256 valori dei campioni contenuti all'interno della variabile globale al core CM attraverso il protocollo di condivisione dati inter-core chiamato IPC. In tal caso siccome non si verifica più alcun campionamento non si riabiliterà più il flag EOC e dunque verrà interrotto il campionamento fino al prossimo fronte attivo del segnale di trigger all'ingresso del GPIO. In questa maniera si raggiunge il sample rate di 840 kSaps per un singolo canale. La scelta del valore 256 è dovuta alla specifica firmware di acquisire per un tempo superiore a due periodi della PWM che commuta alla frequenza di switching di 12kHz per il modulo ACEPACK drive sviluppato da ST. In realtà i campioni veramente acquisiti sono 255 perché nell'ultima iterazione come spiegato viene eseguito il sottosistema che fa campionare l'ADC ma quello che trasmette i dati acquisiti. In questa maniera l'ultimo valore del vettore trasmesso sarà nullo e identificherà dunque la fine dell'acquisizione. Pertanto, la durata effettiva dell'acquisizione è:

$$t_{acq} = \frac{255 \text{ samples}}{840000 \frac{\text{samples}}{s}} \cong 303.6 \mu s$$

(6.1)

### 6.2.3 PROTOCOLLI DI COMUNICAZIONE PER DOWNLOAD DATI ACQUISITI

Le specifiche richiedono di scaricare i dati acquisiti attraverso ethernet. Dati i problemi inizialmente riscontrati sul funzionamento dello stesso si è inizialmente scelto di utilizzare la comunicazione seriale attraverso la porta USB.

#### 6.2.3.1 COMUNICAZIONE SERIALE

La comunicazione seriale ha il vantaggio di essere molto più supportata dalle librerie del pacchetto Embedded Coder in Simulink, perciò, la sua implementazione è molto più immediata. Inoltre, essa è supportata dalla CPU1 e quindi evita il problema di trasferire i dati all'ARM attraverso il protocollo IPC. Ciò che si fa è inviare un pacchetto composto da tutti i 256 uint16 campionati con in testa il codice ASCII della lettera "S" e in coda quello della lettera "E" per identificare rispettivamente l'inizio e la fine del pacchetto stesso. Tale soluzione è risultata molto

immediata, intuitiva e subito funzionante riuscendo a ricevere correttamente i vari pacchetti attraverso il modello Simulink che esegue il Laptop.

#### 6.2.3.2 COMUNICAZIONE ETHERNET

I vantaggi della comunicazione ethernet, è quello di utilizzare un mezzo di trasmissione dati più robusto e dunque più immune a disturbi e con un baud rate superiore. Lo svantaggio è il minor supporto del protocollo UDP fornito da Simulink stesso per il core ARM CORTEX CM del TI F28388D.

La comunicazione ethernet tra MCU e PC ha dato molti problemi dal punto di vista della stabilità. Infatti, collegando attraverso l'apposito cavo di rete le porte ethernet del PC e dell'MCU si riesce a ricevere solamente i primi pacchetti trasmessi. Eseguendo l'istruzione "ping" attraverso il prompt dei comandi verso l'indirizzo IP dell'F28388D si riscontra dei problemi di comunicazione dopo pochi pacchetti trasmessi. Dopo varie prove effettuate l'unico modo funzionante per risolvere questo inconveniente è stato quello di impiegare uno switch di rete interposto tra PC e MCU formando una rete a stella con lo switch di rete che assume il ruolo di centro stella. In questa maniera si risolvono tutti i problemi appena descritti.

L'implementazione della comunicazione ethernet attraverso UDP è disponibile solamente per il core ARM CORTEX CM. Quest'ultimo però non possiede le periferiche analogiche come ADC, occorre dunque utilizzare il protocollo IPC in modo da suddividere i vari task: campionando con l'unità C28x e scaricare i dati con l'ARM attraverso UDP.

Si inserisce l'IPC sender nel sottosistema 2 (Figura 6-8) della ISR "interrupt sampling" presente nella CPU1 (Figura 6-1). Il ricevitore IPC può lavorare sia in polling che in interrupt. In primo approccio si è implementata la prima soluzione. In pratica ad ogni sample time del modello (posto a 10ms) il ricevitore dà in uscita il valore ricevuto per poi confrontare il valore in uscita al ricevitore con quello al passo precedente, se c'è uguaglianza significa che il trigger non si è verificato e che il ricevitore IPC continua a leggere l'ultimo valore inviato. Invece qualora i valori confrontati non corrispondessero significa che si è rilevato un altro fronte attivo di trigger e dunque un nuovo pacchetto di 256 campioni è stato ricevuto dall'IPC receiver. In tal caso si passa questo vettore di campioni digitalizzati al trasmettitore UDP. Nel PC locale si esegue un altro modello Simulink con ricevitore UDP che riceve asincronamente, (attraverso la modalità blocking mode) i pacchetti inviati sulla porta UDP.

Un metodo ancora più efficiente è quello di ricevere dalla CPU1 attraverso IPC in maniera asincrona mediante interrupt. In questo modo il modello presente nell'ARM (Figura 6-9) non deve verificare periodicamente (in polling) la presenza di un nuovo valore ricevuto, si crea invece

una ISR triggerata dal flag di ricezione IPC opportunamente predisposto. Perciò nella ISR si pone semplicemente il ricevitore IPC e il trasmettitore UDP. In questo modo si massimizza al massimo l'efficienza computazionale di entrambi i core rendendo i modelli molto leggeri in quanto in non viene eseguita alcuna operazione in maniera ripetitiva. In questa maniera, finché non avviene un evento di interrupt, tutte le CPU sono completamente disponibili per poter svolgere qualsiasi altro task eventualmente richiesto.

### 6.3 FIRMWARE FINALE CON ACQUISIZIONE ADC A DUE CANALI

Essendo l'obiettivo finale quello di acquisire, all'avvenire del trigger, 255 campioni di  $v_{GS}$  e 255 campioni di  $v_{DS}$  rilevati in contemporanea da uno dei sei SiC presenti nel power module ST e scaricare i dati acquisiti su PC attraverso ethernet, occorre innanzitutto modificare il firmware coinvolgendo anche la CPU2 per aggiungere il secondo canale di acquisizione.

PIE →	1	2	3	4	5	6	7	8
CPU #								
1	ADCA1	ADCB1	ADCC1	XINT1	XINT2	ADCC1	TIMER 0	WAKE / WDOG
2	EPWM1_TZ	EPWM2_TZ	EPWM3_TZ	EPWM4_TZ	EPWM5_TZ	EPWM6_TZ	EPWM7_TZ	EPWM8_TZ
3	EPWM1	EPWM2	EPWM3	EPWM4	EPWM5	EPWM6	EPWM7	EPWM8
4	ECAP1	ECAP2	ECAP3	ECAP4	ECAP5	ECAP6	ECAP7	Reserved
5	EQEP1	EQEP2	EQEP3	Reserved	CLB1	CLB2	CLB3	CLB4
6	SPIA_RX	SPIA_TX	SPIB_RX	SPIB_TX	MCBSPA_RX	MCBSPA_TX	MCBSPB_RX	MCBSPB_TX
7	DMA_CH1	DMA_CH2	DMA_CH3	DMA_CH4	DMA_CH5	DMA_CH6	Reserved	Reserved
8	I2CA	I2CA_FIFO	I2CB	I2CB_FIFO	SCIC_RX	SCIC_TX	SCID_RX	SCID_TX
9	SCIA_RX	SCIA_TX	SOB_RX	SOB_TX	CANA_0	CANA_1	CANB_0	CANB_1
10	ADCA_EVT	ADCA2	ADCA3	ADCA4	ADCB_EVT	ADCB2	ADCB3	ADCB4
11	CLA1_1	CLA1_2	CLA1_3	CLA1_4	CLA1_5	CLA1_6	CLA1_7	CLA1_8
12	XINT3	XINT4	XINT5	MPOST	FMC_DONE	VCU	FPUL_OVERFLOW	FPUL_UNDERFLOW

PIE →	9	10	11	12	13	14	15	16
CPU #								
1	I2CA	SYS_ERR	ECATSYNCD (CPU1 only)	ECATINTH (CPU1 only)	IPC0/CIPC0	IPC1/CIPC1	IPC2/CIPC2	IPC3/CIPC3
2	EPWM9_TZ	EPWM10_TZ	EPWM11_TZ	EPWM12_TZ	EPWM13_TZ	EPWM14_TZ	EPWM15_TZ	EPWM16_TZ
3	EPWM9	EPWM10	EPWM11	EPWM12	EPWM13	EPWM14	EPWM15	EPWM16
4	FSITXA_INT1	FSITXA_INT2	FSITXB_INT1	FSITXB_INT2	FSIRXA_INT1	FSIRXA_INT2	FSIRXB_INT1	FSIRXB_INT2
5	SD1 / SDFM1	SD2/SDFM1	ECATFRSTINTH (CPU1 only)	ECATSYNCH (CPU1 only)	SDFM1DR1	SDFM1DR2	SDFM1DR3	SDFM1DR4
6	SPIC_RX	SPIC_TX	SPID_RX	SPID_TX	SDFM2DR1	SDFM2DR2	SDFM2DR3	SDFM2DR4
7	FSIRXC_INT1	FSIRXC_INT2	FSIRXD_INT1	FSIRXD_INT2	FSIRXE_INT1	FSIRXE_INT2	FSIRXF_INT1	FSIRXF_INT2
8	LINA_0/FSIRXG_INT1	LINA_1/FSIRXG_INT2	FSIRXH_INT1	FSIRXH_INT2	PMBUSA/CLB5	CLB6	UPPA (CPU1 only)/CLB7	CLB8
9	MCANSS_INT0 (CPU1 only)	MCANSS_INT1 (CPU1 only)	MCANSS_ECC_CORR_PUL_INT (CPU1 only)	MCANSS_WAKE_AND_TS_PLS_INT (CPU1 only)	PMBUSA	CM_STATUS (CPU1 only)	USBA (CPU1 only)	Reserved
10	ADCC_EVT	ADCC2	ADCC3	ADCC4	ADCC_EVT	ADCC2	ADCC3	ADCC4
11	CMT0CPUxPCINTR0	CMT0CPUxPCINTR1	CMT0CPUxPCINTR2	CMT0CPUxPCINTR3	CMT0CPUxPCINTR4	CMT0CPUxPCINTR5	CMT0CPUxPCINTR6	CMT0CPUxPCINTR7
12	EMIF_ERROR	RAM_CORRECTABLE_ERROR/ECAP7INT2	FLASH_CORRECTABLE_ERROR/ECAP7INT2	RAM_ACCESS_VIOLATION	SYS_PLL_SLIP/CPUxCRG_INT	AUX_PLL_SLIP/CLATCRG_INT	CLA OVER FLOW	CLA UNDERFLOW

Tabella 6-1: tabella indicizzazione flag degli hardware interrupt



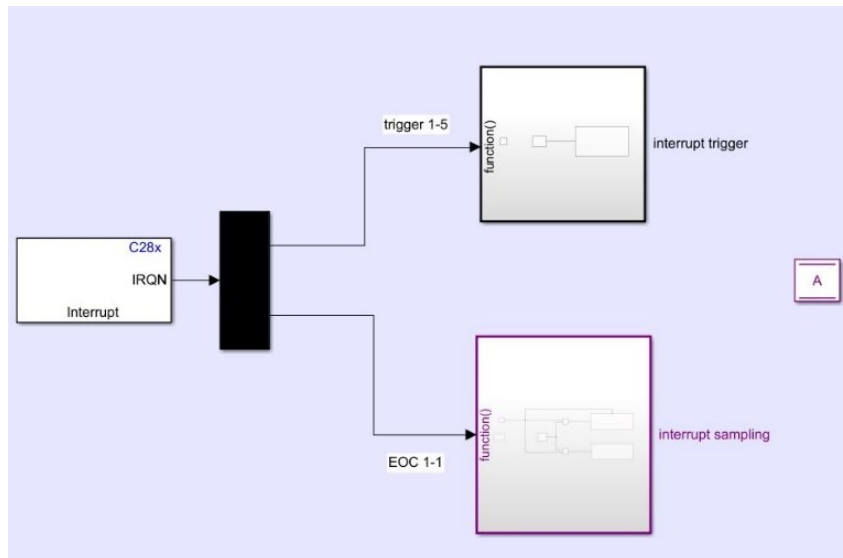


Figura 6-1: firmware per unità C28x CPU1 (per CPU2 è analogo)

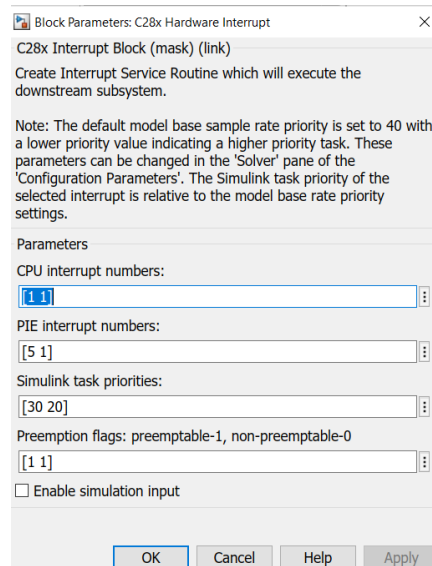


Figura 6-2: configurazione parametri del blocco hardware interrupt

Si sfrutta dunque parallelamente CPU1 e CPU2 per costruire le ISR di acquisizione rispettivamente da ADC A e ADC B e invio dati al core ARM CORTEX tramite protocollo IPC. La Figura 6-1 illustra il modello Simulink con cui si programma la CPU1: il modello per la CPU2 non viene riportato perché è analogo al corrente. Entrambe le ISR sono triggerate dallo stesso evento, ovvero il fronte di discesa del segnale digitale in ingresso al GPIO8 (pin 57 della Control Card). Tale interrupt è programmato dalla combinazione CPU-PIE 1-5 (far riferimento alla tabella 4) nella configurazione del blocco Hardware interrupt C28x (Figura 6-2). Con la ISR denominata “interrupt trigger” rappresentata in Figura 6-3 mediante il software interrupt trigger si setta il flag corrispondente alla combinazione CPU-PIE 1-1 (riferimento alla tabella 4) contraddistinto dal nome “ADCA1” che di norma si attiva all’end-of-conversion dell’ADC.

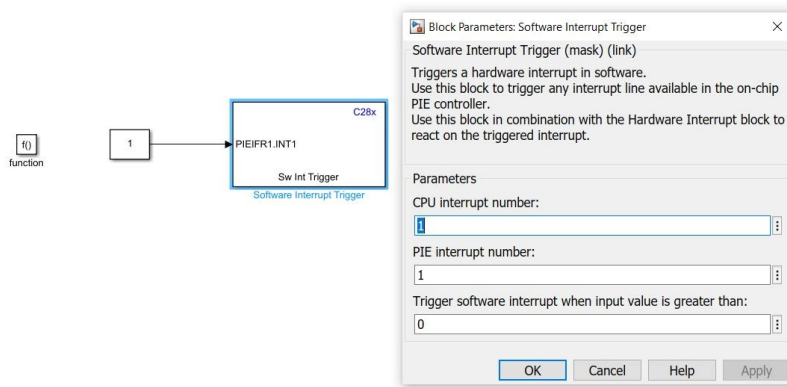


Figura 6-3: ISR interrupt trigger e configurazione del software interrupt

Così facendo si innesca la seconda ISR, quella che in Figura 6-1 è denominata come “interrupt sampling”. Essa è rappresentata in Figura 6-4 ed ha il compito di acquisire i 256 campioni digitalizzarli con risoluzione 12 bit e immagazzinare via via gli uint16 ad essi associati in una variabile globale. Attraverso il contatore a 8 bit, ovvero da 0 a 255, si tiene il conto dei campioni immagazzinati e ad ogni ripetizione della ISR si incrementa il conteggio di 1 e si verifica se il contatore è tornato a 0 (se si incrementa il conteggio quando esso è al valore di 255 andando in overflow il conteggio riparte da 0). Finché il conteggio è diverso da 0 viene eseguito il sottosistema 1 rappresentato in Figura 6-6, mentre al 256° campione il conteggio vale 0 e si esegue il sottosistema 2 che è rappresentato in Figura 6-8.

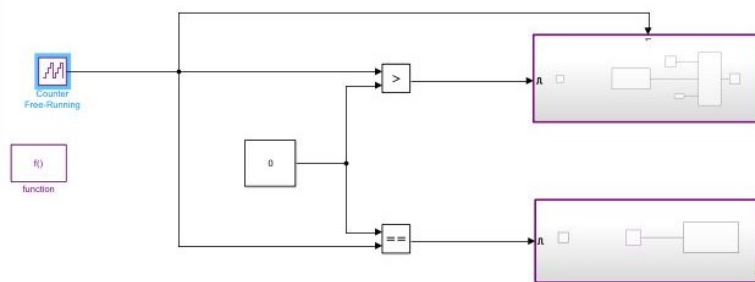


Figura 6-4: ISR interrupt sampling

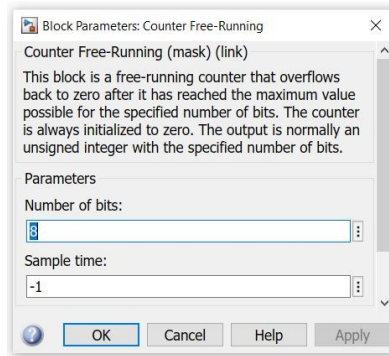


Figura 6-5: configurazione del contatore

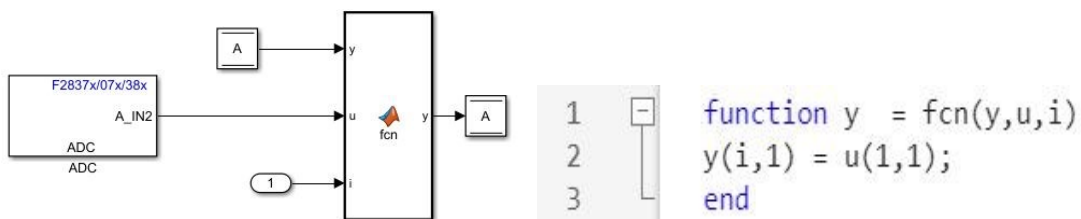


Figura 6-6: sottosistema 1 dell'ISR interrupt sampling

Il sottosistema 1 (Figura 6-6) ha il compito di acquisire e digitalizzare il valore di tensione presente nel pin A2A3P della control-card attraverso il modulo ADC-A. I parametri di configurazione dell'ADC sono mostrati in Figura 6-7.

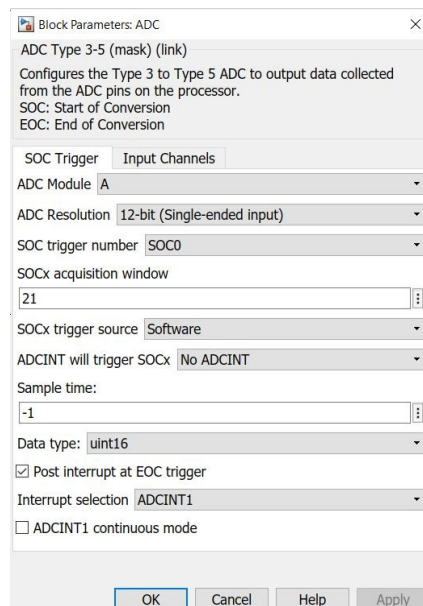


Figura 6-7: parametri di configurazione dell'ADC

Segue un elenco che spiega il significato dei vari parametri presenti in Figura 6-7:

- ADC Module: A. Scelta del modulo ADC impiegato per la conversione.
- ADC Resolution: 12 bit single-ended. Il motivo per cui è stata scelta tale risoluzione è giustificata dalla necessita di avere una frequenza di campionamento più elevata possibile

data l'elevata dinamicità del segnale da campionare. Quindi data l'applicazione finale si preferisce avere maggior risoluzione temporale assegnando però meno bit alla conversione. Solo in questo modo è possibile riuscire a raggiungere un sample time dell'ordine del microsecondo. Lo svantaggio della modalità single-ended è quello che il segnale che entra nell'ADC dovrà necessariamente essere riferito alla massa della control-card.

- La sorgente di trigger è impostata da software in quanto l'innesco avviene attraverso il software interrupt trigger che porta a 1 il flag relativo all'EOC.
- La spunta messa sulla voce "post interrupt at EOC trigger" permette di abilitare il flag dell'EOC (end-of-conversion) al termine di ogni conversione. Essa permette di innescare l'ISR interrupt sampling per i campioni successivi al primo.
- Si seleziona l'interrupt ADCINT1, quello che corrisponde alla combinazione 1-1 della tabella 4 in cui viene identificato dal nome ADCA1.

Il processo di digitalizzazione fornisce un intero compreso tra 0 e  $2^{12}-1=4095$ . Il dato uint16 rappresenta un numero intero non negativo con 16 bit, perciò, valori compresi tra 0 e  $2^{16}-1=65535$ ; uint16 è quindi valido per rappresentare il valore digitalizzato a 12 bit.

Con queste impostazioni per le prime 255 ripetizioni della ISR "interrupt sampling" si esegue il sottosistema 1, e ad ognuna di essa la funzione Matlab ha il semplice compito di immagazzinare via via i risultati ottenuti dall'ADC nell'apposita variabile globale denominata "A".

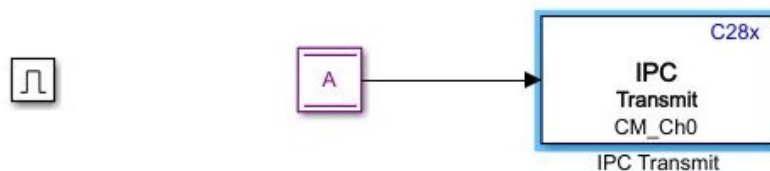


Figura 6-8: sottosistema 2 dell'ISR interrupt sampling

Immagazzinati i 255 uint16 all'interno della variabile A, dal risultato del confronto iniziale presente nella ISR, viene eseguito il secondo sottosistema rappresentato in Figura 6-8. Esso ha il compito di costruire il pacchetto IPC da essi composto per poi inviarlo alla CM trasmettendo sul canale 0. I canali disponibili sono 32: canale0, ..., canale31. In questo modo non si verifica più l'evento di EOC e dunque la CPU1 non eseguirà più alcuna operazione fino a che un nuovo fronte di discesa nel GPIO8 sarà rilevato. Contemporaneamente anche la CPU2 esegue il processo analogo a quello appena descritto utilizzando come sorgente iniziale di trigger sempre il fronte di discesa del GPIO8, si sfrutta come software interrupt l'ADCINT2 identificato dalla combinazione CPU-PIE 1-2 mentre per la conversione si usufruisce del modulo B dell'ADC e si

trasmette i dati sul canale 1 IPC. La CM dopo un giusto settaggio hardware ha il compito di ricevere i due pacchetti IPC da CPU1 e CPU2 e comunicare via ethernet con il PC. Occorre impostare un indirizzo IP che identifica la control-card (192.168.1.8) e le porte UDP necessarie all’omonimo protocollo per la trasmissione dati (porta 50000 per canale 1 e porta 51000 per canale 2).

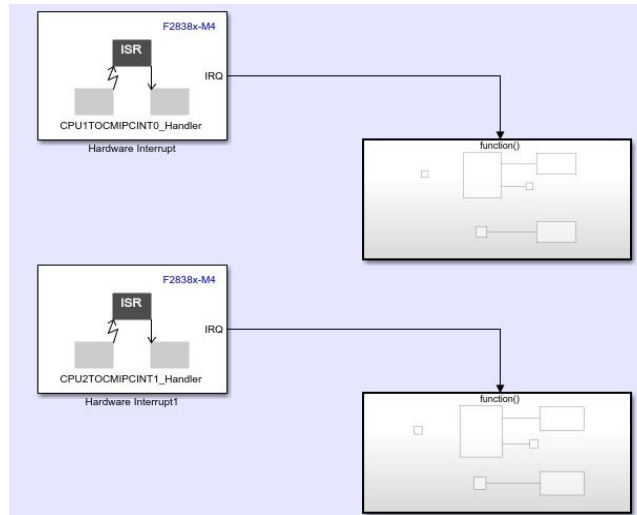


Figura 6-9: firmware dell’unità CM ARM

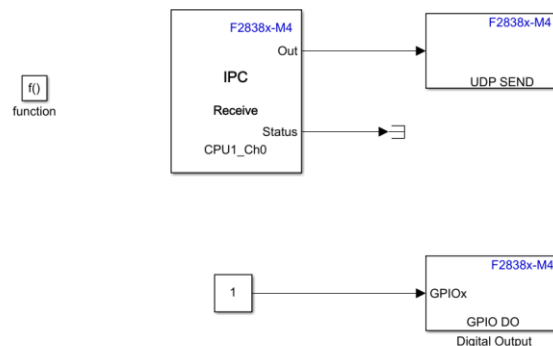


Figura 6-10: ISR per trasmissione su porta UDP

Il firmware sviluppato nell’ARM, il cui modello Simulink è rappresentato in Figura 6-9, è costituito da due ISR analoghe (Figura 6-10); la prima, “triggerata” dal flag di ricezione di un nuovo pacchetto IPC da CPU1, ha il compito di inoltrare tale pacchetto attraverso ethernet tramite protocollo UDP al dispositivo indentificato dall’indirizzo IP 192.168.1.3 (indirizzo IP del PC manualmente assegnato nelle impostazioni avanzate della scheda di rete) porta 25000 (quella del PC relativa al primo canale di acquisizione impostata dal modello Simulink su di esso eseguito). Svolta questa operazione si cambia lo stato (toggle) del livello logico del GPIO 0 come debug per testimoniare la corretta esecuzione della ISR. Analogamente la seconda ISR è

triggerata dal flag di ricezione di un nuovo pacchetto IPC proveniente da CPU2 ed ha il compito di inoltrarlo attraverso ethernet tramite protocollo UDP all'indirizzo IP 192.168.1.3 porta 26000 (quella del PC relativa al secondo canale di acquisizione impostata dal modello Simulink su di esso eseguito). Come per la ISR precedente anche in questo caso come ultima operazione si esegue il toggle dello stato del GPIO 1 settato come uscita.

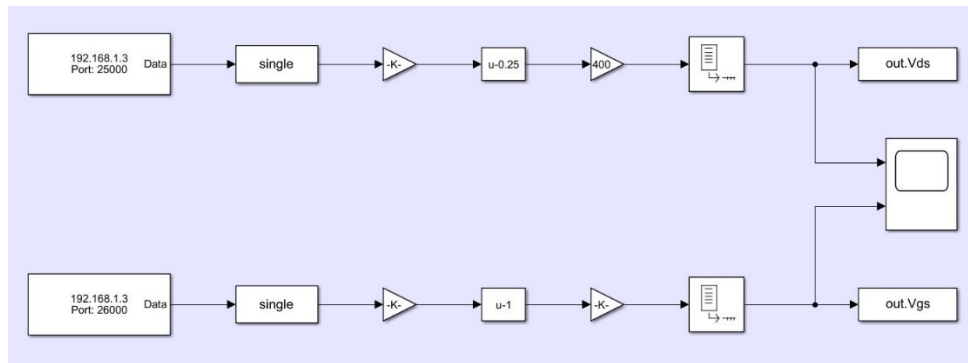


Figura 6-11: modello Simulink eseguito su PC

Nel PC verrà eseguito un altro modello Simulink (Figura 6-11) con il compito di ricevere i pacchetti da 192.168.1.8 (MCU) porte 50000 e 51000 nelle porte impostate 25000 e 26000 rispettivamente per canale 1 e canale 2. Il modello lavora in maniera bloccante attendendo la ricezione dei pacchetti UDP sulle porte 25000 e 26000. Ricevuti i pacchetti si svolgono delle operazioni per riassociare un valore di tensione (in volt) ad ogni uint16 ricevuto. Si svolge per prima cosa un data-type conversion per passare da uint16 a single. Il single è un tipo di rappresentazione di dato composto da 32 bit in virgola mobile, protendo perciò rappresentare valori di tensione non interi. Successivamente si moltiplica e sottrae il dato in maniera inversa rispetto a ciò che viene fatto nel circuito di condizionamento del PCB progettato per portare le tensioni  $V_{DS}$  e  $V_{GS}$  nel range  $(0 \div 3)$  V. Rimane da salvare nel workspace di MATLAB i valori ottenuti. Gli stessi vengono anche rappresentati in tempo reale sullo SCOPE. In questa maniera oltre a salvare il contenuto delle varie acquisizioni è possibile anche una rappresentazione in tempo reale dei campioni acquisiti.

#### 6.4 VALIDAZIONE DEL FIRMWARE

Per lo sviluppo firmware il debug è fondamentale, grazie ad esso è infatti possibile verificare man mano il corretto funzionamento dello stesso e capire in base ai riscontri e ai risultati ottenuti gli eventuali errori e la parte responsabile. Una delle prove più utili e di interesse svolte è quella descritta in questo paragrafo. La prova effettuata ha lo scopo di verificare se i vari modelli Simulink svolgono correttamente il loro compito e quindi le ISR si eseguono in maniera corretta svolgendo ciò che devono. La prova è molto utile perché permette la verifica del

corretto funzionamento del firmware prima di iniziare a sviluppare la scheda hardware. I segnali acquisiti sono generati con il generatore di funzioni ed essendo di ampiezza e frequenza noti è possibile, con questa prova avere, una misura della frequenza effettiva di campionamento, un'indicazione qualitativa sulla bontà della conversione, la possibilità di mettere a punto sperimentalmente alcuni parametri di conversione come ad esempio "SOCx acquisition window".

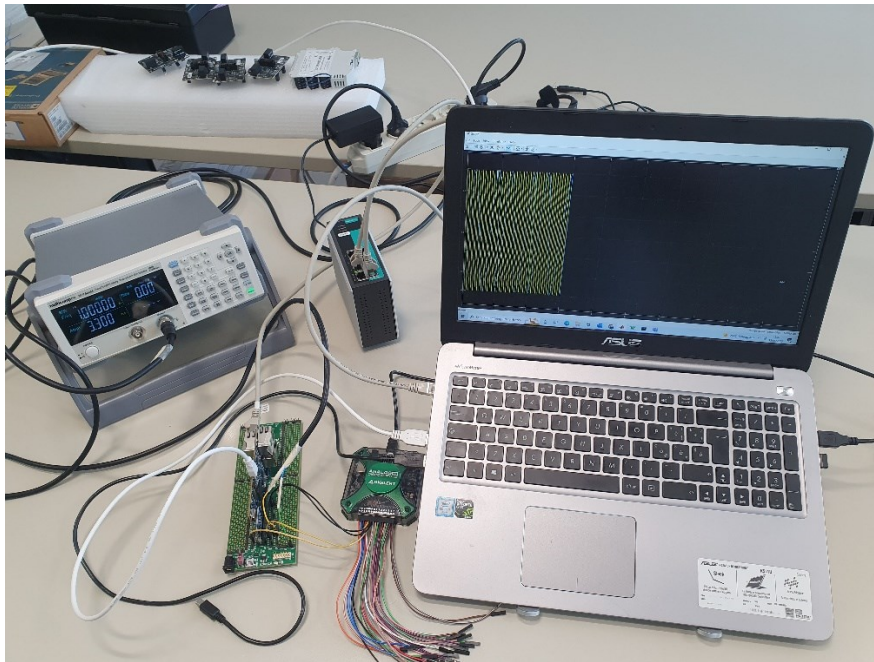
Il set-up di misura per validare il firmware è composto dalle seguenti risorse hardware:

- Multicomp MP750064 (generatore di funzioni ad un canale)
- Digilent Analog Discovery 2 210-321 (generatore di funzioni a due canali)
- Moxa EDS-G308 (switch di rete)
- 2x cavo ethernet categoria 7
- Texas Instruments docking station 180-pin
- Texas Instruments control-card TMDSCNCD28388D.

In Figura 6-12 è presente una fotografia del set-up. Si monta la control-card TI sull'apposita docking station 180 pin. Attraverso quest'ultima si ha a disposizione i morsetti per portare/prelevare i segnali elettrici ai/dai vari GPIO e agli ingressi e uscite analogiche. In questo modo si porta al GPIO 8 (pin 57) l'ingresso digitale di trigger, generato dall'MP750064. Il segnale di trigger consiste in un'onda quadra 0V-3.3V con periodo 1 secondo. Agli ingressi analogici ADC\_A2A3\_P (pin 15) e ADC\_B2B3\_P (pin 18) vengono forniti segnali con forme d'onda a scelta (sinusoidale, triangolare o onda quadra) nell'intervallo di tensione 0V-3V generati con il Digilent Analog Discovery. Questi segnali saranno poi campionati dagli ADC del microprocessore F28388D presenti nella control-card. Il PC e la control-card vengono collegati attraverso i cavi ethernet allo switch di rete della Moxa per formare una rete ethernet locale.

#### 6.4.1 COMMENTO RISULTATI

Con questa prova è stata raggiunta la frequenza di campionamento di 840 kSaps per entrambi i canali ADC. Il tempo di campionamento è dunque circa 1,19  $\mu$ s e la durata totale di ogni acquisizione (composta da 255 campioni) è di 302.38  $\mu$ s. Sperimentalmente è stato riscontrato che il tempo di campionamento può essere leggermente diminuito diminuendo il valore del parametro SOCx acquisition window



*Figura 6-12: set-up per debug del firmware*



## 7 SVILUPPO HARDWARE

Dopo aver sviluppato il Firmware, una parte fondamentale del progetto è quella della realizzazione della scheda LOC363 come hardware di supporto per la control-card. Lo scopo dello sviluppo hardware è quello di realizzare un circuito stampato (PCB) che ospiti la control-card (come accade nella TI Docking Station), fornirle la giusta alimentazione condizionare i segnali  $v_{DS}$  e  $v_{GS}$  ai livelli di tensione richiesti dagli ADC dell'MCU e di fornire il segnale di trigger disaccoppiato elettricamente con le corrette caratteristiche in termini di livelli di tensione.

### 7.1 SPECIFICHE HARDWARE

Le specifiche hardware richieste dal PCB LOC363 sviluppato sono qui elencate:

- Alimentazione duale +15 V, 0 V, -15 V con cui alimentare i vari circuiti integrati e la control-card.
- Circuito di condizionamento per tensione  $v_{DS}$  ad alta impedenza ed alta tensione con range di tensione in ingresso (-100 ÷ +1100) V con guadagno ed offset opportuni per fornire all'ADC dell'F28388D un corrispondente range di tensione (0 ÷ 3) V.
- Circuito di condizionamento per tensione  $v_{GS}$  ad alta impedenza con range di tensione in ingresso (-14 ÷ +28) V con guadagno ed offset opportuni per fornire all'ADC dell'F28388D un corrispondente range di tensione (0 ÷ 3) V.
- Circuito per il condizionamento del segnale di trigger con assegnazione ai livelli di tensione 0 V e 24 V i livelli logici '0' e '1', rispettivamente. Il condizionamento deve essere tale da riassegnare ai livelli logici '0' e '1' i livelli di tensione 0 V e 3.3 V.

### 7.2 CONDIZIONAMENTO $V_{DS}$

La Figura 7-1 contiene lo schema elettrico realizzato con Kicad dello stadio di condizionamento della tensione  $v_{DS}$ . Praticamente è stata realizzata una sonda di tensione per prelevare la tensione drain source del MOSFET componente l'inverter Loccioni realizzato con tecnologia SiC. Dato l'elevato voltaggio richiesto dalle specifiche è necessario l'utilizzo di un partitore resistivo distribuito ad alta impedenza formato da 7 resistori dal valore di 220k $\Omega$ . Cadendo potenzialmente fino a circa 150V su ogni resistore del partitore, è stato necessario utilizzare un footprint adatto (1206) a tali livelli. La configurazione dello stadio di attenuazione in ingresso è quella di un amplificatore differenziale realizzato con amplificatore operazionale. Trascurando l'effetto delle capacità poste in parallelo avremo una configurazione differenziale con guadagno:

$$A_{diff} = \frac{3.83 \times 10^3}{7 \times 220 \times 10^3} = 2.487 \times 10^{-3} \cong \frac{1}{400}$$

(7.1)

Il vantaggio di questa configurazione è quello di effettuare la conversione differenziale / single-ended riferendo al potenziale 0 V la tensione prelevata. Il segnale viene poi mandato in ingresso ad un secondo stadio di amplificazione sempre realizzato con operazionale ma questa volta in configurazione sommatore non invertente. Esso somma la tensione  $V_{DS}$  attenuata del fattore 400 con un valore di tensione pari a 250 mV senza andare ad apportare modifiche sul guadagno. I 250 mV vengono realizzati a partire da un regolatore di tensione a 2.048 V e un partitore resistivo tarato in modo di avere ai capi del resistore R21 circa 250 mV. Per non assorbire corrente al partitore si è utilizzato un ulteriore operazionale in configurazione buffer di tensione.

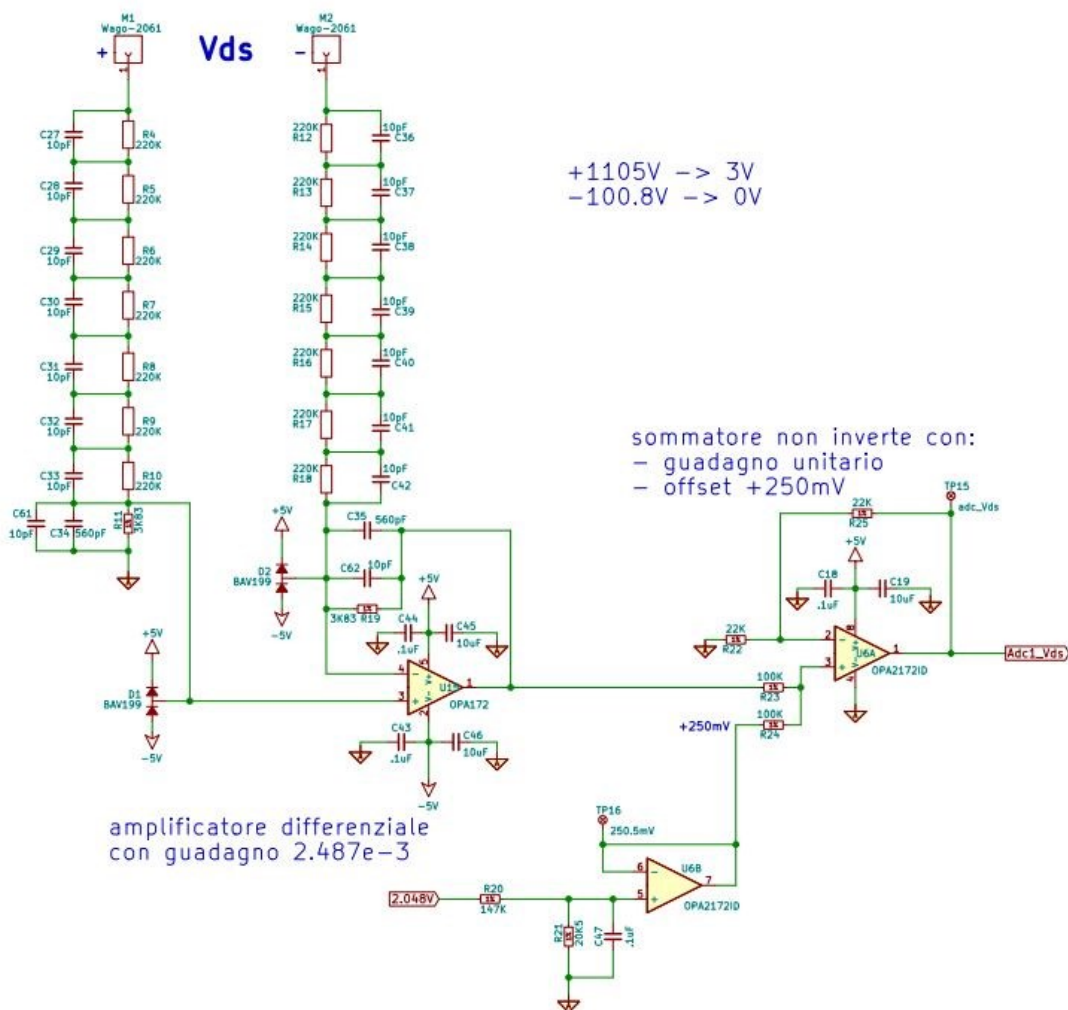


Figura 7-1: schema elettrico LOC363 - condizionamento  $v_{DS}$

Si può dunque esprimere la tensione inviata all'ADC in funzione della tensione  $v_{DS}$  in questa maniera:

$$ADC1_{v_{DS}} = 2.487 \times 10^{-3} \times v_{DS} + 250.5 \text{ mV} \quad (7.2)$$

La somma dei 250 mV DC ha lo scopo di portare i -100/400 V al livello 0 V, infatti:

$$2.487 \times 10^{-3} \times (-100 \text{ V}) + 250.5 \times 10^{-3} \text{ V} \cong 0 \text{ V} \quad (7.3)$$

Per quanto riguarda le capacità poste in parallelo ai resistori che compongono il partitore di ingresso, esse hanno effetto nei transistori. Il loro scopo è quello di ottenere un adattamento di impedenza in tutto il partitore in maniera tale da alleviare l'effetto dei parassiti in alta frequenza e mantenere l'adattamento. Infatti, osservando lo schema di Figura 7-1 si può notare che in parallelo ai resistori da 220 k $\Omega$  sono presenti condensatori da 10 pF mentre in parallelo ai resistori da 3.83 k $\Omega$  che terminano il partitore, si hanno due condensatori la cui somma vale 570 pF. Se si calcolano le costanti di tempo  $\tau = R \times C$ :

$$220 \times 10^3 \Omega \times 10 \times 10^{-12} \text{ F} = 2.2 \times 10^{-6} \text{ s} \cong 3.83 \times 10^3 \Omega \times 570 \times 10^{-12} \text{ F} = 2.18 \times 10^{-6} \text{ s} \quad (7.4)$$

si nota che esse sono praticamente molto simili.

Il circuito di condizionamento per  $v_{DS}$  è stato simulato con LTspice per assicurarsi che durante la fase di progettazione non siano stati commessi eventuali errori concettuali o di dimensionamento dei componenti utilizzati per ottenere i giusti valori di guadagno ed offset. Nella Figura 7-3 compare il circuito disegnato in LTspice eccitato dalla tensione V4 il cui andamento temporale è rappresentato in Figura 7-2 mentre la tensione d'uscita è riportata in Figura 7-3.

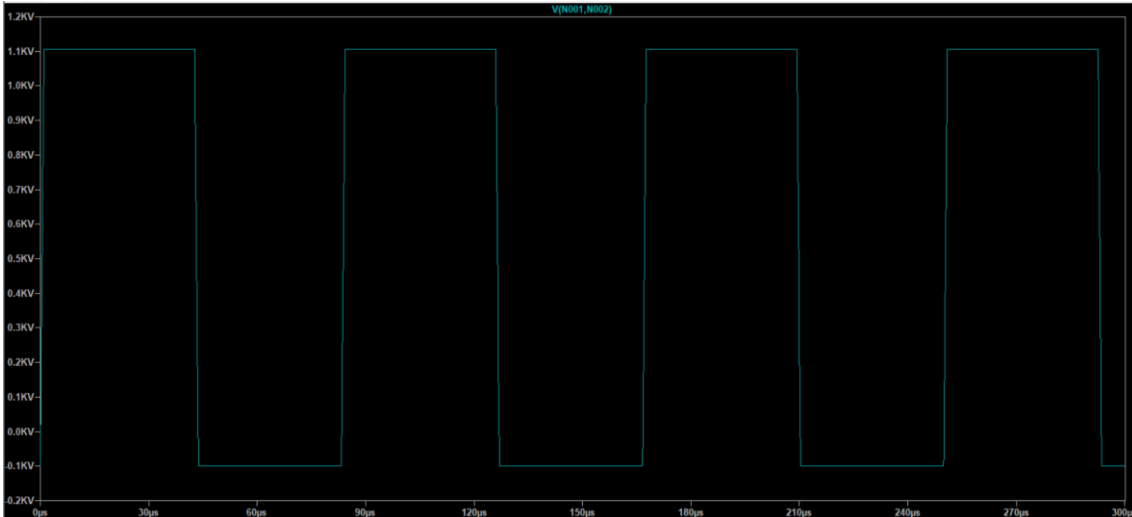


Figura 7-2: simulazione LTspice - andamento temporale della tensione  $v_{DS}$  posta in ingresso

Osservando le figure 20 e 21 si può concludere che dalla simulazione si ha la conferma della corretta progettazione dello stadio di condizionamento per  $v_{DS}$ .

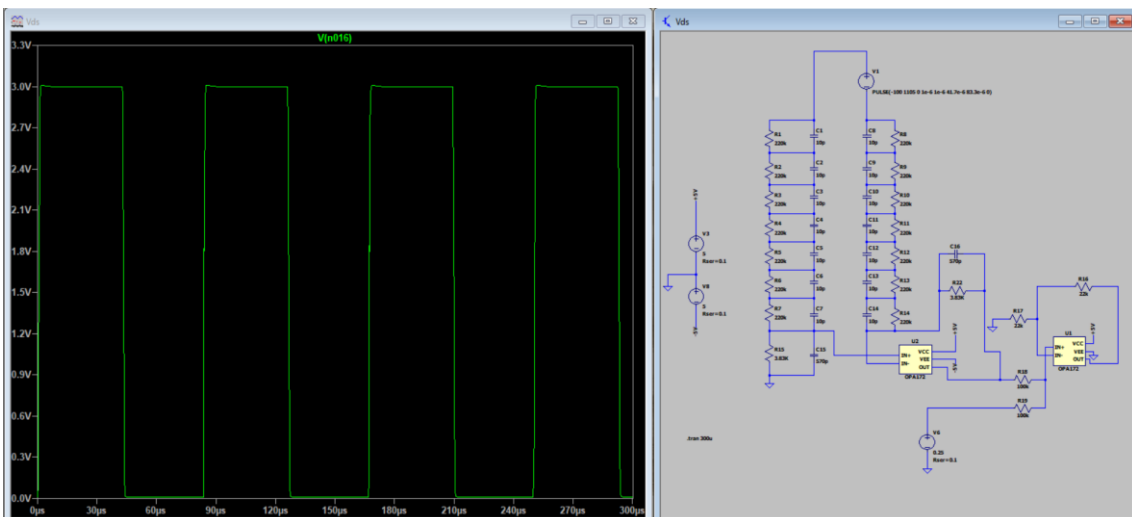


Figura 7-3: simulazione LTspice - andamento temporale della tensione in uscita + schema elettrico

### 7.3 CONDIZIONAMENTO $V_{GS}$

Esso utilizza lo stesso approccio del condizionamento della  $v_{DS}$ , con la differenza che qui i livelli di tensione da gestire sono molto più bassi, infatti non ci sono problemi di isolamento elettrico come nel caso precedente essendo il range di tensione per la  $v_{GS}$  pari a  $(-14 \div +28)$  V. Si è dunque ridotto sia il numero di elementi serie (da 8 a 4) che compongono il partitore di tensione in ingresso, sia la dimensione del footprint dei resistori, (non più 1206 ma 0805) sia il valore di resistenza totale:

$$(3 \times 24.3 + 5.23) \times 10^3 \Omega \cong 78 \text{ k}\Omega \ll (7 \times 220 + 3.83) \times 10^3 \Omega \cong 1.5 \text{ M}\Omega$$

(7.5)

Per il resto la configurazione è la stessa, con la differenza che l'amplificatore differenziale in ingresso ora ha un'attenuazione pari a 13.9 e il valore successivamente sommato in DC è pari a 1 V.

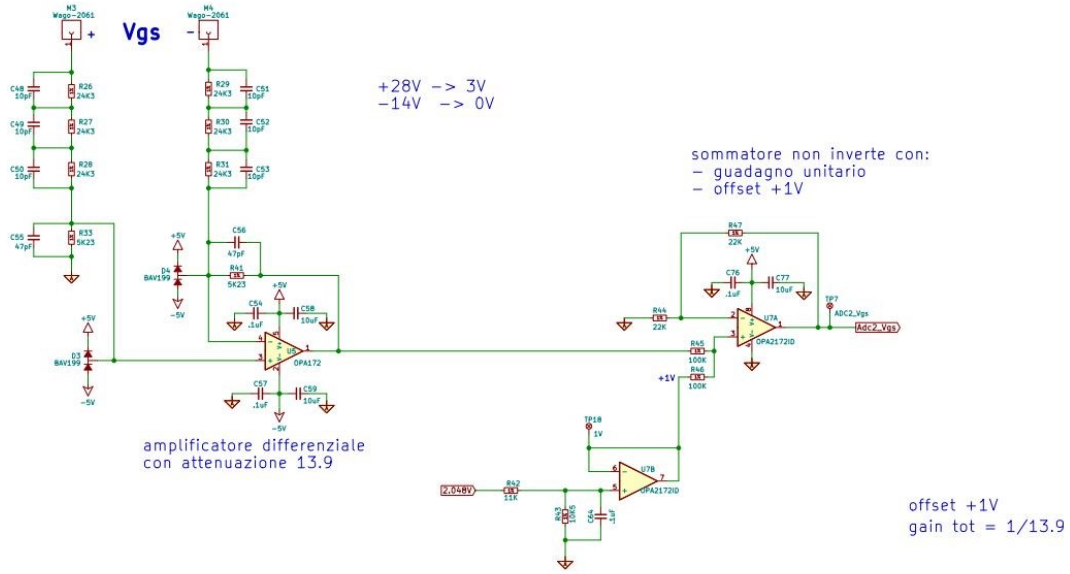


Figura 7-4: schema elettrico LOC363 - condizionamento  $v_{GS}$

In questa maniera si ottiene che l'intervallo (0 ÷ 3) V d'uscita corrisponde all'intervallo (-14 ÷ +28) V in ingresso, come richiesto dalle specifiche tenendo un certo margine rispetto all'intervallo previsto per la  $v_{DS}$  per evitare eventuali distorsioni di fondo-scala. Anche in questo caso vengono posti i condensatori in parallelo nello stadio di ingresso per una migliore risposta alle alte frequenze. La tensione in uscita al circuito di condizionamento può essere ricavata in funzione della tensione  $v_{GS}$  attraverso la seguente espressione:

$$ADC2_{v_{GS}} = \frac{v_{GS}}{13.9} + 1V$$

(7.6)

Il circuito di condizionamento per  $v_{GS}$  è stato simulato con LTSpice per assicurarsi che durante la fase di progettazione non siano stati commessi eventuali errori concettuali o di dimensionamento dei componenti utilizzati per ottenere i giusti valori di guadagno ed offset. Nella Figura 7-6 compare il circuito disegnato in LTSpice eccitato dalla tensione V1 il cui andamento temporale è rappresentato in Figura 7-5 mentre la tensione d'uscita è riportata in Figura 7-6.

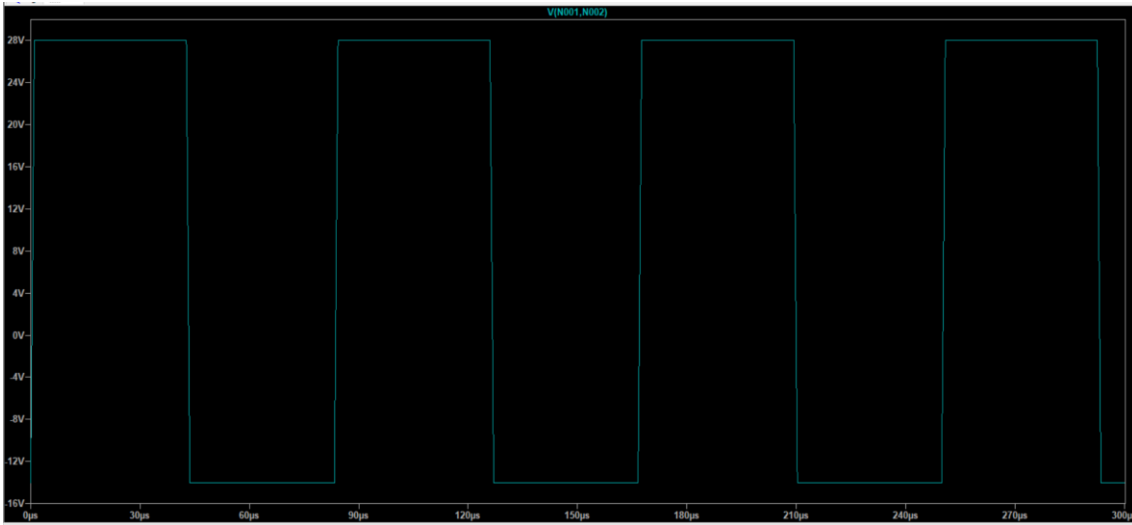


Figura 7-5: simulazione LTspice - andamento temporale della tensione  $v_{GS}$  posta in ingresso

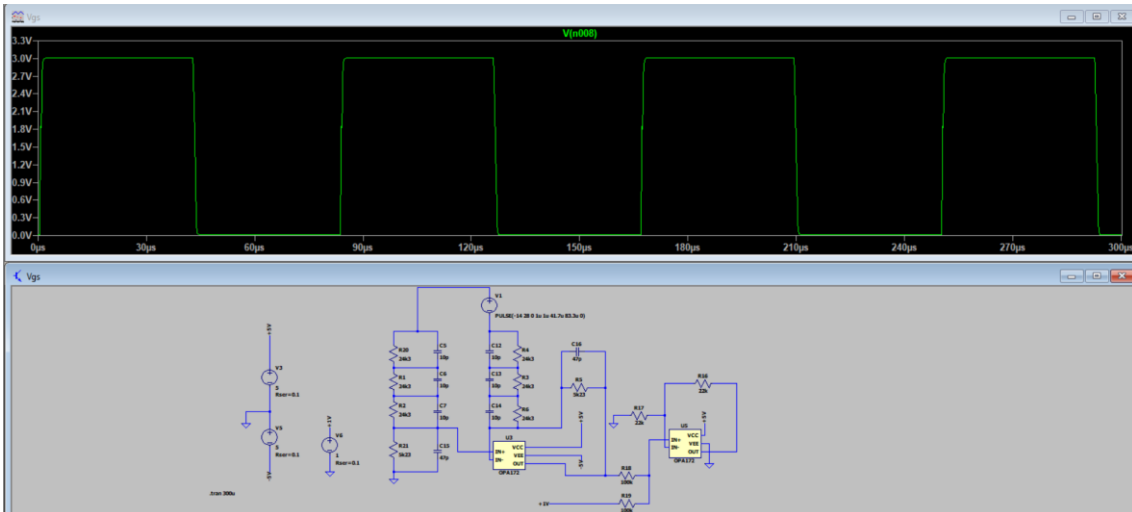


Figura 7-6: simulazione LTspice - andamento temporale della tensione in uscita + schema elettrico

## 7.4 INGRESSI DIGITALI

Il PCB è stato progettato per avere 1 ingresso digitale veloce dotato di foto-acoppiatore ACPL-M21L con tempi di risposta inferiori a 10ns. Questo ingresso viene utilizzato per il segnale digitale di trigger 0V-24V; infatti, l'elevata velocità di risposta permette di iniziare l'acquisizione con il minor ritardo possibile. È stato dimensionato il resistore R32 del valore di 10kΩ per fare in modo che la corrente in presenza dei 24V sia entro il range (1.6 ÷ 6) mA come richiesto dal datasheet del componente. Il datasheet indica che la caduta in ingresso del foto-acoppiatore è 0.8 V, dunque la corrente in ingresso nello stato ON vale:

$$I_{in} = \frac{(24 - 0.8)V}{10 \times 10^3 \Omega} = 2.32mA$$

( 7.7)

L'uscita del foto-accoppiatore è alimentata a 3.3V, valore richiesto dalla control-card come livello logico alto

Inoltre, come si nota dallo schema riportato in Figura 7-7 attraverso il morsetto M5 d'ingresso si ha la possibilità di fornire 4 ulteriori ingressi digitali sempre 0V-24V. Per questi si utilizza un foto-accoppiatore più lento con tempi di risposta dell'ordine del ms. Il dimensionamento delle resistenze poste in ingresso è stato effettuato sempre con l'intento di limitare la corrente in ingresso a valori accettabili per il foto-accoppiatore tenendo conto anche della caduta sul LED verde che ha il compito di segnalare lo stato dell'ingresso. Il segnale che esce dal foto-accoppiatore, attraverso un filtro R-C passa basso che ha il compito di eliminare eventuali spike, viene bufferizzato attraverso il 74LVC3G17 che è un comparatore con isteresi a doppia soglia ed ha il compito di migliorare la qualità del segnale e ridurre ulteriormente i disturbi. Infine, si porta il segnale all'ingresso digitale attraverso un filtro passa-basso R-L composto dal resistore RP1 da 330Ω e dall'induttanza che nello schema in Figura 7-7 non compare ma che è presente in serie ad ogni ingresso e uscita digitale della control-card (Figura 7-11).

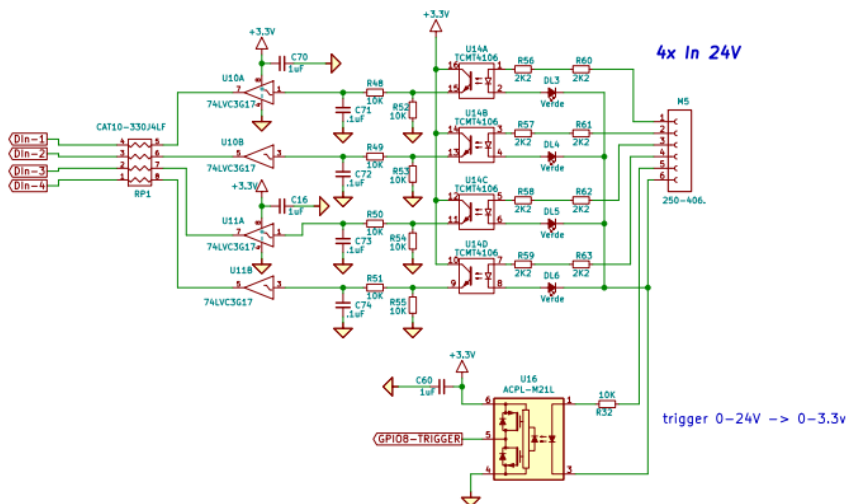


Figura 7-7: schema elettrico LOC363 - trigger e ingressi digitali ausiliari

## 7.5 USCITE DIGITALI AUSILIARI

È stato incluso nel progetto Hardware anche uno stadio che permette di controllare lo stato di quattro uscite digitali ponendo test-point e LED per ogni uscita. Lo schema è riportato in Figura 7-8. Vediamo che il segnale, dopo esser filtrato dal filtro R-L viene portato in ingresso al comparatore a doppia soglia utilizzato anche per i GPIO di ingresso. L'uscita del comparatore

pilota dei LED di colore giallo che simboleggiano lo stato delle uscite. In Loccioni, la convenzione per i colori dei LED è: verde -> ingressi, giallo -> uscite, blu -> alimentazione. I resistori da 330Ω in serie ai LED sono stati tarati in modo da rendere la corrente di uscita dal Trigger di Schmitt all'interno del range ammissibile.

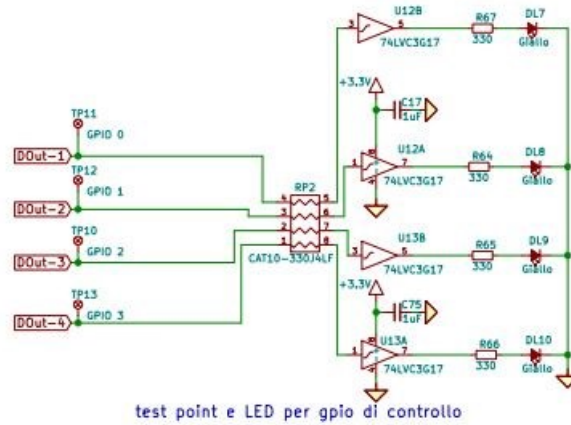


Figura 7-8: schema elettrico LOC363 - uscite digitali

## 7.6 USCITE ANALOGICHE AUSILIARIE

Per sfruttare a pieno le capacità dell’F28388D che mette a disposizione tre DAC si è progettato uno stadio composto da buffer di tensione attraverso l’OPA172 per prelevare i segnali che escono dai tre DAC e portarlo nella morsettieria d’uscita senza assorbire corrente ed alterare i livelli di tensione.

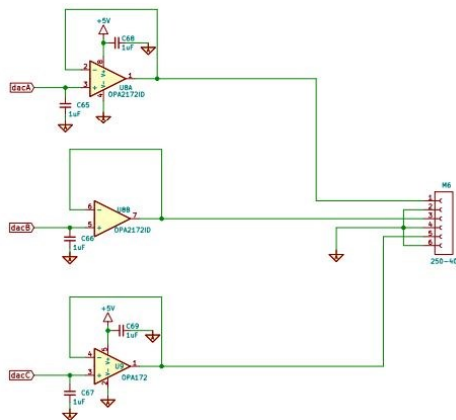


Figura 7-9: schema elettrico LOC363 - uscite analogiche ausiliarie

## 7.7 STADIO DI ALIMENTAZIONE

Dall’esterno è disponibile un’alimentazione duale +15V/-15V. Il compito dello stadio di alimentazione è quello di fornire potenza alla control-card e ai vari componenti attivi presenti nel PCB con il giusto livello di tensione. I livelli di tensione che occorrono sono i seguenti:



- +5V per alimentare la control-card e gli operazionali;
- -5V per il primo stadio di amplificazione delle tensioni  $v_{GS}$  e della  $v_{DS}$  in modo da poter avere in uscita anche livelli di tensione negativi data la dinamica dei valori che esse assumono;
- +3.3V per alimentare i circuiti integrati presenti negli stadi di ingresso e uscita digitale GPIO.

Facendo riferimento alla Figura 7-10 il circuito stabilizza e protegge da eventuali spike l'alimentazione proveniente dall'esterno attraverso gli Zener SNA6J15A e un filtraggio del terzo ordine C-L-C. Si utilizza dunque i +15V stabilizzati per alimentare l'L78M05CDT che è uno stabilizzatore che fornisce in uscita +5V. Analogamente si utilizzano i -15V per alimentare l'L79M05 che genera in uscita la tensione stabilizzata a -5V. Si pongono i LED blu con resistenza in serie opportunamente dimensionata per limitare la corrente ed avere un riscontro visivo della corretta presenza di entrambe le tensioni di alimentazione.

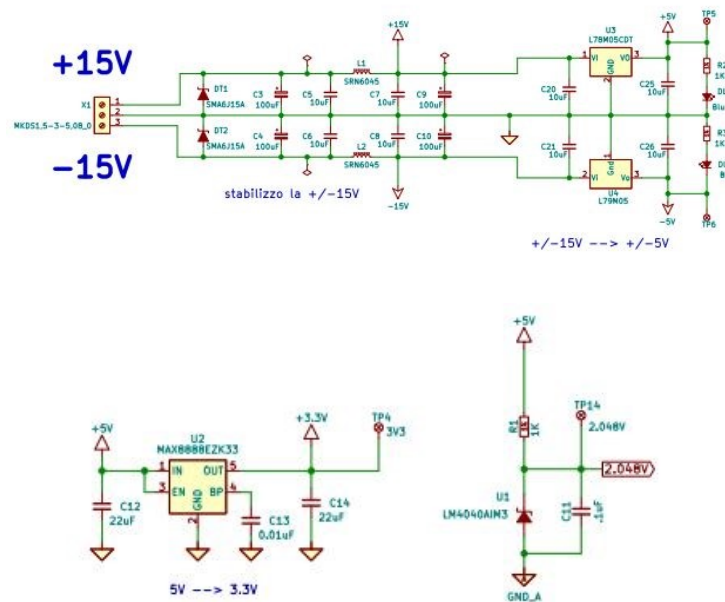


Figura 7-10: schema elettrico LOC363 - stadio di alimentazione

Per generare i 3.3V si utilizza il MAX8888EZK33 che alimentato viene alimentato a 5V.

Infine, è stato necessario generare una tensione stabilizzata di livello più basso utilizzata per fornire la componente DC utilizzata nei circuiti sommatore non invertente. Vista la necessita di una tensione DC molto bassa 1V per la  $v_{GS}$  e 250mV per la  $v_{DS}$  e allo stesso tempo di qualità molto elevata, si è preferito dedicare uno stabilizzatore di tensione solamente per questo scopo, in modo da tagliare fuori tutti gli altri disturbi presenti nelle altre alimentazioni. La resistenza R1 è stata opportunamente tarata considerando il fatto che la corrente di carico vale:

$$I_{LOAD} = \frac{2.048V}{\frac{(R20 + R21) \times (R42 + R43)}{(R20 + R21) + (R42 + R43)}} = 108\mu A$$

(7.8)

Considerando quest'ultimo valore il datasheet consente di avere un range per R1 pari a: (148 ÷ 18.45) kΩ. Dunque, si è optato per un valore pari a 1kΩ essendo pienamente al centro del range e allo stesso tempo tra i più comuni in modo da evitare anche difficoltà di reperimento.

## 7.8 PERIFERICA CONTROL-CARD

La control-card Texas Instruments possiede 180 pin di interfacciamento di cui appartiene ingressi e uscite analogici, GPIO, alimentazioni ecc. I contatti elettrici sono stabiliti mediante 2 connettori detti HSEC, il più grande è composto da 120 pin mentre il più piccolo comprende gli altri 60. Si utilizzano dei condensatori del valore di 10μF per eliminare i disturbi presenti nell'alimentazione a 5V fornita alla scheda. In Figura 7-11 è presente lo schematico del circuito periferico ai connettori HSEC che ospitano la control-card. Sulla sinistra è rappresentato il connettore a 60 pin, mentre l'HSEC a 120 pin è suddiviso in tre parti nello schema per una migliore illustrazione. Possiamo qui apprezzare gli induttori in serie agli ingressi e uscite digitali per limitare eventuali spike e disturbi ad alta frequenza.

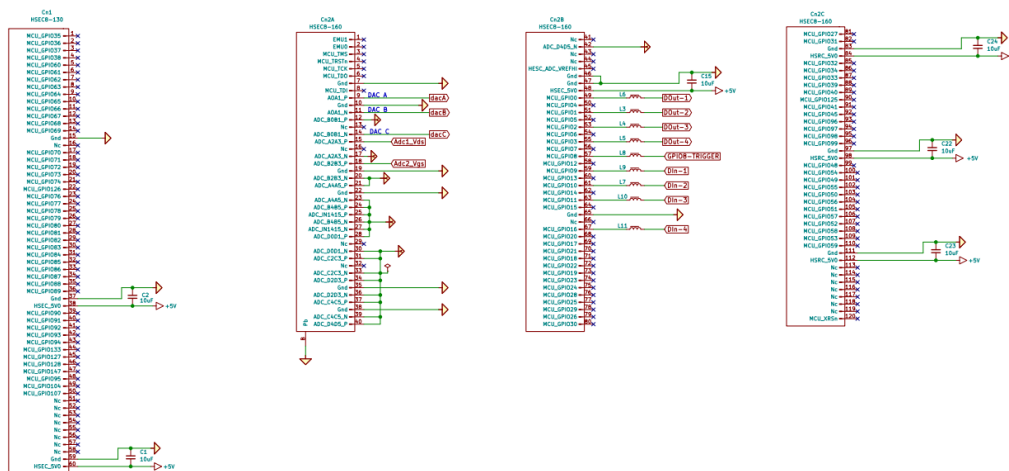


Figura 7-11: schema elettrico LOC363 - periferica control-card

## 7.9 LAYOUT DEL PCB

La fase successiva al progetto dello schema elettrico è quello del design del layout del PCB. Si utilizza come per lo schematico il software Kicad. Dato il numero di componenti presenti la scelta fatta è quella di una realizzazione a doppio strato di rame (front e back) e di posizionare i componenti solamente nel lato front.

Si procede posizionando i componenti in maniera strategica ovvero:

- Cercando di semplificare le piste di rame di collegamento tra i vari componenti
- Considerando la tensione ai loro capi facendo considerazioni sulla capacità di isolamento elettrico.

Nella parte di condizionamento della  $v_{DS}$  che raggiunge livelli di tensione dell'ordine del kV occorre posizionare a dovuta distanza i componenti. Le precauzioni prese sono quelle di distanziare dal resto del circuito i partitori di tensione in ingresso e fresare il PCB in modo da evitare eventuali scariche facilitate dalla condensa che può depositarsi sulla scheda. È stata inoltre applicata una fresatura di 2mm che separa i partitori di  $+v_{DS}$  e  $-v_{DS}$  dal resto del PCB. I componenti scelti sono stati opportunamente dimensionati per lavorare in queste condizioni di alta tensione.

Dopo aver posizionato i componenti occorre tracciare le piste sul PCB per effettuare i collegamenti elettrici. I fattori da tenere in considerazione durante questa fase sono:

- Larghezza delle piste; essa influisce sulla conduttività e sulla capacità di dissipare calore. Piste che devono condurre elevate correnti devono avere larghezza maggiore. Le piste che conducono maggiori livelli di intensità di corrente sono quelle di alimentazione. In generale dove c'è spazio allargare la pista è sempre un bene. Tenere sempre a mente la seconda legge di Ohm.
- Le caratteristiche del segnale che scorre sulla pista; ad esempio, se si tratta di un segnale con elevato contenuto armonico alle alte frequenze è bene evitare di fare giri molto lunghi ed articolati e di creare loop con area estesa per ridurre l'effetto dei fenomeni EMI considerando la legge di Faraday-Lenz.
- Piani di massa o di alimentazione; nel retro del PCB in questione è stato disegnato un piano di massa per i circuiti di alimentazione e per i circuiti digitali. Un altro piano di massa è stato progettato sulla parte front del PCB per i circuiti analogici, ovvero le parti di condizionamento dei segnali che vanno agli ADC e i buffer di tensione relativi ai segnali uscenti dai DAC.

In Figura 7-12 è presente una schermata che riporta il layout dei componenti, delle piste, dei piani di massa e della serigrafia presente sul PCB. In blu è raffigurata la serigrafia, in rosso lo strato superiore di rame e in verde lo strato di rame posteriore. Oltre che al piano di massa la parte inferiore è stata sfruttata per facilitare il passaggio delle piste utilizzando, in mancanza di alternative migliori, dei fori passanti metallizzati (via) per proseguire il percorso della pista dalla parte front a quella back e viceversa. Per la dimensione dei via il discorso è analogo a quello della larghezza delle piste affrontato precedentemente.

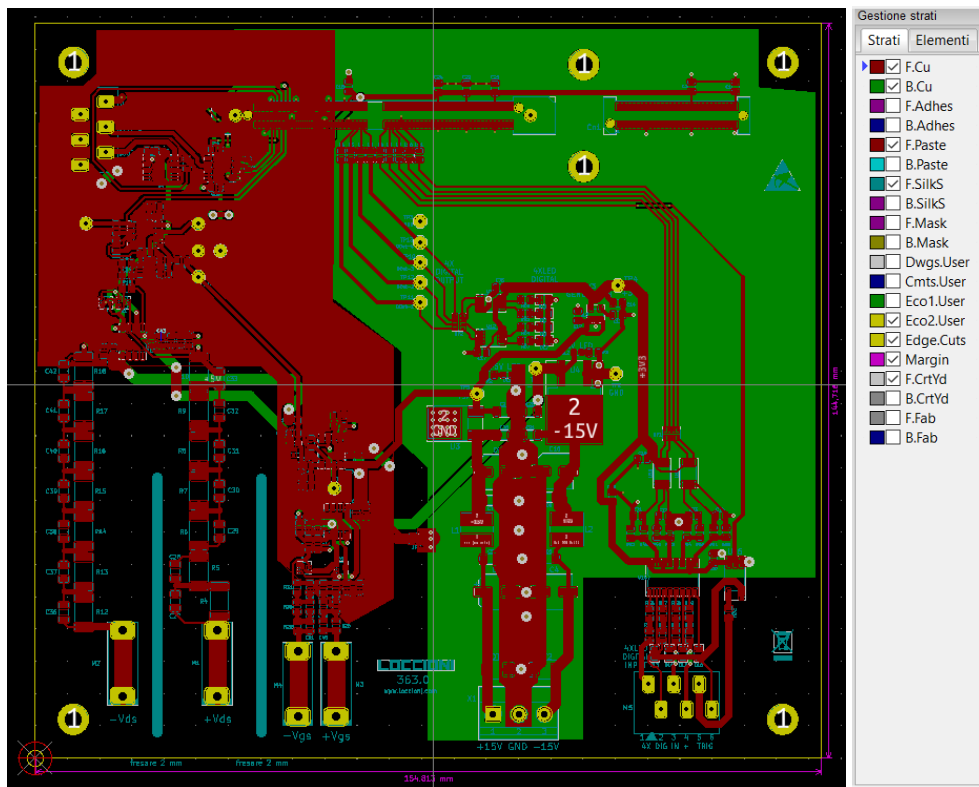


Figura 7-12: Kicad PCB design con legenda colori

Terminata la fase di progettazione hardware, il PCB è stato prodotto esternamente inviando il progetto all'azienda incaricata. A questo punto un'altra fase molto delicata è stata quella di reperire i componenti elettronici: è stata compilata una distinta con l'elenco di tutti i componenti presenti, sia attivi che passivi, comprendendo il fornitore, il codice identificativo, il codice emesso dal produttore, la quantità e il prezzo. Il periodo in cui è stato fatto questo lavoro è stato caratterizzato da una vera e propria crisi riguardante il reperimento dei componenti elettronici causata dalla pandemia dovuta al Covid-19 e aggravata dal periodo di guerra in cui ci troviamo. Questi fattori hanno fatto sì che i componenti erano disponibili in quantità molto limitata ad intervalli temporali ridotti, per questo motivo più di una volta è stato necessario aggiornare lo schema elettrico sostituendo i componenti non più disponibili e riadattando il circuito al nuovo componente dovendo modificare di conseguenza anche il layout.

Le figure 31 e 32 riportano rispettivamente la fotografia della parte superiore e inferiore del PCB senza i componenti montati. Il montaggio dei componenti è stato svolto a mano. Il componente più complesso da saldare è stato il connettore HSEC della control-card perché presenta delle piazzole davvero molto piccole (larghezza 0.5mm) e ravvicinate (distanza tra piazzole adiacenti 0.3mm) inoltre gran parte della loro superficie è coperta dal connettore stesso. Il risultato finale del lavoro di saldatura e montaggio dei componenti è rappresentato dalla figura 33.

## 7.10 VALIDAZIONE LOC363

In questa fase vengono validati i vari stadi circuitali che compongono il PCB, senza inserire la control-card nell'apposito connettore. Per prima cosa si verifica che non siano presenti cortocircuiti, soprattutto nei punti di alimentazione e tra le piazzole del connettore della control-card. Successivamente si procede alimentando la scheda e verificare che ci siano i corretti livelli di tensione +5 V, -5 V, 3.3 V, 2.048 V, 1 V e 250 mV. Terminata anche questa verifica si continua analizzando il comportamento dei vari stadi circuitali:  $v_{DS}$  e  $v_{GS}$ . La semplice procedura eseguita è stata quella di fornire in ingresso ai connettori +Vds e -Vds tensioni via via sempre più elevate per verificare il corretto funzionamento di tutto il circuito di condizionamento, andando a misurare se la tensione che viene portata all'ingresso analogico della control-card è coerente con la tensione fornita. Attraverso il variac ad alta tensione presente in Figura 7-16 è stata fornita una tensione DC via via crescente fino ad arrivare a 1000V sullo stadio  $v_{DS}$ , verificando oltre che al corretto funzionamento del circuito di condizionamento anche la capacità di isolamento elettrico. Stesso identico procedimento è stato svolto per la  $v_{GS}$  ovviamente sostituendo il variac con un alimentatore da banco e riadattando i livelli di tensione fornendo valori compresi tra -14 e +28V. Poi sono state effettuate anche delle prove dinamiche per testare la qualità dell'operazionale ed eventuali problemi dovuti a fenomeni EMI, fornendo tensioni sinusoidali di opportuna ampiezza e offset per rientrare all'interno dei range di tensione. A causa di un errore riscontrato nel foot-print dell'amplificatore operazionale OPA172, è stato necessario intervenire effettuando una modifica filare per rimediare l'errore ripristinando i giusti collegamenti elettrici. Le modifiche filari sono visibili nella Figura 7-15 che mostra il PCB con i componenti montati.

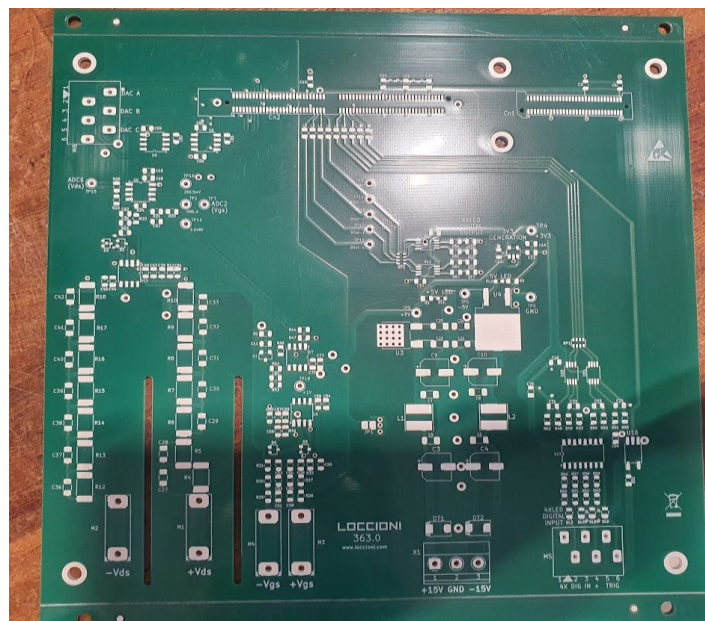


Figura 7-13: Parte superiore del PCB LOC363 (lato componenti)

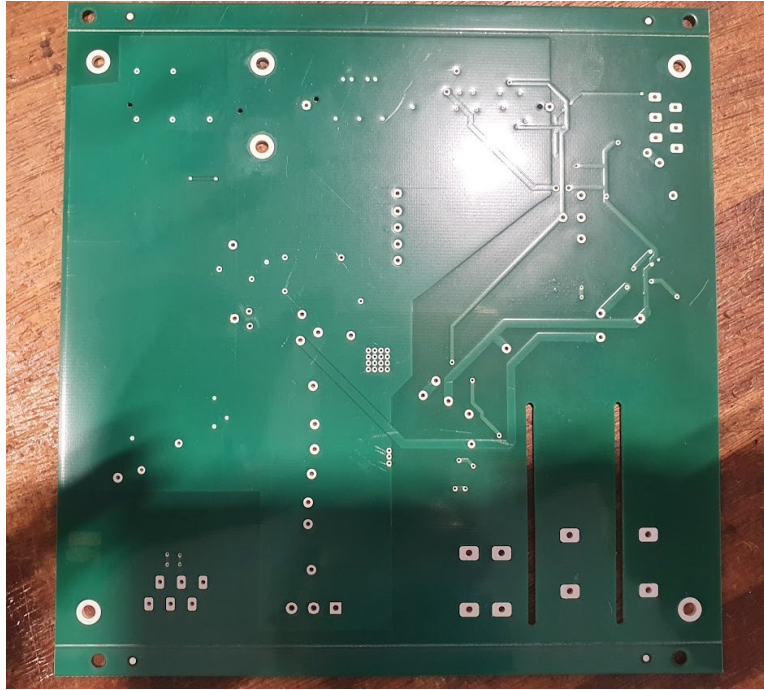


Figura 7-14: Lato inferiore del PCB LOC363

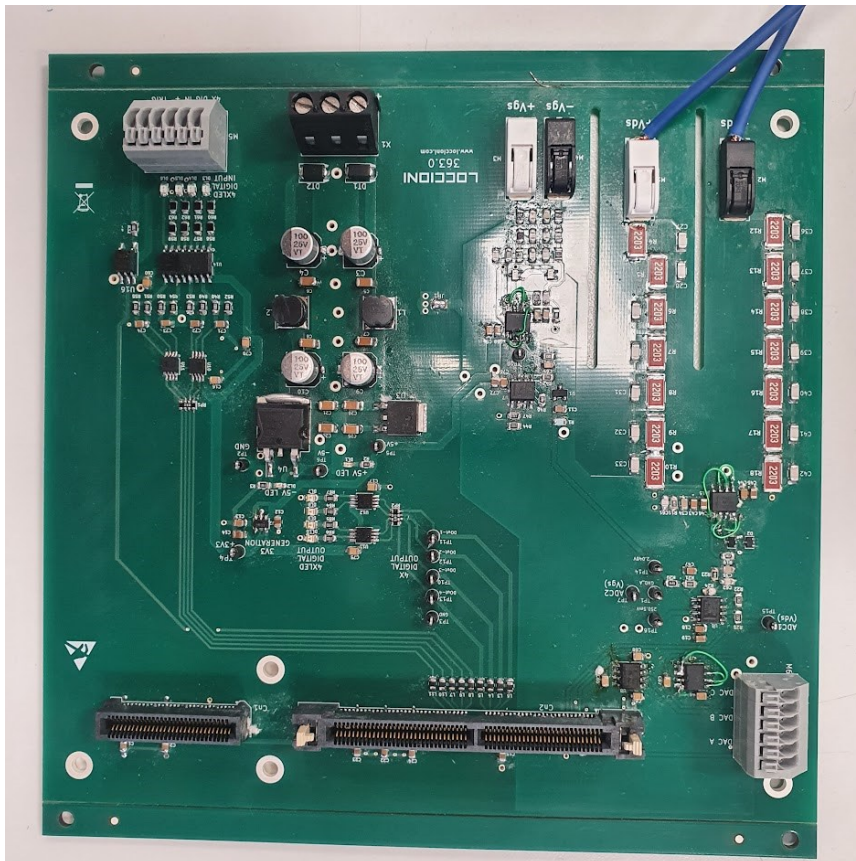


Figura 7-15: PCB con componenti saldati LOC363

### 7.10.1 VALIDAZIONE CIRCUITO DI CONDIZIONAMENTO PER LA $V_{DS}$

In questa fase si verifica che lo stadio di condizionamento ad alta tensione progettato operi correttamente. È importante fare questa prova prima di installare la control-card TI per evitare eventuali danni dovuti a valori di tensioni non adeguati al range (0÷3) V richiesto dagli stadi analogici della stessa. Si alimenta la LOC363 con l'alimentatore da banco presente in Figura 7-16 in cui è riportato il set-up per la validazione del PCB. Il variac è un convertitore AC- AC composto da un'autoinduttanza dotata di un cursore scorrevole che serve a selezionare il numero di spire in ingresso e quindi l'ampiezza della tensione d'uscita. Esso è alimentato dalla tensione di rete monofase 230 V efficaci alla frequenza di 50 Hz. In uscita si ha dunque una tensione con stessa frequenza ma amplificata in base alla posizione del cursore. Il variac in Figura 7-16 presenta a valle uno stadio finale che ha il compito di raddrizzare l'alta tensione alla frequenza di 50Hz per ottenere la DC.

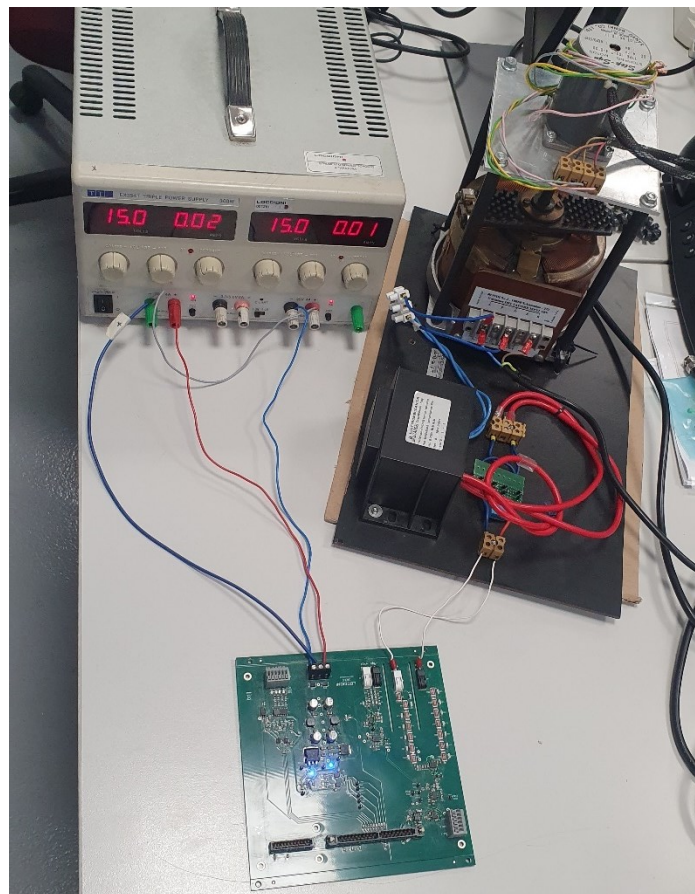


Figura 7-16: validazione circuito di condizionamento per  $v_{DS}$

## 8 ACQUISIZIONI E RISULTATI

Sviluppate e validate le parti hardware e firmware rimane da provare il funzionamento dell'intero sistema d'acquisizione. In questa sezione si descrivono le acquisizioni effettuate mostrando i set-up allestiti per le misurazioni riportando i risultati ottenuti e discutendo le loro caratteristiche.

### 8.1 ACQUISIZIONI SU LOCCIONI GENERIC INVERTER

Per questioni organizzative non essendo ancora il banco Elektra ST Loccioni pronto per essere correttamente avviato le prime prove effettuate sono state eseguite nel Generic Inverter.

Data l'impossibilità di prelevare la tensione di gate nell'inverter Loccioni per i motivi spiegati precedentemente le acquisizioni effettuate riguardano solo la tensione drain-source.

SET-UP di misura:

La Figura 8-1 rappresenta il set-up di misura per l'acquisizione di  $v_{DS}$  su Inverter Loccioni.

Si controlla e si imposta le condizioni di lavoro dell'inverter attraverso Speedgoat, processore real-time.

Il carico dell'inverter è un'induttanza da 40  $\mu$ H trifase a stella con centro stella flottante

La scheda LOC363 sviluppata viene alimentata da alimentatore RS PRO RPE-2323 in maniera bipolare +15V 0V e -15V, senza riferire la massa GND (0V) a terra.

I morsetti di +Vgs e -Vgs vengono lasciati flottanti.

Il trigger 0 V - 24 V è fornito attraverso PLC Beckhoff portando il segnale con dei fili di rame sull'apposita morsettiera.

La tensione  $V_{DS}$  viene prelevata dal modulo di potenza portandola con dei fili di rame agli appositi morsetti.

Si collega tramite cavo ethernet l'omonima porta posta nella control-card montata sul PCB LOC363 e lo switch di rete posto anch'esso sul banco da lavoro ed opportunamente alimentato. Attraverso un altro cavo ethernet si effettua il collegamento tra PC e switch di rete. In questa maniera si forma una rete a stella locale in cui control-card e PC sono i terminali e lo switch di rete è il centro stella.





*Figura 8-1: set-up di misura per acquisizione su Generic inverter Luccioni*

Set-point:

Acquisizione 1: High-side,  $V_d = 200 \text{ V}$ ,  $f_s = 10 \text{ kHz}$ ,  $f_1 = 100 \text{ Hz}$ , carico: induttanza trifase a stella  $40 \mu\text{H}$ ;

Acquisizione 2: Low-side,  $V_d = 200 \text{ V}$ ,  $f_s = 50 \text{ kHz}$ ,  $f_1 = 100 \text{ Hz}$ , carico: induttanza trifase a stella  $40 \mu\text{H}$ ;

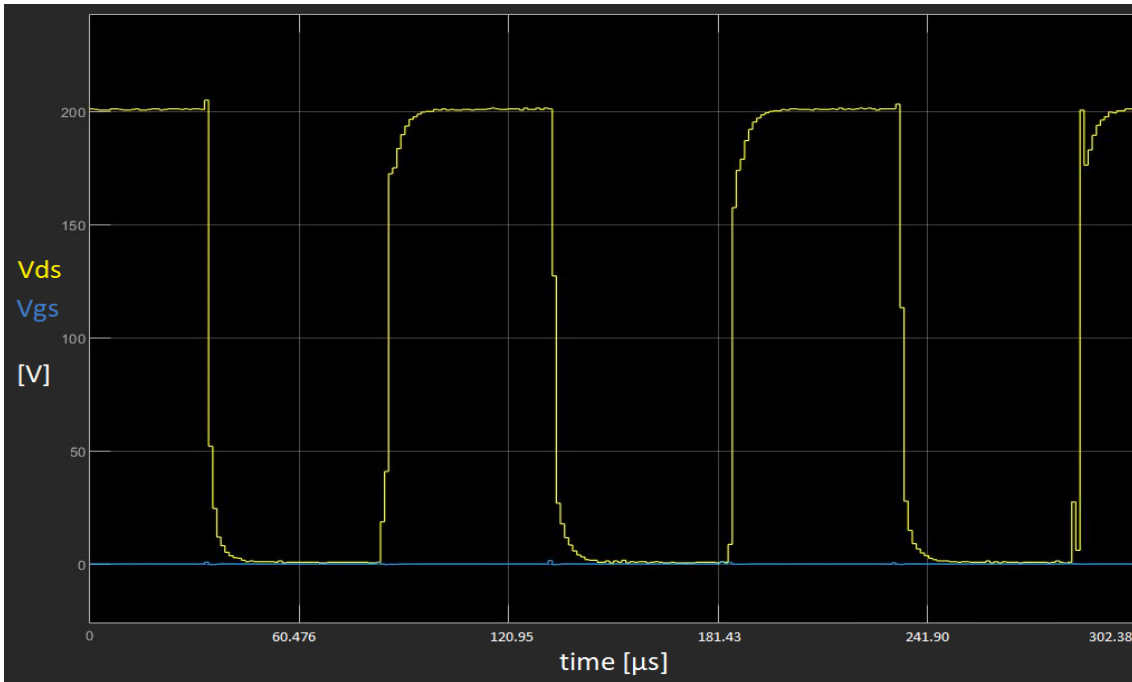


Figura 8-2: Acquisizione 1:  $V_d=200V$ ,  $f_s=10kHz$ ,  $f_1=100Hz$ ,  $LOAD = 40 \mu H$

In Figura 8-2 sono riportati i valori ottenuti dall'acquisizione di  $v_{DS}$  in giallo e  $v_{GS}$  in blu. I valori di  $v_{GS}$  sono privi di significato. La  $v_{DS}$  come vediamo presenta le caratteristiche di un'onda quadra 0V-200V come ci si aspetta. Osservando la Figura 8-2 notiamo un leggero sovra smorzamento della tensione sia nel fronte di discesa che in quello di salita, mantenendo però le caratteristiche previste testimoniando un corretto funzionamento dell'intero sistema per il canale  $v_{DS}$  per il set point in questione. Aumentando la frequenza di switching a 50kHz non si notano grossi cambiamenti comportamentali anche se si nota una risoluzione temporale inferiore in quanto in questo caso in un periodo si prendono circa 17 campioni essendo il sample rate 840 kSaps.

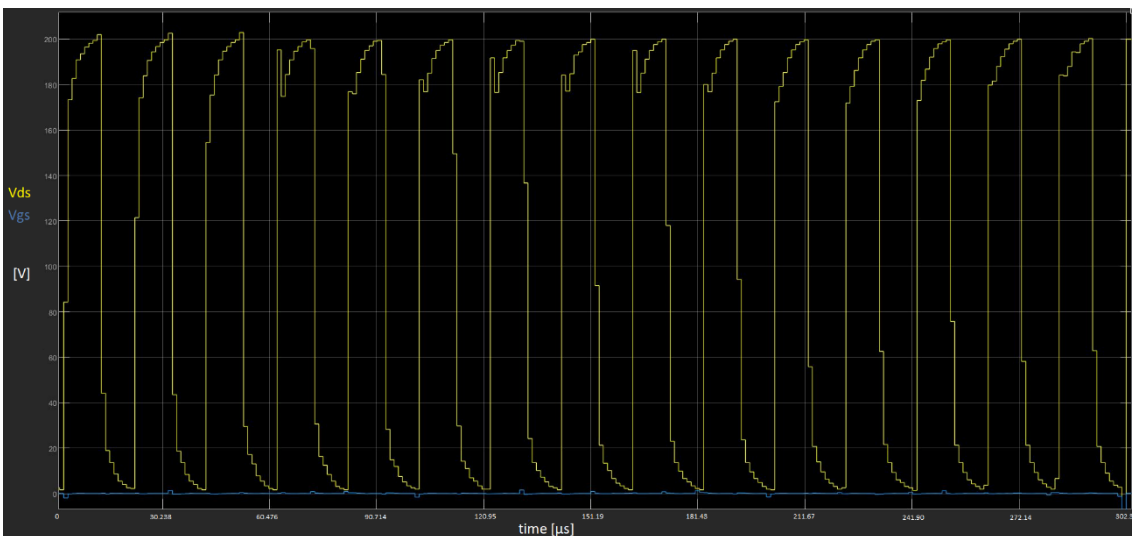


Figura 8-3: Acquisizione 2:  $V_d = 200 V$ ,  $f_s = 50 kHz$ ,  $f_1 = 100 Hz$ ,  $LOAD = 40 \mu H$

## 8.2 ACQUISIZIONI SU ELEKTRA ST LOCCIONI

Hardware utilizzato:

- Alimentatore da banco RS-PRO RPE-2323
- Banco test Elektra ST Loccioni
- Power module ST ACEPACK DRIVE
- Carico induttivo da 40 $\mu$ H trifase a stella con neutro flottante.

All'interno del banco Elektra ST Loccioni vengono svolte le acquisizioni di  $v_{GS}$  e  $v_{DS}$  sul power module ST ACEPACK DRIVE visibile in Figura 3-2. Le tre fasi, U, V e W dell'inverter vengono connesse al carico a stella. La scheda LOC363 viene posta appena sopra il power module sull'apposito ripiano come rappresentato in Figura 8-4. Si monta la control-card TI sulla LOC363. Si collega un'estremità del cavo ethernet alla porta della control-card e l'altra estremità allo switch di rete dell'Elektra. Con un secondo cavo ethernet di lunghezza appropriata (5m) si collega il PC che si trova al di fuori del banco allo switch di rete. Attraverso l'alimentatore da banco si fornisce l'alimentazione duale +15 V 0 V e -15 V alla LOC363 utilizzando i due canali in serie. Il morsetto centrale dell'alimentatore (0 V) è la massa di riferimento della scheda (GND) ma è flottante rispetto alla terra. Il trigger 0-24 V viene fornito alla LOC363 attraverso la logica PLC presente nel banco.

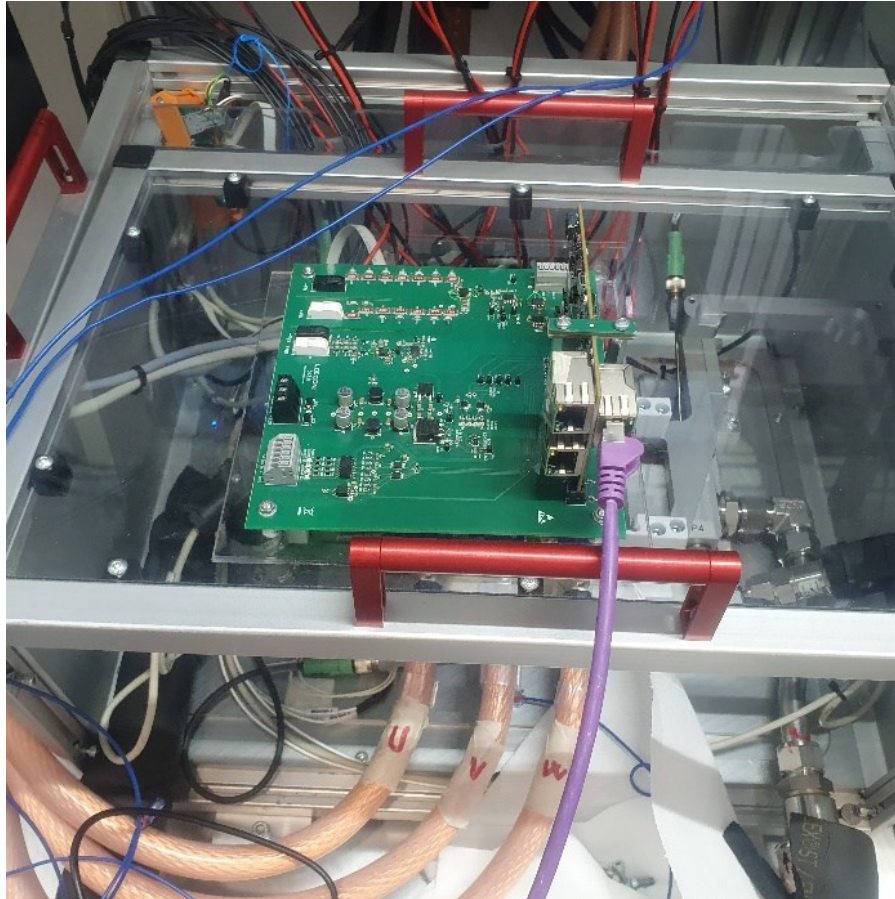


Figura 8-4: set-up per acquisizioni all'interno del banco Elektra ST Loccioni

Set point di lavoro:

Grazie al banco Elektra è possibile fornire al modulo di potenza una tensione DC impostabile attualmente nel range di valori (0÷800) V.

Il valore di picco delle correnti di fase che vanno al carico è controllabile allo stato attuale nel range di valori (0÷400) A.

La frequenza della corrente d'uscita è controllabile allo stato attuale nel range di valori (0÷300) Hz.

La frequenza di switching è fissa al valore di 12 kHz.

In base alle specifiche riportate sono state svolte le acquisizioni con i set-point elencati in tabella

SET POINT	Vd [V]	Iout [A]	f1 [Hz]
1	100	100	100
2	200	100	100
3	200	300	300

4	400	100	100
5	400	100	100
6	600	100	100
7	800	100	100

Tabella 8-1: set-point dei valori di tensione su DC-bus, corrente di picco nelle fasi e frequenza delle correnti di fase

Risultati ottenuti:

Le figure sottostanti riportano le acquisizioni effettuate per i vari set-point elencati in Tabella 8-1.

Analizzando le forme d'onda ottenute possiamo esprimere i seguenti concetti:

- I livelli di tensione ottenuti sia per  $v_{GS}$  che per  $v_{DS}$  per le acquisizioni riportate in questa sezione sono conformi alle grandezze misurate. Ciò testimonia un corretto funzionamento sia dell'intero firmware che gestisce la logica che delle varie sezioni della LOC363 progettata.
- Il sample rate raggiunto (840 kSaps) permette di raggiungere una risoluzione temporale sufficiente per rappresentare la forma d'onda ed analizzare il valore negli stati di conduzione e di bloccaggio del SiC in questione. Infatti considerato che la frequenza di switching è 12 kHz in un periodo gli ADC riescono a prelevare 70 campioni.
- Per le acquisizioni di  $v_{DS}$  analizzando i risultati ottenuti concentrandosi sui fronti di salita e discesa si nota che mediamente l'ADC riesce a prelevare 3 o 4 campioni tra il 10% e il 90% della tensione  $V_d$ . Tale risultato è sufficiente per identificare l'impulso e stimare la sua durata ma non per descrivere gli effetti transitori veloci che occorrono durante le commutazioni. Un discorso analogo può essere fatto per la  $v_{GS}$  la quale presenta dei fronti di durata simile ma non si riesce ad apprezzare fenomeni transitori come ad esempio il cosiddetto effetto Miller.
- La risoluzione della conversione analogico-digitale dei campioni acquisiti è come suddetto 12 bit. Ciò significa che per la  $v_{DS}$  avremo una risoluzione in volt pari a:

$$v_{DS.res} = \frac{v_{DS,FS+} - v_{DS,FS-}}{2^{n^{bit}}} = \frac{1105 V - (-100.8) V}{2^{12}} \cong 294.4 mV$$

(8.1)

Tale valore permette di avere un'ottima rappresentazione del segnale ma non è del tutto sufficiente per notare in maniera evidenti piccoli effetti di variazione del livello di tensione dovuti ad esempio alla variazione del livello di corrente d'uscita per effetto della  $R_{DS,ON}$  dichiarata da ST pari a 1.92 mΩ.

Per la  $v_{GS}$  in maniera analoga si calcola la risoluzione in volt:

$$v_{GS.res} = \frac{v_{GS,FS+} - v_{GS,FS-}}{2^{n^{bit}}} = \frac{28 V - (-14) V}{2^{12}} \cong 10.25 mV$$

(8.2)

In questo caso essendo scala di tensioni in ingresso all'ADC ridotta si riesce a discriminare valori di tensione più piccoli (essendo invariato il numero di bit).

Notando i set-point elencati ed i risultati riportati si riscontra che per le configurazioni 6 e 7 non sono stati riportati i risultati. Il motivo è per questi due set-point il microcontrollore TI non riesce a svolgere le operazioni contenute nel firmware e quindi ad assolvere i vari task andando in uno stato di bloccaggio dal quale si riesce ad uscire solamente con un reset della scheda. Questo problema ha dunque impedito il processo di acquisizione. Il non funzionamento del microcontrollore è stato riscontrato solamente per tensioni nel DC bus pari a 600 V e 800 V. Sembra dunque l'alta tensione la causa, ma è necessario approfondire per avere una comprensione più chiara dell'origine del problema. Si può escludere un problema dovuto al condizionamento dei segnali in quanto la LOC363 è stata completamente validata anche con la prova ad alta tensione nello stadio  $v_{DS}$  riportata nel capitolo precedente. L'ipotesi più verosimile può essere che il problema sia legato a fenomeni EMI, e che si verifica quando questi sono più intensi, ovvero quando la tensione è maggiore, inoltre il sistema di acquisizione, come si nota dal set-up in Figura 8-4 è posto proprio nel ripiano appena sopra al power module, a circa 10 cm di distanza e senza alcuna schermatura.

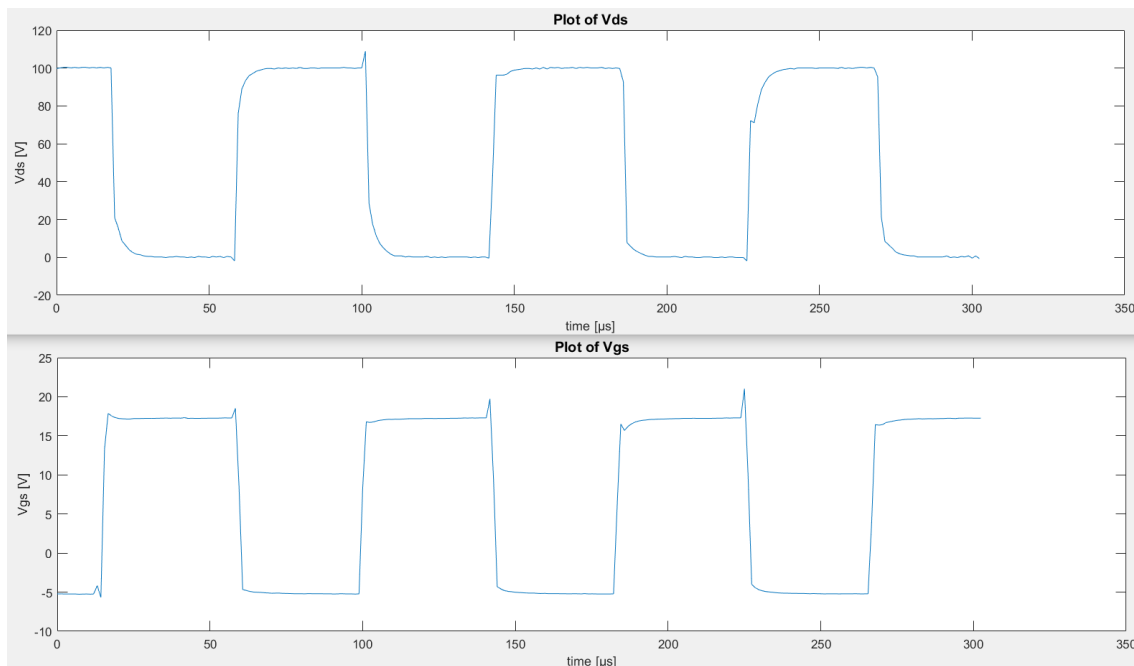
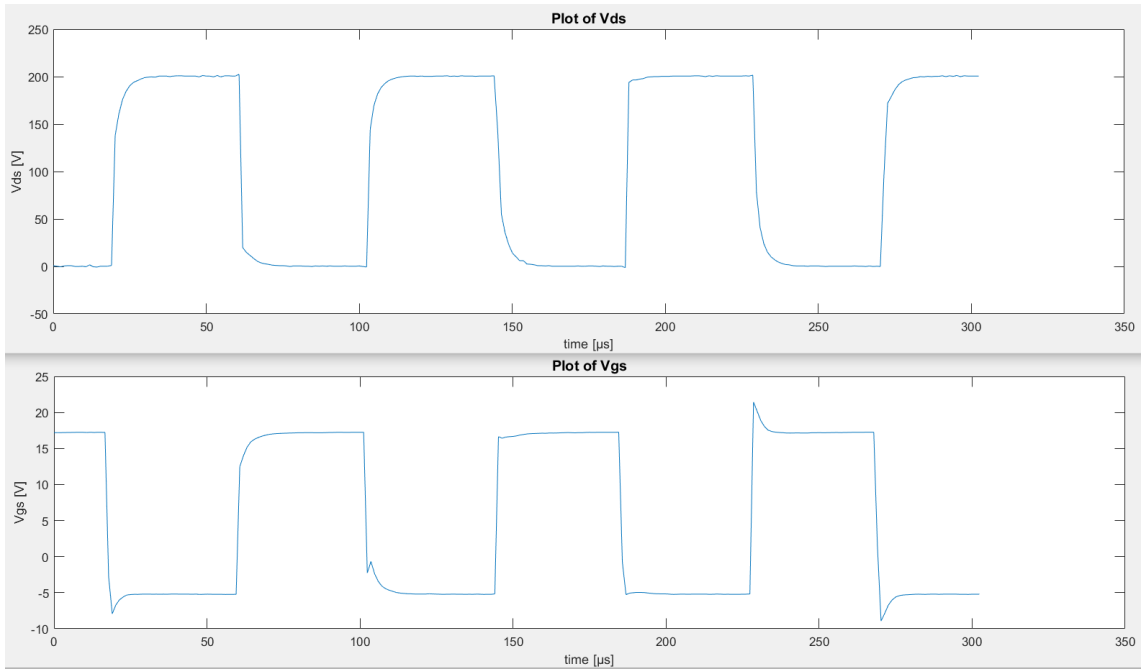
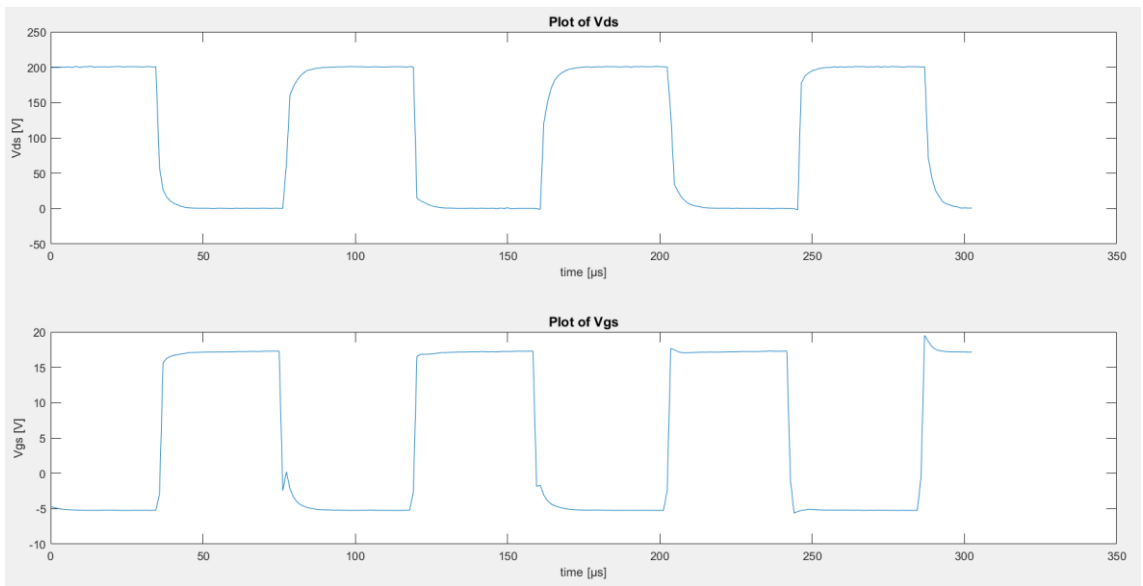


Figura 8-5:  $v_{DS}$ ,  $v_{GS}$  - set point 1:  $Vd = 100 V$ ,  $I_{out} = 100 A_{peak}$ ,  $f_1 = 100 Hz$



*Figura 8-6:  $v_{DS}$ ,  $v_{GS}$  - set point 2:  $V_d = 200$  V,  $I_{out} = 100$  Apeak,  $f_1 = 100$  Hz*



*Figura 8-7:  $v_{DS}$ ,  $v_{GS}$  - set point 3:  $V_d = 200$  V,  $I_{out} = 100$  Apeak,  $f_1 = 300$  Hz*

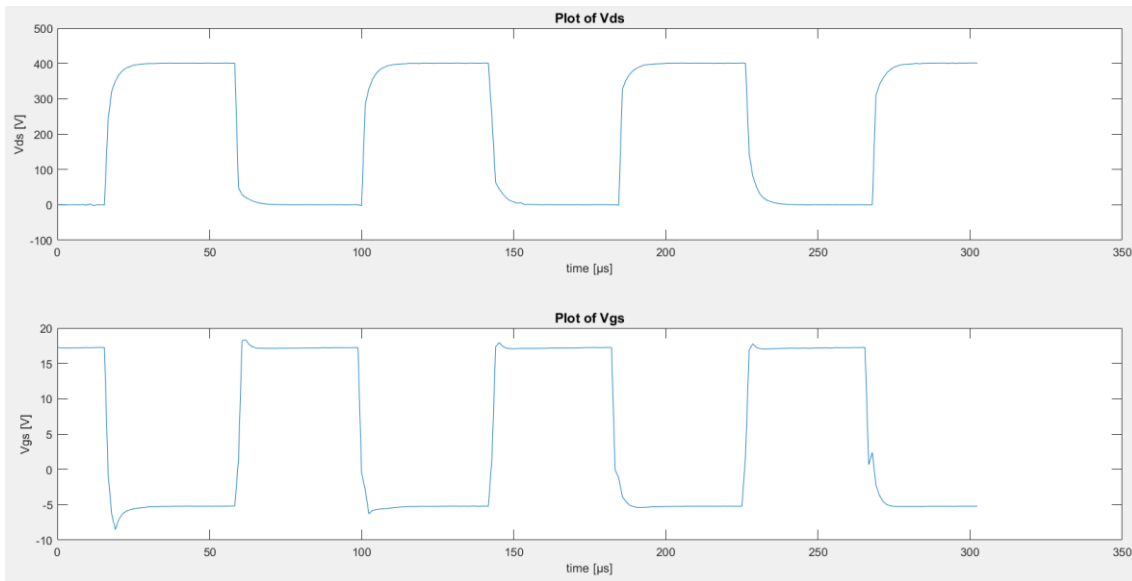


Figura 8-8:  $v_{DS}$ ,  $v_{GS}$  - set point 4:  $V_d = 400\text{ V}$ ,  $I_{out} = 100\text{ Apeak}$ ,  $f_1 = 100\text{ Hz}$

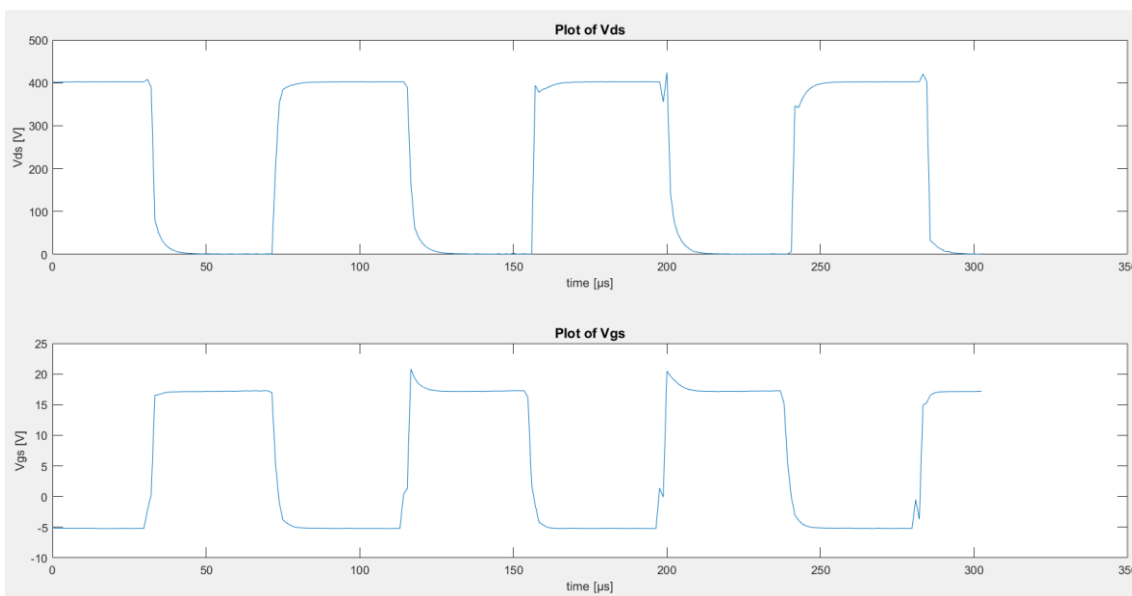


Figura 8-9:  $v_{DS}$ ,  $v_{GS}$  - set point 5:  $V_d = 400\text{ V}$ ,  $I_{out} = 400\text{ Apeak}$ ,  $f_1 = 100\text{ Hz}$

### 8.3 ACQUISIZIONI STATICHE CON CALIBRATORE DI TENSIONE

L'idea per avere la sicurezza assoluta che il problema sia di compatibilità elettromagnetica nelle acquisizioni per tensioni di alimentazione del modulo di potenza ( $V_d$ ) pari a 600V e a 800V è quella di effettuare delle misure statiche ad alta tensione sul canale  $v_{DS}$ . Il set-up è mostrato in Figura 8-10 e in Figura 8-11. Lavorando a tensioni molto elevate la scheda viene messa in sicurezza ponendola all'interno del BOX metallico. La piastra in Lexan installata nella parte inferiore della LOC363 permette evitare contatti elettrici tra il PCB e il box. Per la prova si utilizzano le seguenti risorse hardware:



- Alimentatore da banco RS-PRO RPE-2323
- Alimentatore da banco AIM TTI Instruments EX354T
- Switch di rete Moxa EDS-G308
- Generatore di funzioni Multicomp MP750064
- Oscilloscopio Tektronix DPO2012B
- Calibratore Fluke 6522A.

Con l'RS-PRO si alimenta la LOC363 configurando in serie i suoi due canali per poter avere la tensione duale richiesta +15 V 0 V e -15 V. Gli 0 V sono flottanti rispetto al potenziale di terra.

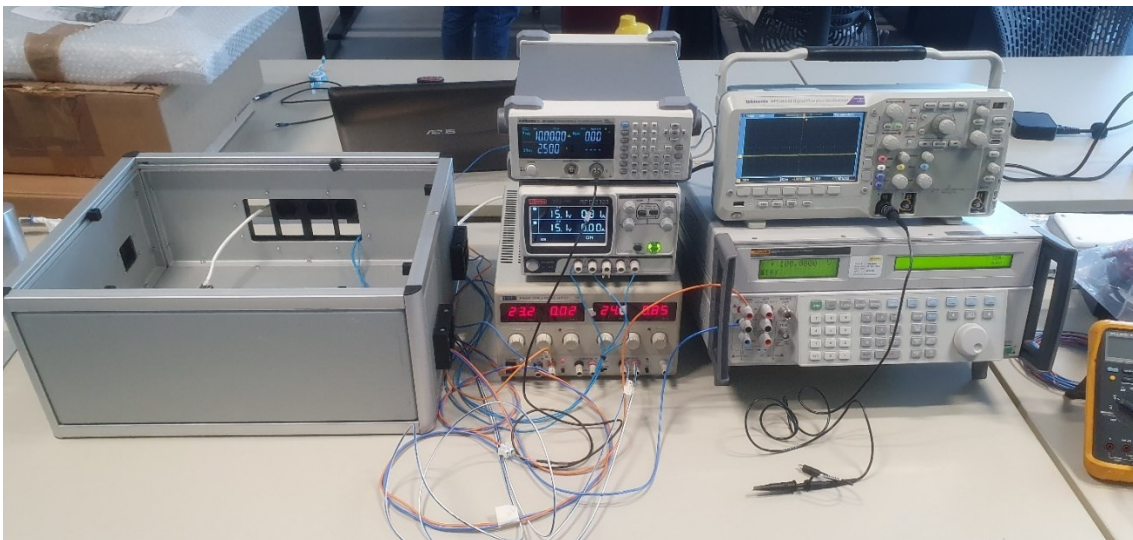
L'AIM TTI Instruments viene utilizzato per alimentare lo switch di rete e per fornire il segnale di trigger alla LOC363.

Lo switch di rete come per tutti gli altri set-up mette in collegamento il PC con la control-card TI per il download dei dati acquisiti.

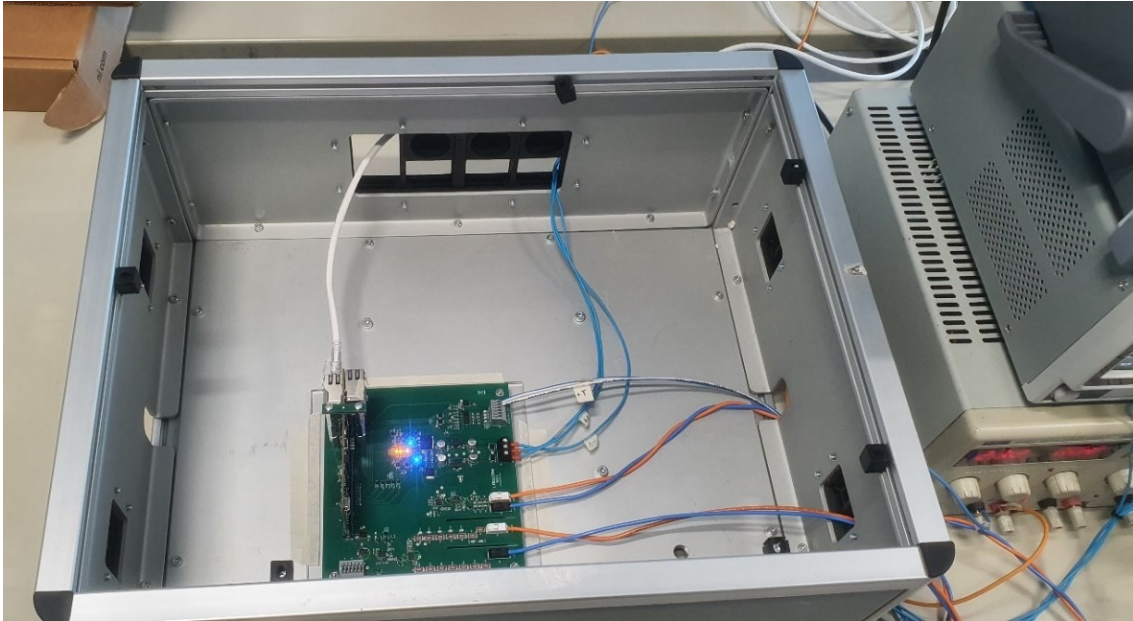
Il calibratore viene sfruttato per fornire la tensione DC sul canale  $v_{DS}$  della LOC363.

Con il generatore di funzioni si fornisce un'onda quadra con livello alto 15 V, livello basso -5 V e frequenza 12 kHz per simulare la  $v_{GS}$  del modulo di potenza.

L'oscilloscopio serve a verificare i corretti valori di tensione generati dal generatore di funzioni.



*Figura 8-10: set-up per prova statica ad alta tensione*

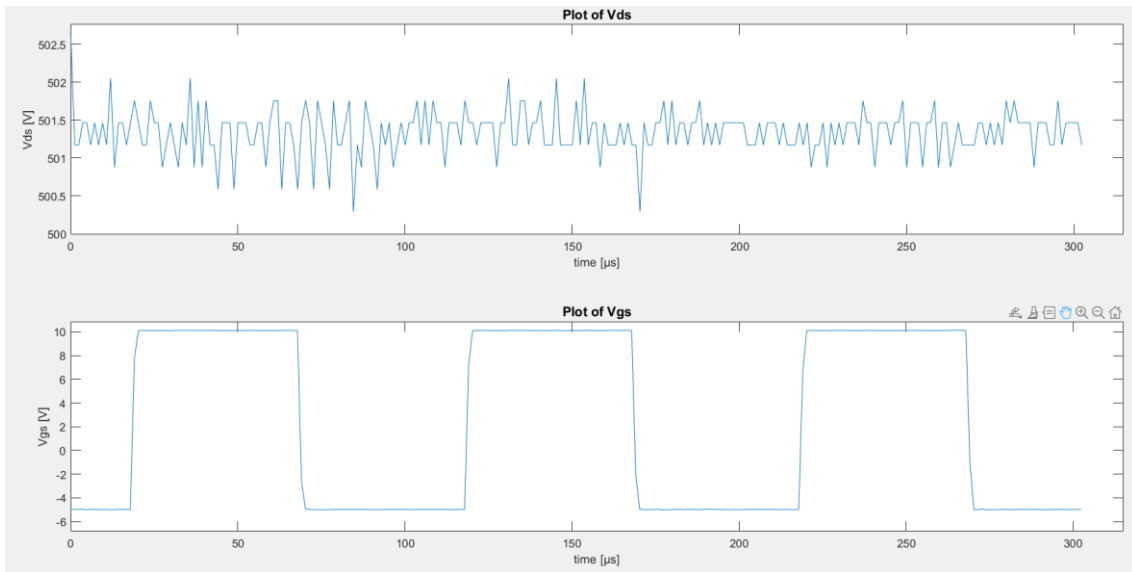


*Figura 8-11: set-up per prova statica ad alta tensione*

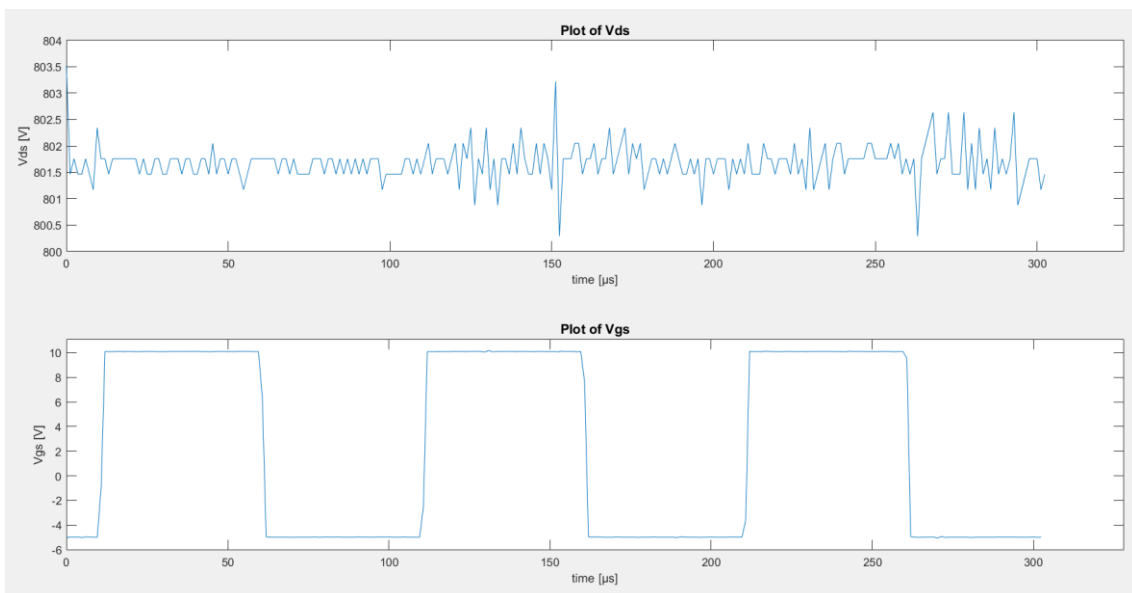
Set-point prova statica 1: 500 V su canale  $v_{DS}$  e onda quadra precedentemente descritta su canale  $v_{GS}$

Set-point prova statica 2: 800 V su canale  $v_{DS}$  e onda quadra precedentemente descritta su canale  $v_{GS}$

I risultati ottenuti per le prove a 500 V e a 800 V sono riportati rispettivamente nelle figure 48 e 49 e testimoniano un corretto funzionamento di tutto il sistema hardware e firmware anche a tensioni elevate. Si può notare in entrambe le figure che la presenza dell'elevata tensione non influisce sulle prestazioni e sul funzionamento del firmware ottenendo valori coerenti rispetto a quelli generati per entrambi i canali di acquisizione. Questo comportamento evidenzia che la causa del mal funzionamento del firmware ad alte tensioni del bus in DC è dovuto a fenomeni EMI che si riscontrano all'interno del banco Elektra a causa delle commutazioni dei SiC passando rapidamente dalla condizione di bloccaggio caratterizzata da elevata tensione ( $V_d$ ) e corrente nulla alla condizione di conduzione in cui la corrente è elevata e la tensione è bassa ( $R_{DS,ON} * I_{FASE}$ ). Queste condizioni operative provocano elevati  $\frac{di}{dt}$  e  $\frac{dv}{dt}$  e quindi forti emissioni radiate che si intensificano all'aumentare della tensione e della corrente.



*Figura 8-12: acquisizione prova statica a 500V*



*Figura 8-13: acquisizione prova statica a 800V*

#### 8.4 MODIFICHE HARDWARE PER PROTEZIONE DA FENOMENI EMI

Da quanto emerso nelle acquisizioni effettuate è necessario irrobustire il sistema per renderlo meno suscettibile ai fenomeni radiati. In questa sezione si riportano le strategie adoperate per irrobustire il set-up di misura e adattare il sistema di acquisizione ad ambienti in cui sono presenti forti campi irradiati come accade oramai nel mondo dell'elettronica di potenza in cui le prestazioni dei dispositivi sono in continua evoluzione, tra cui i loro tempi di commutazione. Elevate potenze in gioco e tempi di commutazione brevi significa purtroppo anche elevata potenza irradiata e dunque occorre che il sistema sia poco suscettibile a tali radiazioni.

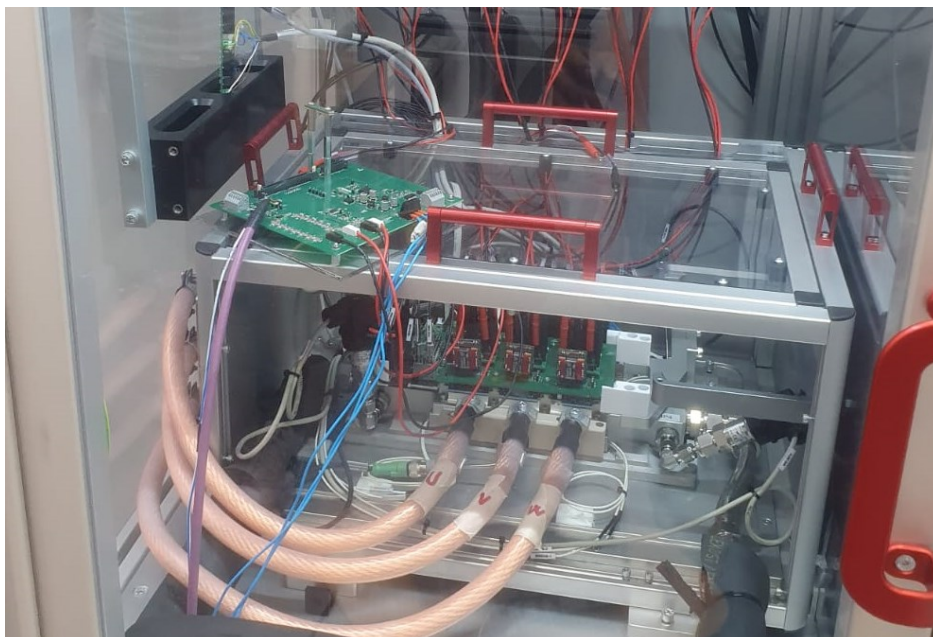
#### 8.4.1 DISLOCAZIONE DELLA PARTE SUSCETTIBILE DEL SISTEMA D'ACQUISIZIONE

La prima idea e soluzione adoperata per diminuire la suscettibilità del sistema alle emissioni di disturbi radiati è quella di allontanare il sistema di acquisizione dalla sorgente elettromagnetica, ovvero dal power module.

Uscire dal banco Elektra con i cavi ad alta tensione sarebbe controproducente dal punto di vista delle prestazioni, in quanto allungando il cablaggio si allunga l'area del loop del percorso di corrente, non avendo a disposizione un cavo schermato e twistato in grado di sostenere certe differenze di potenziale

La soluzione è quella di lasciare all'interno la LOC363 e portare all'esterno i segnali analogici a bassa tensione uscenti dai moduli di condizionamento attraverso un cavo tripolare twistato e schermato lungo 10 metri. In questa maniera è possibile porre la control-card Texas Instruments all'esterno del banco lontano dai disturbi elettromagnetici in maniera da non compromettere il processo di esecuzione del firmware. Lo svantaggio che si paga è quello di dover viaggiare con un lungo cavo che trasporta un segnale analogico a bassa tensione ed alta frequenza rischiando di captare parecchi disturbi nonostante il twisting e lo schermo.

La Figura 8-14 mostra il cablaggio effettuato per realizzare il set-up con le modifiche descritte. Il cavo twistato e schermato di colore viola parte dalla scheda LOC363.0 posta all'interno del banco ed arriva alla docking station TI posizionata all'esterno sulla quale è montata la control-card.

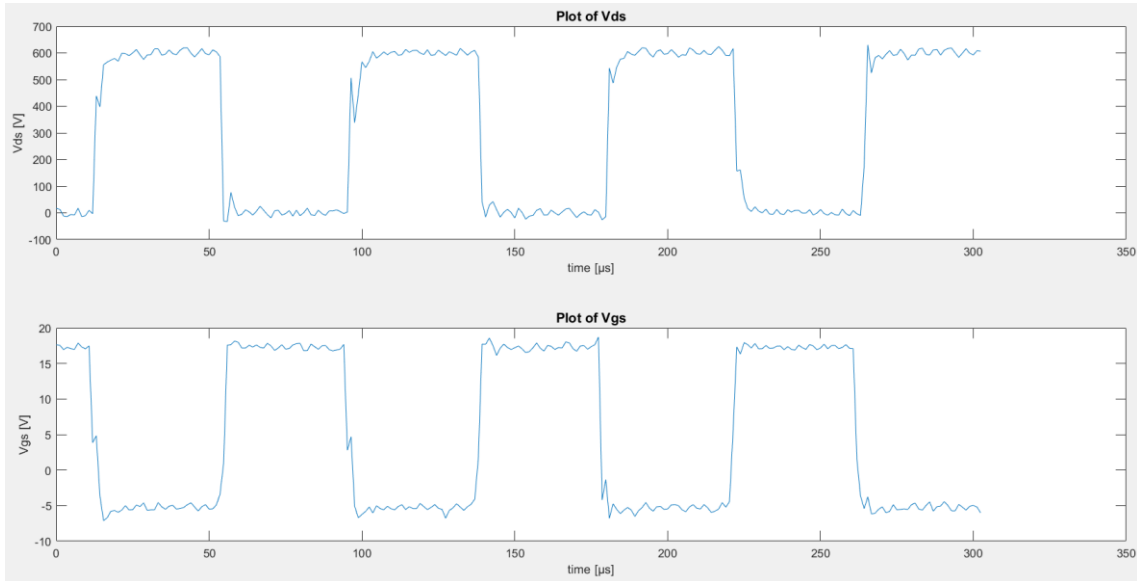


*Figura 8-14: set-up con cavo schermato e twistato tra LOC363 e control-card TI*

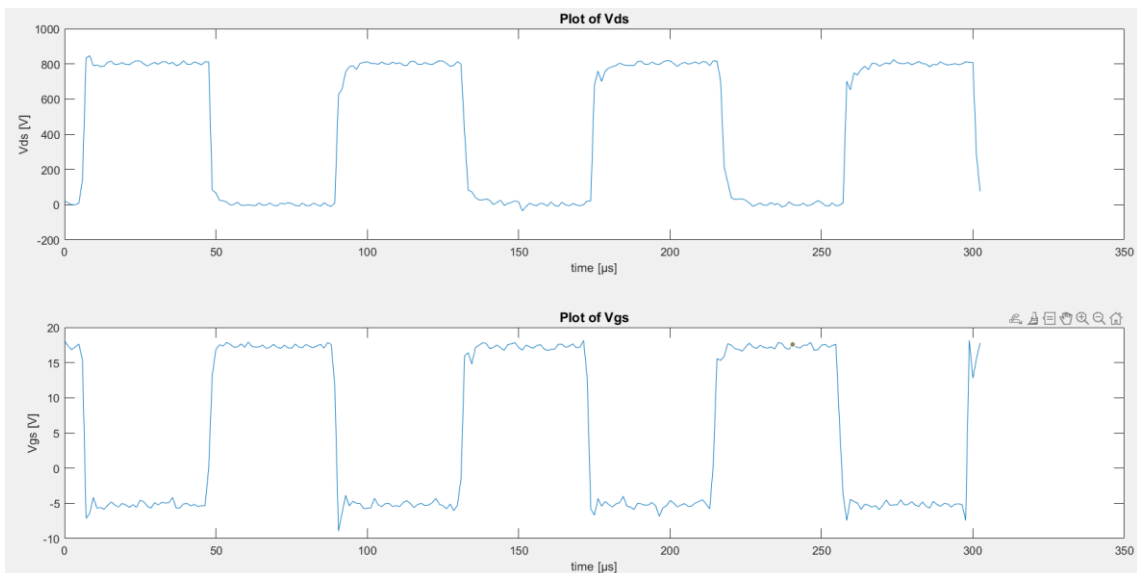
Le prove sono state eseguite con i set-point 6 e 7 presenti in Tabella 8-1, che per chiarezza vengono di seguito nuovamente riportati:

- Set-point 6:  $V_d = 600\text{ V}$ ,  $I_{out} = 100\text{ Apeak}$ ,  $f_1 = 100\text{ Hz}$
- Set-point 7:  $V_d = 800\text{ V}$ ,  $I_{out} = 100\text{ Apeak}$ ,  $f_1 = 100\text{ Hz}$

Le acquisizioni ottenute sono riportate nelle Figura 8-15 e Figura 8-16.



*Figura 8-15:  $V_d = 600\text{ V}$ ,  $I_{out} = 100\text{ Apeak}$ ,  $f_1 = 100\text{ Hz}$*



*Figura 8-16:  $V_d = 800\text{ V}$ ,  $I_{out} = 100\text{ Apeak}$ ,  $f_1 = 100\text{ Hz}$*

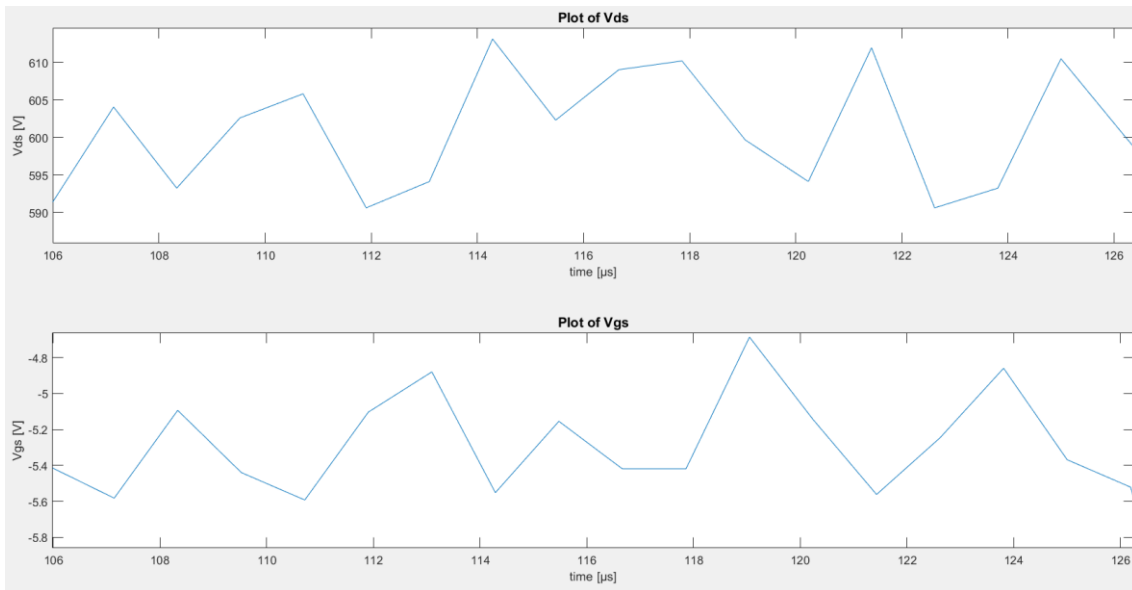


Figura 8-17: ripple acquisizione set-point 6

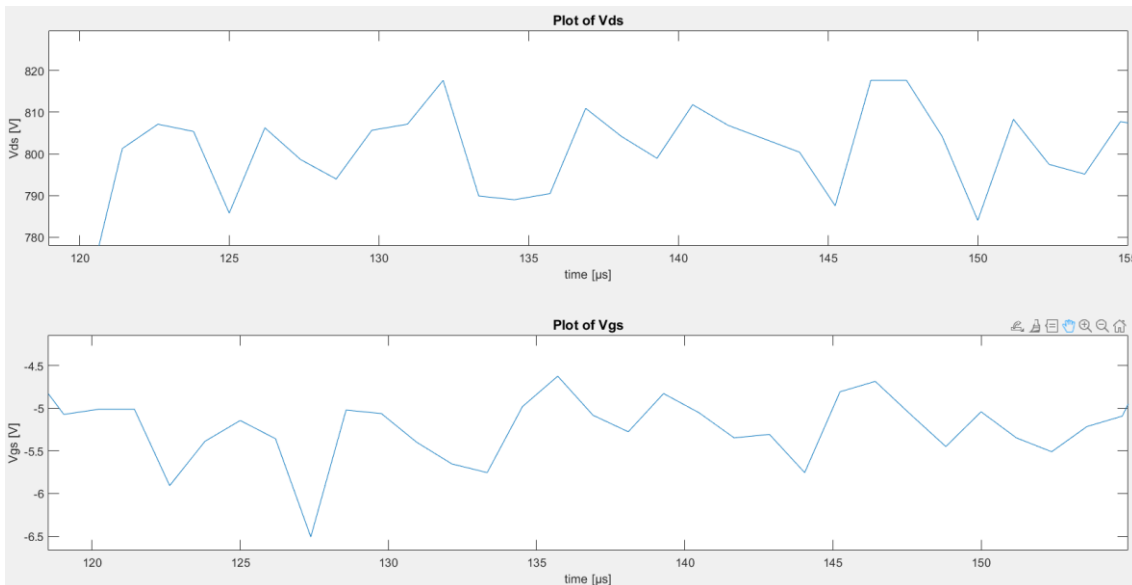


Figura 8-18: ripple acquisizione set-point 7

Osservando i risultati ottenuti si possono fare le seguenti osservazioni:

- Occorre evidenziare il fatto che grazie a questa configurazione che permette di ridurre l'esposizione della control-card TI alle radiazioni emesse, quest'ultima è riuscita a lavorare correttamente riuscendo ad eseguire correttamente i vari task che compongono il firmware.
- Come ci si aspettava il cablaggio effettuato per portare all'esterno del banco i segnali analogici condizionati a bassa tensione introduce un'inevitabile ed evidente rumorosità all'acquisizione, di uguale effetto per entrambi i canali ( $v_{DS}$  e  $v_{GS}$ ) ma di modesta entità.

Analizzando la Figura 8-17 si possono fare delle considerazioni riguardo il ripple nell'off-state del MOSFET:

- la tensione  $v_{DS}$  oscilla all'interno del range di tensione (590 V ÷ 613 V) centrata nel valor medio di circa 601 V. Si ottiene dunque in percentuale un ripple di ampiezza picco-picco del 3.83% rispetto all'ampiezza della tensione acquisita.
- La tensione  $v_{GS}$  oscilla all'interno del range di tensione (-4.7 V ÷ -5.6 V) con valore medio di circa -5.5 V. L'ampiezza picco-picco del ripple in percentuale rispetto all'ampiezza del segnale acquisito è circa 2.14 %.

La difformità tra i valori di ripple appena calcolati è influenzata anche dal diverso sfruttamento della scala d'ingresso degli ADC: il canale  $v_{DS}$  come detto nel capitolo dedicato ha una scala di ampiezza di circa 1200 V e il segnale acquisito ha un'ampiezza di circa 600 V perciò il fattore di sfruttamento del range d'ingresso dell'ADC è 0.5. Nel caso di  $v_{GS}$  l'ampiezza della tensione d'ingresso è circa 23 V a fronte di una scala di ingresso di 42 V ottenendo un fattore di sfruttamento dell'ADC di 0.548, superiore dunque al caso precedente.

Dalla Figura 8-18 in cui si mette in evidenza il ripple dell'acquisizione nell'off-state per il set-point 7 e si nota che:

- la tensione  $v_{DS}$  oscilla all'interno del range di tensione (785 V ÷ 815 V) ben centrata nel valor medio di circa 800 V. Si ottiene dunque in percentuale un ripple di ampiezza picco-picco del 3.75% rispetto all'ampiezza della tensione acquisita.
- La tensione  $v_{GS}$  oscilla all'interno del range di tensione (-4.5 V ÷ -6.5 V) con valore medio di circa -5.5 V. L'ampiezza picco-picco del ripple in percentuale rispetto all'ampiezza del segnale acquisito è circa 8.7%.

La difformità tra i valori di ripple appena calcolati è influenzata anche dal diverso sfruttamento della scala d'ingresso degli ADC: il canale  $v_{DS}$  come detto nel capitolo dedicato ha una scala di ampiezza di circa 1200 V e il segnale acquisito ha un'ampiezza di circa 800 V perciò il fattore di sfruttamento del range d'ingresso dell'ADC è 0,667. Nel caso di  $v_{GS}$  l'ampiezza della tensione d'ingresso è circa 23 V a fronte di una scala di ingresso di 42 V ottenendo un fattore di sfruttamento dell'ADC di 0.548, inferiore dunque al caso precedente.

#### 8.4.2 SCHERMATURA DEL SISTEMA D'ACQUISIZIONE:

Per evitare il degrado del segnale riscontrato nelle acquisizioni appena analizzate è necessario rimontare la control-card TI nella LOC 363 è trovare una maniera alternativa per proteggere la

control-card TI dalle radiazioni elettromagnetiche emesse dal power-module. L'idea è schermare l'intero sistema ponendolo all'interno di un conduttore metallico posto al potenziale di riferimento 0 V dell'alimentatore da banco.

Il set-up è mostrato nella Figura 8-20. I set-point delle variabili  $V_d$ ,  $I_{out}$  e  $f_1$  sono il sesto ed il settimo:

- Set-point 6:  $V_d = 600$  V,  $I_{out} = 100$  Apeak,  $f_1 = 100$  Hz
- Set-point 7:  $V_d = 800$  V,  $I_{out} = 100$  Apeak,  $f_1 = 100$  Hz

I risultati ottenuti sono riportati in Figura 8-21. Si evidenzia che nella prova a 800V la schermatura non è stata sufficiente a garantire alla control-card le adeguate condizioni di lavoro mostrando le anomalie già discusse.

Riferendoci alla Figura 8-21 e confrontandola con la Figura 8-15, per lo stesso set-point dei parametri si nota un'evidente riduzione del rumore confermando le ipotesi precedenti e raggiungendo le prestazioni ottenute a 100 V, 200 V e 400 V. La schermatura ha consentito dunque un guadagno di 200 V della tensione del DC-bus.



*Figura 8-19: schermatura del sistema d'acquisizione*





*Figura 8-20: set-up schermatura sistema di acquisizione*

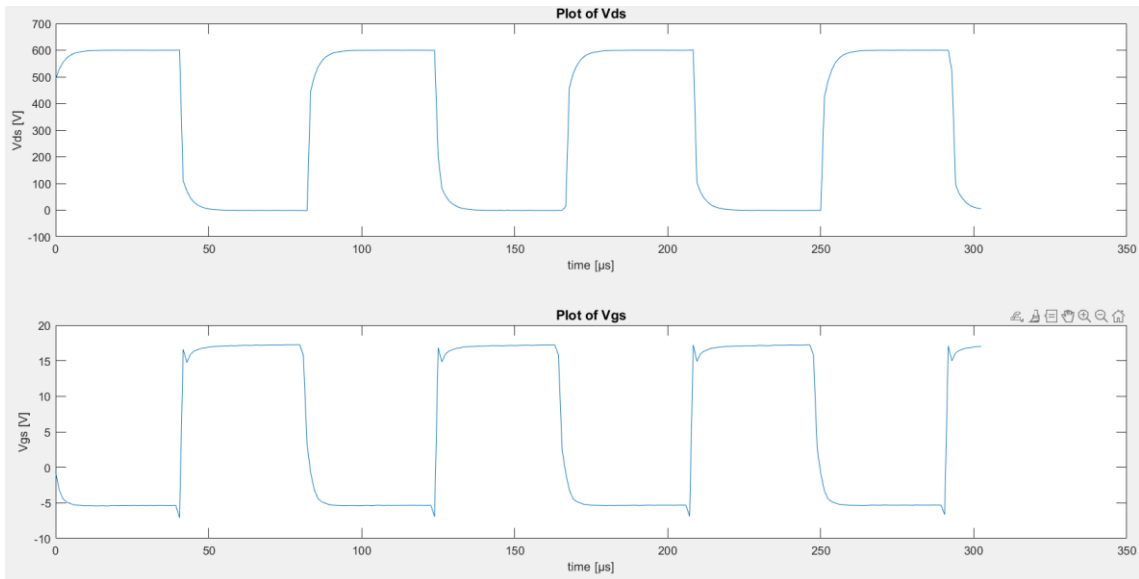


Figura 8-21:  $V_d = 600\text{ V}$ ,  $I_{out} = 100\text{ Apeak}$ ,  $f_1 = 100\text{ Hz}$

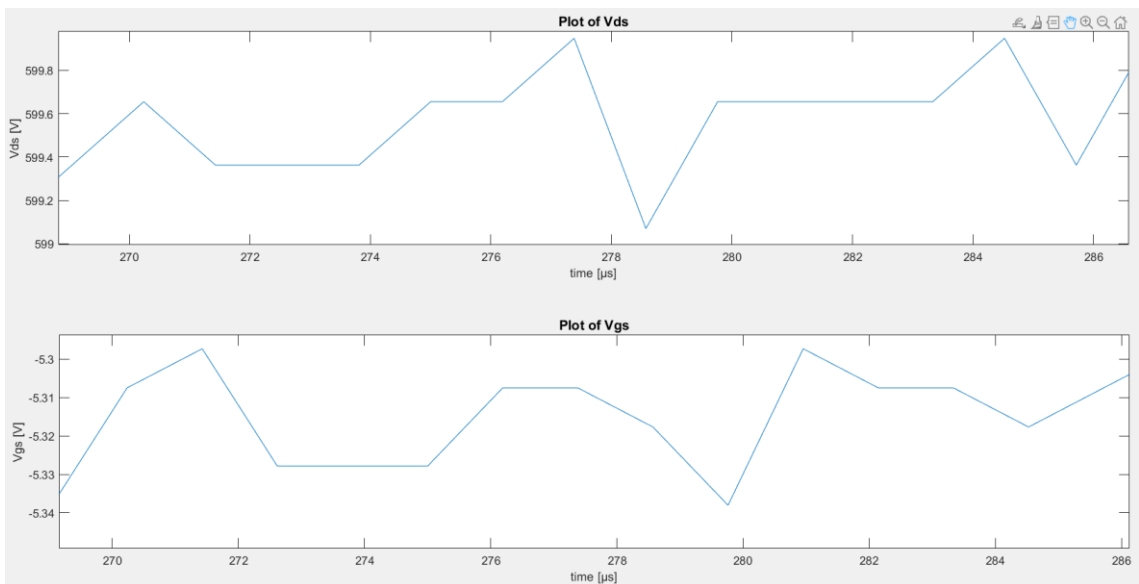


Figura 8-22: ripple acquisizione set-point 6

In Figura 8-22 si mette in evidenza il ripple dell'acquisizione nell'off-state per il set-point 6 e si nota che:

- la tensione  $v_{DS}$  oscilla all'interno del range di tensione ( $599.948\text{ V} \div 599.07\text{ V}$ ) ovvero oscillano in un intervallo delimitato dal valore di 4 LSB. Si ottiene dunque in percentuale un ripple di ampiezza picco-picco del 0.157% rispetto all'ampiezza della tensione acquisita. Ripple diminuito di circa 25 volte e dovuto per lo più all'errore di quantizzazione. Si possono infatti notare i salti dovuti alla variazione dell'LSB a cui corrisponde un valore di tensione pari a circa 0.3 V come calcolato nella ( 8.1 ).

- La tensione  $v_{GS}$  oscilla all'interno del range di tensione (-5.3 V ÷ -5.34 V) ovvero all'interno del valore di 5 LSB; essendo il valore di un LSB circa 0,01 V in accordo con l'equazione ( 8.2 ) L'ampiezza picco-picco del ripple in percentuale rispetto all'ampiezza del segnale acquisito è circa 0.095%.

Si ottiene dunque con questo set-up di misura un miglioramento abissale rispetto al caso precedente avendo sulla misura una rumorosità dovuta quasi totalmente alla quantizzazione a 12 bit, riuscendo al contempo a proteggere il MCU TI dalle radiazioni elettromagnetiche mettendolo in questo modo nelle condizioni di poter lavorare correttamente per i valori del set point 6.

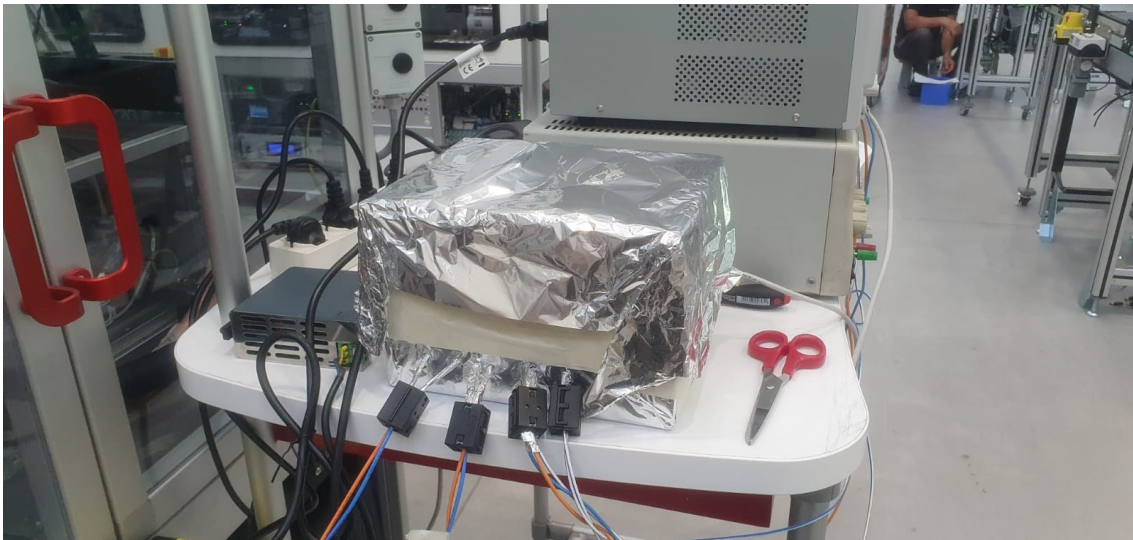
Occorre tuttavia aumentare ulteriormente il livello di schermatura da fenomeni EMI per riuscire ad ottenere acquisizioni anche ad 800 V di tensione nel bus in DC (set-point 7 Tabella 8-1).

#### 8.4.3 AGGIUNTA DI FERRITI PER DISTURBI DI MODO COMUNE

Dati i problemi riscontrati con l'acquisizione con i valori del set-point 7 di Tabella 8-1 si è deciso di intervenire ulteriormente per migliorare diminuendo la suscettibilità elettromagnetica del sistema. In primo luogo sono stati inseriti dei ciocch di ferrite, mostrati in Figura 8-23, che hanno il compito di eliminare disturbi di modo comune. In Figura 8-24 è rappresentata la disposizione degli anelli di ferrite, nella fattispecie né sono stati utilizzati un totale di 4: uno che circonda i cavi della tensione  $v_{DS}$ , uno per i cavi della  $v_{GS}$ , uno per i cavi dell'alimentazione duale e l'ultimo per quelli del segnale di trigger. Per migliorare la qualità del segnale di trigger la scelta è stata quella di utilizzare un ulteriore alimentatore da banco, impostare la tensione a 24 V ed attivare e disabilitare la sua uscita per creare il fronte di discesa che innesca il processo di acquisizione. In questa maniera si riesce ad avere un segnale più pulito data la possibilità di porre l'alimentatore vicino alla scheda; nei set-up precedenti essendo il trigger fornito dal PLC del banco Elektra erano necessari dei cavi dalla lunghezza di 7 m indubbiamente più suscettibili alle radiazioni presenti con conseguente degrado del segnale nonostante il fotoaccoppiatore. Nel set-up di misura presente in Figura 8-25 si possono notare tutte le modifiche descritte per migliorare l'immunità della sistema d'acquisizione ai disturbi dovuti ai fenomeni EMI presenti nell'ambiente circostante per l'esecuzione della misura di  $v_{GS}$  e  $v_{DS}$  con il set-point 7 di Tabella 8-1 ( $V_d = 800$  V,  $I_{out} = 100$  Apeak,  $f_1 = 100$  Hz). Sono state eseguite diverse acquisizioni, tre delle quali riportate in Figura 8-26, Figura 8-27 e Figura 8-28.



*Figura 8-23: ciocch di ferrite per disturbi di modo comune*



*Figura 8-24: ciocch di ferrite montati sui cablaggi*



Figura 8-25: set-up per test ad 800 V

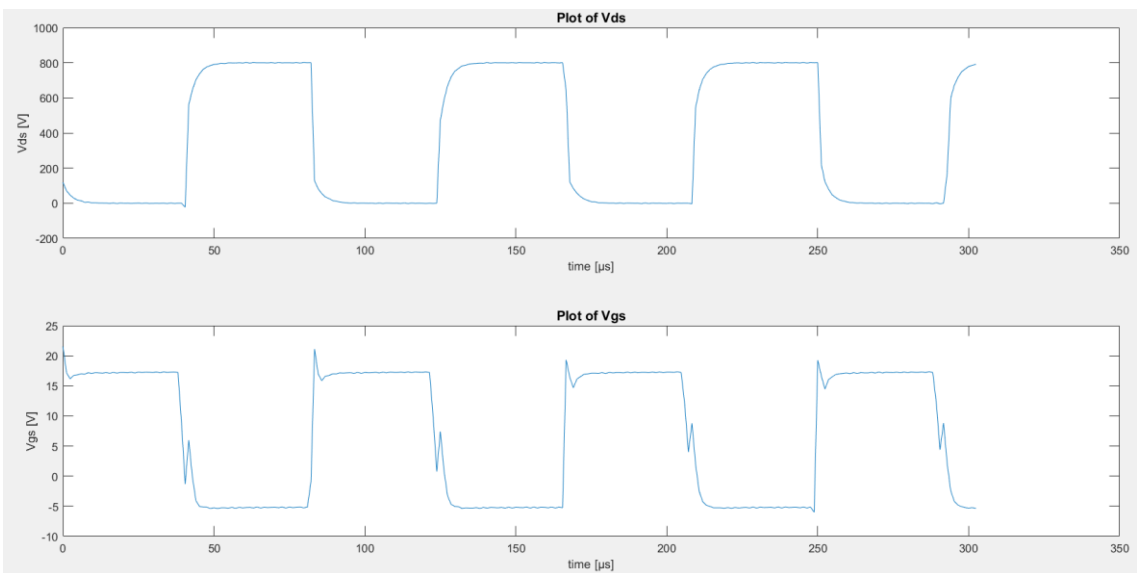
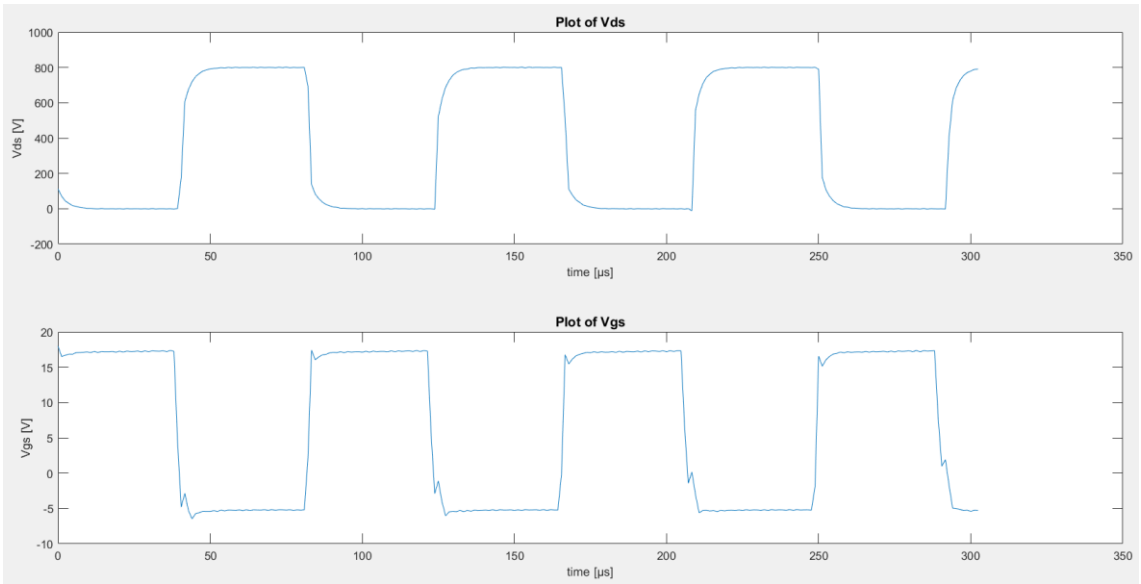
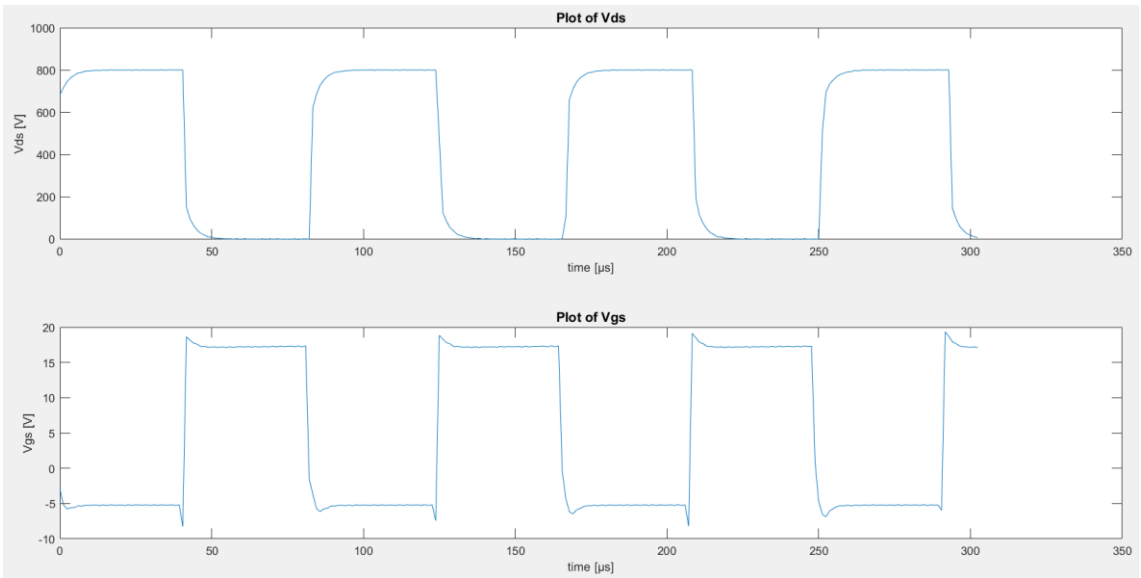


Figura 8-26: set-point 7: acquisizione 1  $v_{DS}$ ,  $v_{GS}$ , -  $V_d = 800$  V,  $I_{out} = 100$  Apeak,  $f_1 = 100$  Hz



*Figura 8-27: set-point 7: acquisizione 2  $v_{DS}$ ,  $v_{GS}$ , -  $V_d = 800$  V,  $I_{out} = 100$  Apeak,  $f_1 = 100$  Hz*



*Figura 8-28: set-point 7: acquisizione 3  $v_{DS}$ ,  $v_{GS}$ , -  $V_d = 800$  V,  $I_{out} = 100$  Apeak,  $f_1 = 100$  Hz*

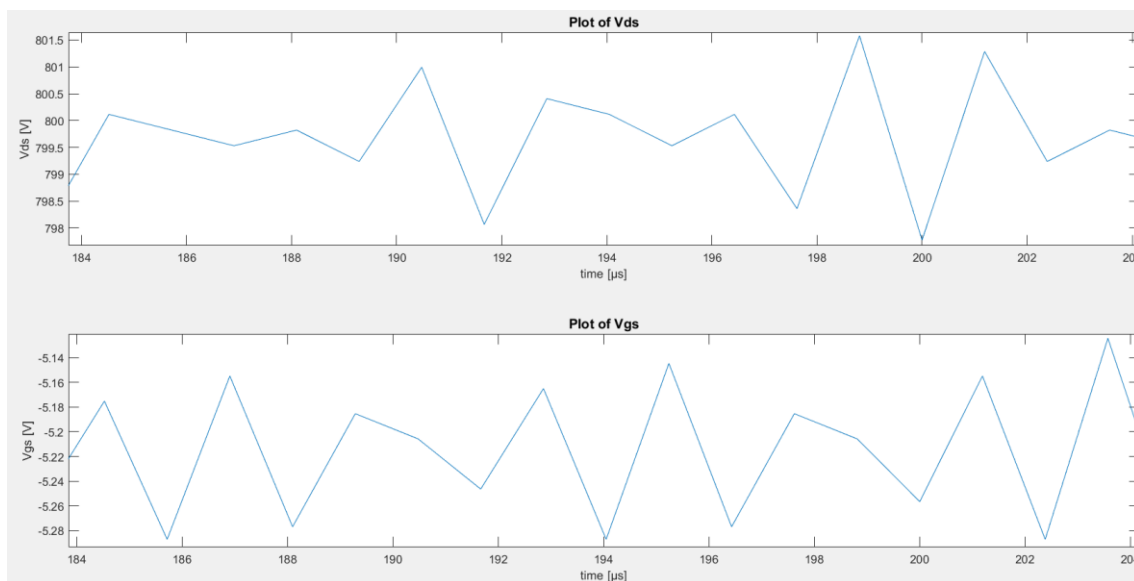


Figura 8-29: ripple acquisizione set-point 7

Analizzando le acquisizioni riportate in Figura 8-26, Figura 8-27 e Figura 8-28 per il set-point 7 di Tabella 8-1 e confrontandole con quella ottenuta in Figura 8-16, si nota innanzitutto un aumento della qualità dell'acquisizione per entrambi i canali dovuto alla non presenza della rumorosità introdotta dal lungo cablaggio effettuato con la strategia della dislocazione.

Si nota inoltre una buona ripetibilità di misura avendo riportato tre acquisizioni diverse svolte con lo stesso set-point. Ad esempio, focalizzandoci sulle  $v_{DS}$  si evidenzia un certo sovrasmorzamento dell'onda quadra sia al turn-on che al turn-off ma ciò accade per tutte le acquisizioni effettuate.

In Figura 8-29 si mette in evidenza il ripple dell'acquisizione in Figura 8-28 nell'off-state per il set-point 7 e si nota che:

- la tensione  $v_{DS}$  oscilla all'interno del range di tensione (798 V ÷ 801.5 V) ovvero oscillano in un intervallo delimitato dal valore di circa 12 LSB. Si ottiene dunque in percentuale un ripple di ampiezza picco-picco del 0.438% rispetto all'ampiezza della tensione acquisita. Si possono infatti notare i salti dovuti alla variazione dell'LSB a cui corrisponde un valore di tensione pari a circa 0.3 V come calcolato nel capitolo 7.
- La tensione  $v_{GS}$  oscilla all'interno del range di tensione (-5.14 V ÷ -5.28 V) ovvero all'interno del valore di circa 15 LSB. L'ampiezza picco-picco del ripple in percentuale rispetto all'ampiezza del segnale acquisito è circa 0.333%.

In entrambi i canali si nota dunque un notevole miglioramento in termini di ripple rispetto all'acquisizione di Figura 8-16 grazie al cambiamento di set-up.

## 8.5 CONFRONTO CON ACQUISITORE PXIe-5111 NATIONAL INSTRUMENTS

Per la valutazione della qualità del sistema di acquisizione realizzato si utilizza come termine di confronto un'acquisizione con il set-point 7 di Tabella 8-1 di  $v_{GS}$  e  $v_{DS}$  svolta con il sistema di acquisizione presente nel banco Elektra, ovvero il PXIe-5111 National Instruments con frequenza di campionamento 1.5 GSaps e risoluzione 8 bit.

Confrontando le Figura 8-26, Figura 8-27 e Figura 8-28 con la Figura 8-30 si possono fare le seguenti osservazioni:

- Le differenze di prestazioni che si riscontrano in termini di risoluzione temporale, è dovuta al divario tra i sample rate dei due sistemi. La differenza più evidente è la capacità di rappresentazione dei fenomeni transitori veloci nella fattispecie le oscillazioni presenti sulla  $v_{GS}$  durante i turn-on (Figura 8-31) e turn-off (Figura 8-32) La  $v_{GS}$  acquisita dalla control-card TI campionando ad una frequenza inferiore (840 kSaps) nel breve intervallo temporale in cui la  $v_{GS}$  oscilla dopo le commutazioni riesce a prelevare solamente 4/5 campioni non sufficienti per descrivere accuratamente tale fenomeno. È possibile replicare tale discorso per  $v_{DS}$  la risoluzione temporale raggiunta è sufficiente a rappresentare i vari fenomeni transitori presenti come, ad esempio, il sovra-smorzamento con oscillazione presente durante la commutazione dovuti ai non istantanei tempi di apertura e chiusura del canale di minoritari responsabili della conduzione nel MOSFET di potenza. Durante il turn-off si intravede un accenno di effetto Miller nelle Figura 8-26 e Figura 8-27, molto più evidente nelle Figura 8-30 e Figura 8-32.
- Prestazioni migliori si ottengono dal sistema d'acquisizione sviluppato per quanto riguarda la risoluzione in bit. I 12 bit di quantizzazione permettono di ottenere valori di tensione più precisi e un rumore di quantizzazione nettamente inferiore. Infatti, confrontando Figura 8-33 con Figura 8-29 si vede come nell'off-state le oscillazioni dovute all'errore di quantizzazione dell'acquisitore NI PXIe-5111 sono molto più elevate a causa della risoluzione inferiore.



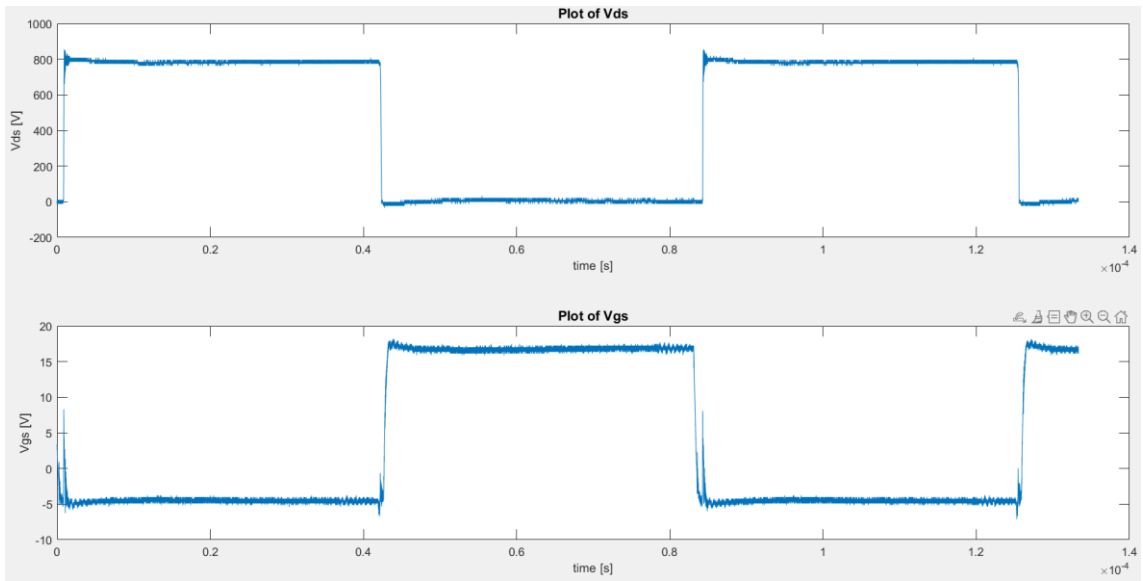


Figura 8-30: acquisizione  $v_{DS}$  e  $v_{GS}$  con PXIe-5111 NI 8 bit 1.5 GSaps

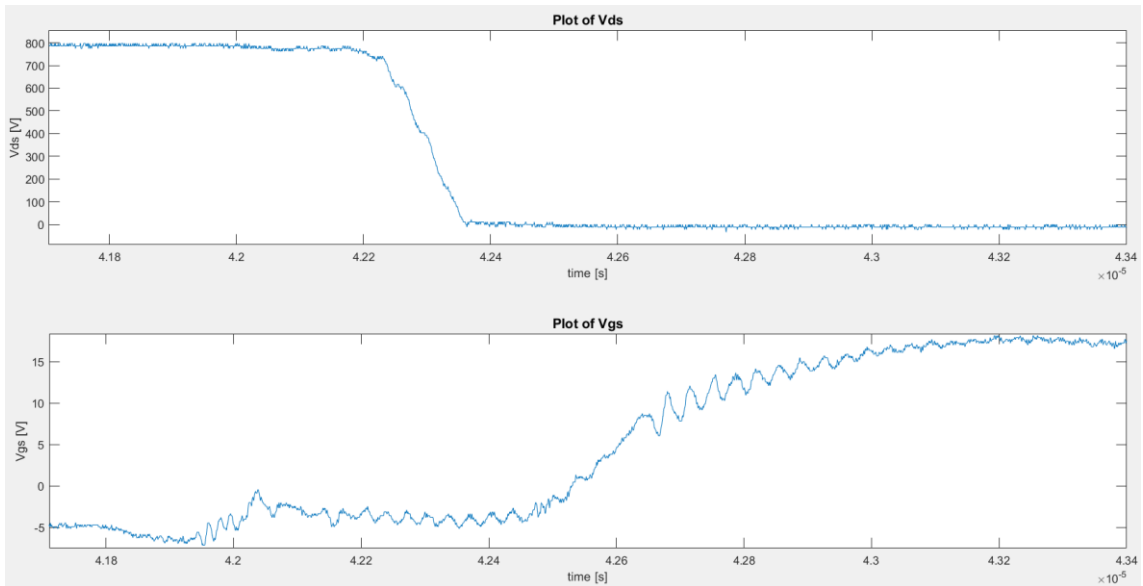
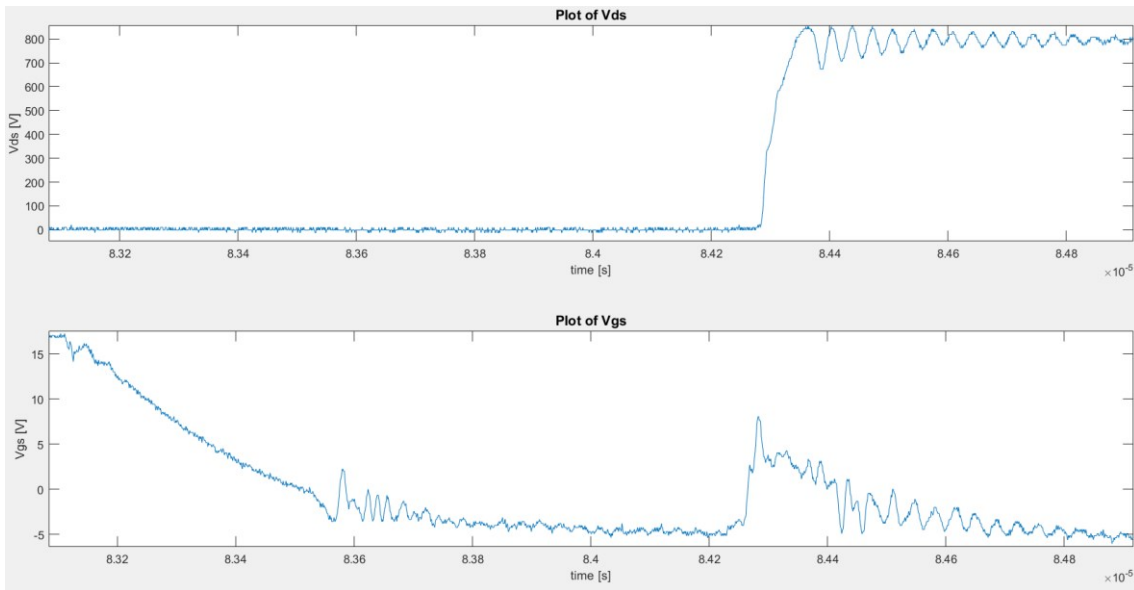
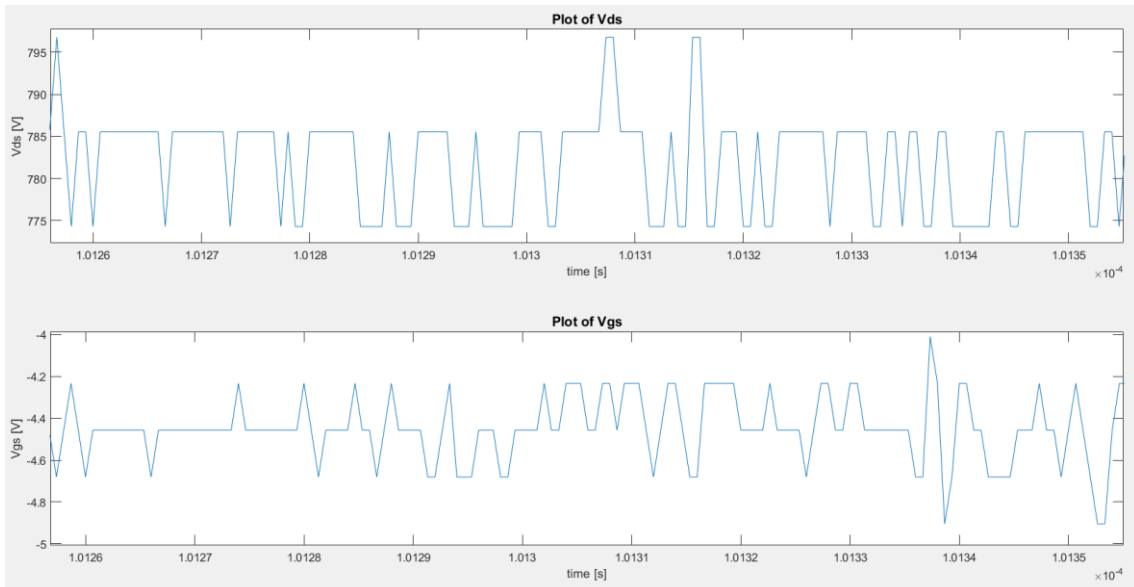


Figura 8-31: zoom sul transitorio di turn-on acquisitore NI PXIe-5111 8 bit 1.5 GSaps



*Figura 8-32: zoom sul transitorio di turn-off acquisitore NI PXIe-5111 8 bit 1.5 GSaps*



*Figura 8-33: zoom sull'off state acquisitore NI PXIe-5111 8 bit 1.5 GSaps*

## 9 CONCLUSIONI

Analizzando per intero il progetto di tesi si può affermare che innanzitutto il sistema d'acquisizione sviluppato riesce a svolgere lo scopo per cui è stato ideato raggiungendo tutti gli obiettivi prefissati dalle specifiche sia hardware che firmware che per comodità vengono elencate nuovamente.

Specifiche firmware:

- l'acquisizione deve essere innescata attraverso il fronte (di salita o discesa) di un segnale di trigger esternamente generato;
- il processo prevede che si acquisisca contemporaneamente su due canali differenti per avere sincronia tra le due tensioni ( $v_{DS}$  e  $v_{GS}$ );
- si deve massimizzare il sample rate per avere la risoluzione temporale più elevata possibile per poter vedere i fenomeni più rapidi;
- terminata l'acquisizione i dati digitalizzati devono essere scaricati dal microcontrollore al laptop via ethernet e l'MCU deve mettersi in attesa per il prossimo evento di trigger;
- la durata dell'acquisizione deve essere almeno 200  $\mu$ s tale da poter vedere almeno due interi periodi alla frequenza di switching del power module (12kHz).

Specifiche hardware:

- Alimentazione duale +15 V, 0 V, -15 V per i vari circuiti integrati e la control-card.
- Circuito di condizionamento per tensione  $v_{DS}$  ad alta impedenza ed alta tensione con range di tensione in ingresso (-100 ÷ +1100) V con guadagno ed offset opportuni per fornire all'ADC dell'F28388D un corrispondente range di tensione (0 ÷ 3) V.
- Circuito di condizionamento per tensione  $v_{GS}$  ad alta impedenza con range di tensione in ingresso (-14 ÷ +28) V con guadagno ed offset opportuni per fornire all'ADC dell'F28388D un corrispondente range di tensione (0 ÷ 3) V.
- Circuito per il condizionamento del segnale di trigger con assegnazione ai livelli di tensione 0 V e 24 V i livelli logici '0' e '1', rispettivamente. Il condizionamento deve essere tale da riassegnare ai livelli logici '0' e '1' i livelli di tensione 0 V e 3.3 V.

L'utilizzo del software Matlab Simulink con il pacchetto Embedded Coder con librerie ottimizzate per l'F28388D permette di programmare l'MCU in maniera più intuitiva e comunque adeguatamente completa per il firmware in questione, con lo svantaggio che in caso di malfunzionamenti firmware è più complicato avere un riscontro sull'errore; qualora si volesse

scendere più nel dettaglio per avere un controllo più a basso livello occorre prelevare il codice C generato e andare a lavorare su di esso.

Nonostante la validazione della parte hardware e firmware, la messa al punto del sistema andandolo ad utilizzare nel banco test Elektra è stata la parte più interessante e rilevante del progetto e assolutamente non banale. Con tutti gli accorgimenti nel realizzare il set-up di misura si è riusciti ad ottenere un funzionamento completo e ripetibile del sistema per tutti i set-point prefissati.

Paragonando il sistema di acquisizione con il PXI NI del banco Elektra si ottengono delle performance diverse: è evidente che la capacità di campionare fino a 1.5 GSaps permette di ottenere risoluzioni temporali migliori rispetto agli 840 kSaps ottenuti dal sistema sviluppato, con conseguente miglior descrizione dei fenomeni transitori veloci riuscendo ad analizzare meglio ciò che accade durante il turn-on e il turn-off del MOSFET. D'altra parte, la risoluzione di 8 bit dell'acquisitore del banco introduce un errore di quantizzazione evidente e superiore rispetto a quello introdotto dal sistema sviluppato che quantizza a 12 bit passando da 256 a 4096 valori di tensione discriminabili. L'MCU TI F28388D non permette però grande flessibilità sul trade-off frequenza di campionamento – risoluzione in quanto sono disponibili solamente le modalità di quantizzazione a 12 bit e 16 bit, perciò per campionare a rate superiori occorre indispensabilmente cambiare risorsa hardware (MCU).

## 10 BIBLIOGRAFIA

[1] Automotive-grade ACEPACK DRIVE power module, sixpack topology 1200 V, 1.9 mΩ typ. SiC MOSFET gen.3 based. URL: "<https://www.st.com/en/power-modules-and-ipm/adp480120w3-l.html#documentation>"

[2] TMS320F2838xReal-Time Microcontrollers with Connectivity Manager. Technical Reference Manual Texas Instruments.

URL: "<https://www.ti.com/lit/ug/spruii0d/spruii0d.pdf?ts=1658483539347>"

[3] 180-Pin Control-card Docking Station Information Guide. Texas Instruments. URL: "[https://www.ti.com/lit/ug/spruij6a/spruij6a.pdf?ts=1662952002638&ref\\_url=https%253A%252F%252Fwww.google.com%252F](https://www.ti.com/lit/ug/spruij6a/spruij6a.pdf?ts=1662952002638&ref_url=https%253A%252F%252Fwww.google.com%252F)"

[4] CAB450M12XM3 1200V, 450A All-Silicon Carbide Conduction Optimized, Half-Bridge Module Wolfspeed. URL: "<https://assets.wolfspeed.com/uploads/2020/12/CAB450M12XM3.pdf>"

[5] TMDSCNCD28388D. F28388D control-card evaluation module. Texas Instruments. URL: "<https://www.ti.com/tool/TMDSCNCD28388D#:~:text=TMDSCNCD28388D%20is%20a%20low%20cost,for%20initial%20evaluation%20and%20prototyping.>"

[6] A Comparison between Si and SiC MOSFETs. Jiawei Wang 2020 IOP Conf. Ser.: Mater. Sci. Eng. 729 012005