

Università Politecnica delle Marche

Dipartimento di Ingegneria dell'Informazione

Corso di studi in Ingegneria Elettronica



Lo stato dell'arte dei convertitori multilivello DC-AC

The state of art inverter multilevel DC-AC

Relatore:

Chiar.mo Prof. Simone Orcioni

Tesi di laurea di:

Raul Fratini

A.A. 2022/2023

Sommario

Lista delle figure.....	iii
Introduzione.....	v
Capitolo 1	7
1.1 L'Inverter e alcune applicazioni	7
Capitolo 2	8
Principio di funzionamento dell'inverter	8
2.1 Gli Interruttori dell'inverter	10
2.2 L'inverter tradizionale.....	15
2.3 L'Inverter tradizionale vs l'inverter multilivello.....	16
2.4 Generalità sugli inverter multilivello	16
2.5 Inverter multilivello a tre livelli.....	18
2.6 Diode Clamped Inverter.....	19
2.7 Cascaded Cell Inverter	24
2.8 T-Type Inverter.....	29
Capitolo 3	31
Modulazione Sigma-delta	31
3.1 Il sovra-campionamento (oversampling).....	31
3.1.1 L'impatto che ha questa di tecnica sull'SNR.....	33
3.2 Modulazione sigma-delta	34
3.2.1 Modulatore sigma-delta	35
3.3 Progettazione del modulatore sigma-delta.....	38
Capitolo 4	40
Implementazione in Simulink	40
4.1 Simulazione del Sigma-Delta.....	40
4.2 Simulazione del multilevel clamped inverter	43
4.3 Simulazione del Cascaded Multilevel Inverter.....	46
4.4 Gli interruptori ed il carico utilizzato	49
Risultati ottenuti	50
Bibliografia	51

Lista delle figure

Figura 1.1	Un esempio attuale di utilizzo di pannelli fotovoltaici [2].....	v
Figura 1.2	In verde (la tensione ai capi della batteria $+V$, al variare del tempo) e in nero (la tensione ai capi della presa elettrica $\pm A$).....	vi
Figura 2.1	Mezzo ponte H.....	8
Figura 2.2	(In linea piena) v_o , (in tratteggiato) valor medio di v_o	9
Figura 2.3	Ponte H.....	9
Figura 2.4	La v_o del circuito in Figura 2.3.....	10
Figura 2.5	Simbolo circuitale IGBT.....	11
Figura 2.6	Caratteristiche d'uscita di un generico MOSFET.....	11
Figura 2.7	Lo stato 0.....	12
Figura 2.8	Mezzo ponte nello stato A, con carico induttivo.....	12
Figura 2.9	Il mezzo ponte nello stato 0.....	13
Figura 2.10	Il mezzo ponte modificato.....	14
Figura 2.11	Half-Bridge.....	14
Figura 2.12	Ponte intero.....	15
Figura 2.13	Stati assunti dal circuito in Figura 2.12.....	15
Figura 2.14	(A sinistra) un convertitore a 2 livelli e (a destra) un convertitore a 5 livelli.....	17
Figura 2.15	V_o di un inverter multilivello a 7 livelli.....	17
Figura 2.16	Stati assunti dal circuito in Figura 2.12.....	18
Figura 2.17	Andamento di v_o del circuito in Figura 2.12, con pilotaggio descritto dalla Figura 2.16.....	18
Figura 2.18	Diode clamped inverter a 3 livelli.....	19
Figura 2.19	Stati assunti dal circuito in Figura 2.18.....	20
Figura 2.20	Diode Clamped Multilevel inverter a 5 livelli.....	21
Figura 2.21	Stati assunti dal circuito in Figura 2.20.....	22
Figura 2.22	Cascaded Cell multilevel inverter a 5 livelli.....	24
Figura 2.23	Stati assunti dal circuito in Figura 2.22.....	26
Figura 2.24	Cascaded multilevel Inverter a 15 livelli.....	27
Figura 2.25	Stati assunti dal circuito in Figura 2.24.....	28
Figura 2.26	Inverter T-Type a 5 livelli.....	29
Figura 2.27	Stati assunti dal circuito in figura 2.26.....	30
Figura 3.1	In alto (campionamento secondo Nyquist), in basso (sovra campionamento di un fattore L) di un generico processo stocastico x_n a tempo discreto.....	32
Figura 3.2	Noise-Shaping e sovra campionamento.....	34
Figura 3.3	Schema a blocchi del modulatore sigma-delta del primo ordine.....	35
Figura 3.4	Blocco integratore.....	35
Figura 3.5	Versione "sintetizzata" dello schema in Figura 3.3.....	36
Figura 3.6	Modulatore sigma-delta di ordine N [9].....	37
Figura 3.7	Tabella dei coefficienti del modello Sigma-Delta.....	39
Figura 4.1	Modello del sigma delta.....	40
Figura 4.2	Specifiche del filtro anti-imaging.....	41
Figura 4.3	Schema del modulatore sigma-delta.....	42
Figura 4.4	Andamenti del circuito in figura 4.3.....	42
Figura 4.5	Il driver che genera i segnali di pilotaggio per gli interruttori.....	43

Figura 4.6	Modello del Clamped Multilevel Inverter a 5 livelli	44
Figura 4.7	Il mapping contenuto nel driver relativo al circuito in Figura 4.6	44
Figura 4.8	Andamento di tensione, corrente e potenza ai capi del carico del circuito in Figura 4.6	45
Figura 4.9	Andamenti dei segnali di pilotaggio dei 4 interruttori al variare del tempo del circuito in Figura 4.6	45
Figura 4.10	Modello del Cascaded multilevel inverter a 15 livelli	46
Figura 4.11	Il mapping contenuto nel driver relativo al circuito in Figura 4.10	47
Figura 4.12	Andamento di tensione, corrente e potenza ai capi del carico del circuito in Figura 4.10	47
Figura 4.13	Andamenti dei segnali di pilotaggio dei 4 interruttori al variare del tempo del circuito in Figura 4.1.	48
Figura 4.14	Parametri degli interruttori utilizzati.....	49

Introduzione

L'energia solare è una forma di energia rinnovabile abbondante sulla Terra, e la realizzazione di sistemi per la conversione dell'energia solare all'energia elettrica ha inizio verso la fine del XX secolo. Nel 1955 nacque il primo prototipo di una cella fotovoltaica "moderna" (cella solare-fotovoltaica in silicio) in grado di produrre elettricità attraverso la luce solare, per opera degli scienziati Daryl Chapin, Gerald Pearson e Calvin Fuller dei Bell Laboratories del New Jersey negli Stati Uniti [1].



Figura 1.1 Un esempio attuale di utilizzo di pannelli fotovoltaici [2]

Tutt'ora, attraverso pannelli fotovoltaici (a mo' di esempio si consideri la Figura 1.1) e convertitori DC-AC si realizzano sistemi in grado di convertire l'energia solare in energia elettrica. I pannelli fotovoltaici comunemente in commercio sono costituiti da 48, 60, 72, 96 celle (unità) ognuno, ed ognuno di essi produce una tensione in DC.

Con gli acronimi DC e AC si intende:

- DC (Direct Current)
 - Un esempio di sorgente DC è la batteria (la tensione ai capi della batteria è costante nel tempo);
- AC (Alternating Current)
 - Un esempio di sorgente AC è la presa elettrica (la tensione ai capi della presa varia al variare del tempo come mostrato in Figura 1.2).

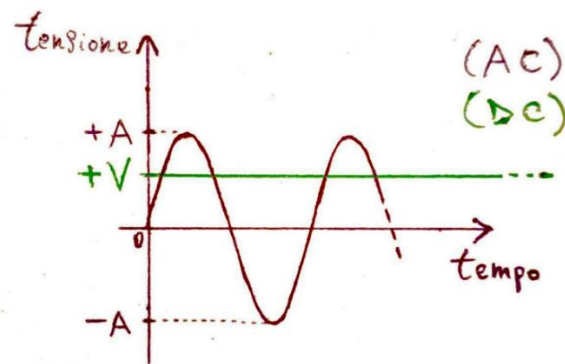


Figura 1.2 In verde (la tensione ai capi della batteria $+V$, al variare del tempo) e in nero (la tensione ai capi della presa elettrica $\pm A$)

La tensione DC prodotta dai pannelli fotovoltaici dovrà essere convertita in AC per essere immessa nella rete elettrica.

L'elaborato si propone di considerare il "cuore" di questi sistemi che permettono la conversione da DC ad AC: l'inverter.

Questo lavoro di tesi si suddivide in quattro Capitoli, nel primo Capitolo si definisce la struttura dell'inverter, nel secondo si descrive il principio di funzionamento dell'inverter, per poi passare alla discussione di tre topologie di inverter multilivello; nel terzo viene illustrata la tecnica di modulazione sigma-delta, e nell'ultimo Capitolo si passa alle simulazioni con Simulink® del modulatore sigma-delta e di due inverter proposti nel secondo Capitolo.

Capitolo 1

1.1 L’Inverter e alcune applicazioni

In elettronica, un inverter DC-AC è un dispositivo elettronico in grado di convertire una tensione continua in ingresso in una tensione alternata in uscita, e di variarne i parametri di ampiezza e frequenza.

Per ogni inverter è possibile individuare due circuiti: Il circuito di conversione ed il circuito di pilotaggio.

Essi svolgono un ruolo diverso, ed insieme sono in grado di fare quanto è stato descritto sopra. Il ruolo diverso è attribuito alla diversa funzionalità che questi assumono nel costruire insieme l’inverter, in cui uno di questi si occupa dell’energia elettrica trasportata dal segnale da convertire, mentre l’altro del tipo di informazione contenuta nel segnale elettrico atto a pilotare il circuito di conversione.

Più in particolare, il circuito di conversione si occupa di trasportare la potenza desiderata in uscita mentre l’altro deve preoccuparsi di ottenere il desiderato contenuto spettrale da parte del segnale elettrico in uscita (e da come verrà visto in seguito, il pilotaggio consiste nell’apertura\chiusura di interruttori).

In questo elaborato verranno considerati entrambi i circuiti.

Nel secondo Capitolo verranno descritte tre topologie di inverter in assenza del circuito di pilotaggio, ed alla fine del terzo verrà considerato un possibile circuito di pilotaggio che verrà utilizzato nella simulazione.

Alcuni ambiti in cui l’inverter viene utilizzato sono:

- nei pannelli fotovoltaici: l’inverter consente di trasformare la tensione continua fornita dai pannelli in tensione alternata al fine di essere utilizzata in ambito domestico;
- nei motori elettrici: attraverso un opportuno pilotaggio dell’inverter è possibile variarne la velocità [3].

Al giorno d’oggi, gli inverter sono ancora oggetto di studio perché si vuol ricavare potenze sempre maggiori e ci si vuole avvicinare alla situazione per la quale il contenuto spettrale del segnale elettrico ottenuto è molto simile a quello desiderato.

Capitolo 2

Principio di funzionamento dell'inverter

Per poter comprendere nella maniera più immediata la tecnica che consente di ottenere una tensione variabile nel tempo a partire da una sorgente in DC, si consideri la

Figura 2.1. Sia:

- V_{DD} la tensione in DC;
- S_1, S_2 due interruttori;
- v_o la tensione in uscita;
- R_L il carico.

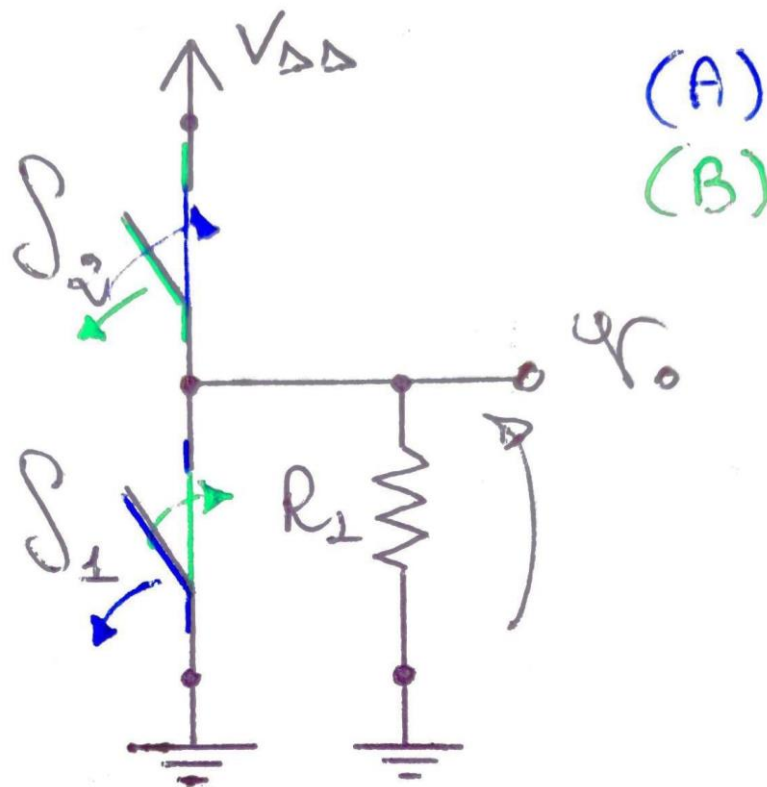


Figura 2.1 Mezzo ponte H

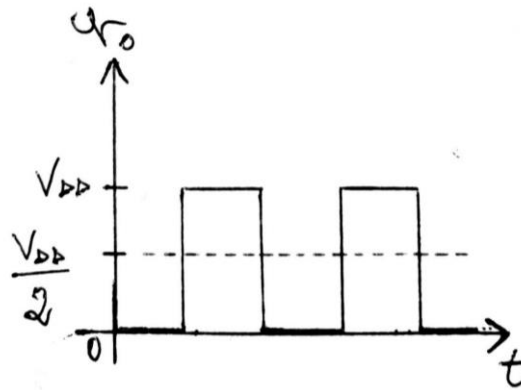


Figura 2.2 (In linea piena) v_o , (in tratteggiato) valor medio di v_o

Dalla Figura 2.1 si individuano i due casi:

- A ($v_o = V_{DD}$),
- B ($v_o = 0$),

e si osserva che facendo accadere il caso A e poi quello B ad un intervallo di tempo costante in maniera ripetuta, si è in grado di riprodurre una forma d'onda rappresentata in Figura 2.2, che ha familiarità con la sinusoide ma con valore medio non nullo. Per cui, affinché il segnale prodotto risulti a valor medio nullo considero un (intero) ponte H come in Figura 2.3.

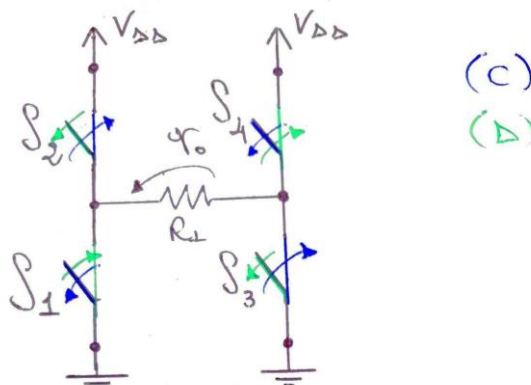


Figura 2.3 Ponte H

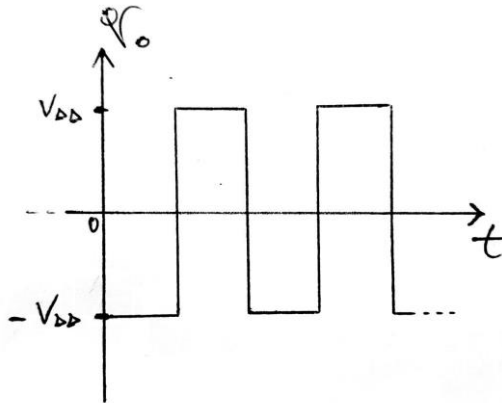


Figura 2.4 La v_o del circuito in Figura 2.3

In tal caso dai due casi individuati:

- D ($v_o = -V_{DD}$),
- C ($v_o = V_{DD}$),

si ottiene la v_o in Figura 2.4, stando sotto le ipotesi di alternare il caso D e poi il caso C con un intervallo di tempo costante. Per cui il circuito in Figura 2.3 produce in uscita una tensione a valor medio nullo, il cui andamento sarà più simile ad una sinusoide con l'applicazione a valle di un filtro passabanda (oppure passa-basso).

2.1 Gli Interruttori dell'inverter

Nel paragrafo precedente si è visto che da un opportuno ON/OFF degli interruttori si è in grado di generare una tensione variabile nel tempo. In realtà, gli interruttori che vi ritroviamo non sono "dei semplici interruttori" ma dispositivi a stato solido, cioè dei transistor (nel caso degli inverter possono essere i MOSFET e IGBT che sopportano correnti più elevate) che lavorano alternativamente tra la zona di cut-off (v_{gate} basso) e di saturazione (v_{gate} alto).

Attualmente l'IGBT, assume grande importanza per tutte le applicazioni di commutazione di potenza in cui sono in gioco alte tensioni e correnti.

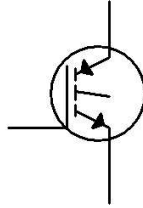


Figura 2.5 Simbolo circuitale IGBT

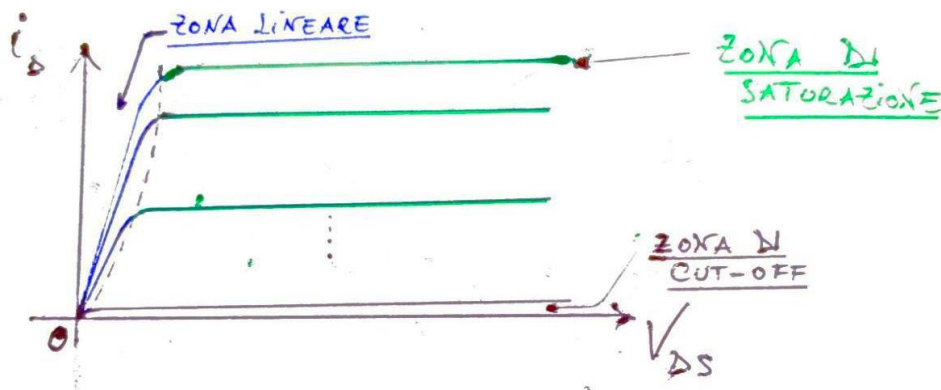


Figura 2.6 Caratteristiche d'uscita di un generico MOSFET

In tal caso, attraverso un opportuno segnale ai gate dei transistor si è in grado di ricreare le situazioni viste in Figura 2.3

Nelle considerazioni precedenti, gli andamenti che sono stati mostrati in Figura 2.2 e 2.4 corrispondono ad una situazione ideale.

In realtà i tempi di commutazione sono di durata finita (e non infinitesima) per cui la transizione non è istantanea.

In virtù di questa osservazione, occorre introdurre la presenza di un ulteriore stato nel passaggio dallo stato A allo stato B (e viceversa): "il punto morto" (= stato 0).

La necessità di considerare questo passaggio intermedio risiede nell'evitare la possibilità di chiudere l'interruttore aperto prima ancora che l'altro si apra, andando in contro ad un corto-circuito della sorgente V_{DD} .

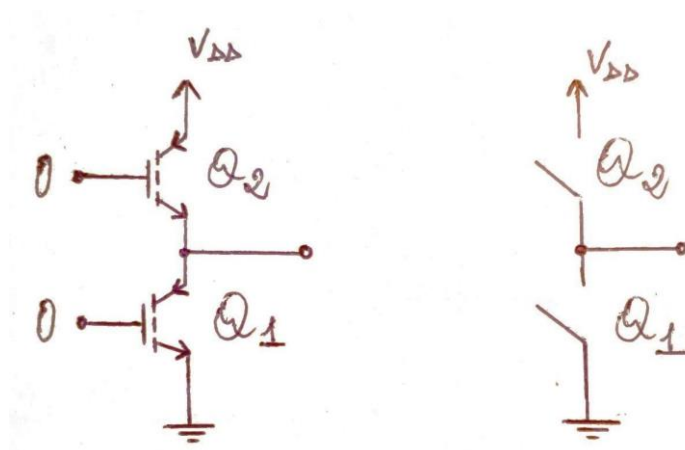


Figura 2.7 Lo stato 0

Si consideri la Figura 2.8 con carico di tipo induttivo al fine di osservare ciò che accade nel circuito passando da un caso ad un altro. La conclusione di questa osservazione, ci convincerà che il circuito effettivo che ritroviamo nell'inverter è necessariamente quello in Figura 2.11

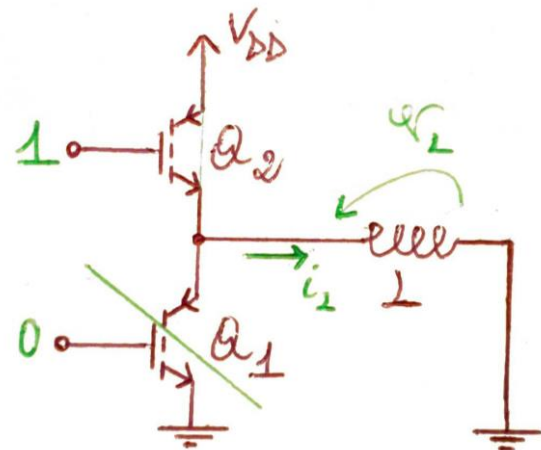


Figura 2.8 Mezzo ponte nello stato A, con carico induttivo

Ricordando la legge costitutiva dell'induttore : $v_L = L \frac{d}{dt} i_L$,nel passare dallo stato mostrato in Figura 2.7 allo stato complementare, si avrà necessariamente un elevato $\frac{d}{dt} i_L$ perché corrispondente ad una diminuzione rapida della i_L e quindi con un'inversione di segno della v_L . Ciò comporta una elevata tensione inversa ai capi del carico che sarà tanto più elevata tanto più breve sarà la transizione dello stato corrente a quello successivo. La soluzione a quest'inconveniente è mostrata in Figura 2.10.

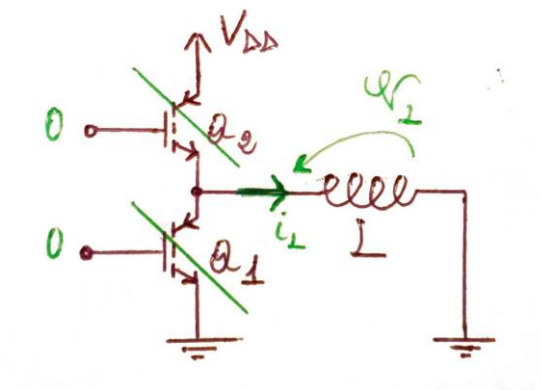


Figura 2.9 Il mezzo ponte nello stato 0

Per mezzo del diodo posto in antiparallelo a Q_1 , la i_L troverà un path conduttivo proteggendo il carico e l'interruttore Q_1 da una tensione inversa elevata, limitandola alla V_γ (= tensione ai capi del diodo).

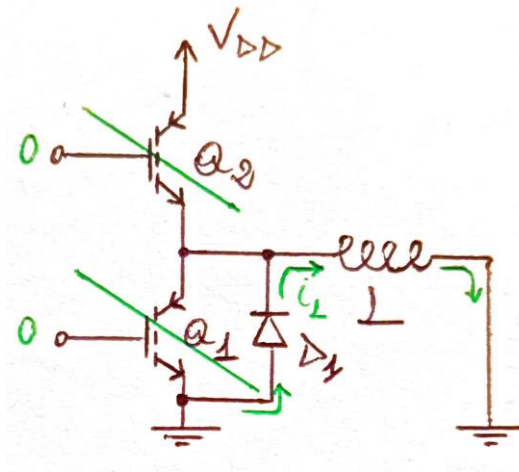


Figura 2.10 Il mezzo ponte modificato

Per la protezione di Q_2 in caso di i_L negativa si introduce un diodo di ricircolo anche su Q_2 . Il circuito finale è mostrato in Figura 2.11

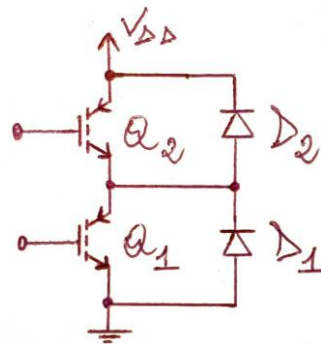


Figura 2.11 Half-Bridge

2.2 L'inverter tradizionale

In questo paragrafo verrà esaminato l'effettivo circuito dell'inverter, in modo particolare di un generico inverter a due livelli con carico induttivo.

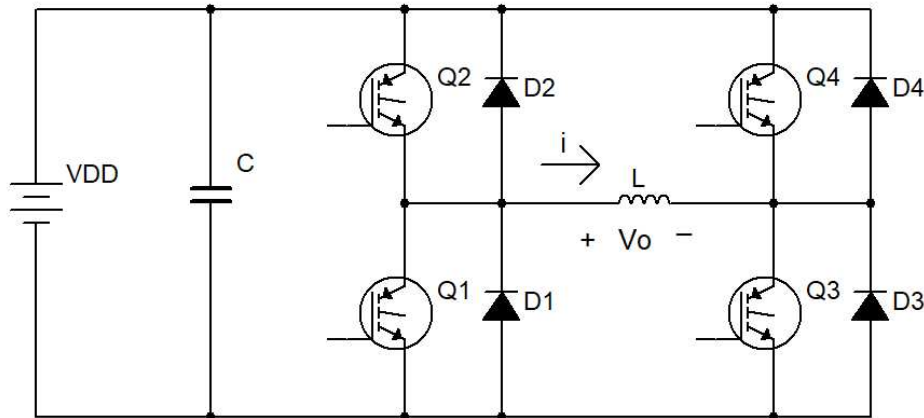


Figura 2.12 Ponte intero

Dal circuito in Figura 2.12 dato dalla cascata di due mezzi ponti si ottiene mediante un opportuno pilotaggio che viene sintetizzato in Figura 2.13 l'andamento in Figura 2.4.

$Q1$	$Q2$	$Q3$	$Q4$	v_o
0	1	1	0	VDD
1	0	0	1	$-VDD$

Figura 2.13 Stati assunti dal circuito in Figura 2.12

Inoltre, si osserva la presenza del condensatore il quale serve a stabilizzare la tensione generata dalla sorgente VDD . Ciò vuol dire che il generatore di tensione considerato è reale e sarà in tal caso la sua resistenza interna a caricare C .

2.3 L'Inverter tradizionale vs l'inverter multilivello

L'uso di inverter multilivello rispetto all'uso di inverter a due livelli permette di ottenere i seguenti vantaggi:

- Fornire in uscita forme d'onda a gradini su tre o più livelli di tensione con un conseguente miglioramento dello spettro armonico. Ciò ha come conseguenza, il fatto di poter utilizzare dei filtri in uscita più rilassati rispetto al caso di un inverter a due livelli.
- Poter operare a tensioni e potenze molto elevate.
- Limitare la frequenza di lavoro degli interruttori, consentendo l'utilizzo di interruttori che abbiano caratteristiche in frequenza più rilassate.

Pertanto, questa alternativa è un modo di migliorare l'efficienza e la qualità di conversione dell'energia.

2.4 Generalità sugli inverter multilivello

Gli inverter multilivello o convertitori modulari multilivello (MMC, Modular Multilevel Converter), negli ultimi anni hanno assunto una crescente importanza nella conversione delle medie/alte potenze.

Esaminando uno ad uno i termini della loro denominazione:

- convertitori perché sono dispositivi utilizzati nella conversione dell'energia elettrica,
- modulari perché possono essere ottenuti replicando il mezzo ponte,
- multilivello perché la conversione è attuata a partire da molteplici livelli di tensione.

Pertanto, costituiscono la soluzione ai limiti tecnici dell'inverter a due livelli.

Si osservi la Figura 2.14 per poter comprendere come è possibile ottenere molteplici livelli di tensione da una tensione in DC (V_{dc}).

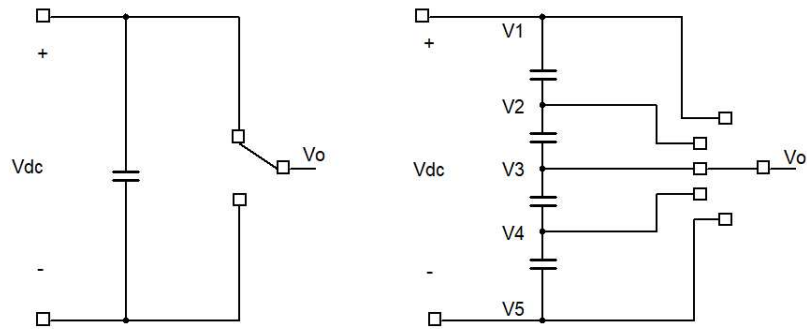


Figura 2.14 (A sinistra) un convertitore a 2 livelli e (a destra) un convertitore a 5 livelli.

Quindi, viene suddivisa la tensione totale (in DC) posta in ingresso all'inverter in n -parti. In questa maniera, all'aumentare di n si hanno delle "sollecitazioni di commutazione" sempre più contenute e ciò corrisponde ad una diminuzione del contenuto armonico del segnale in uscita.

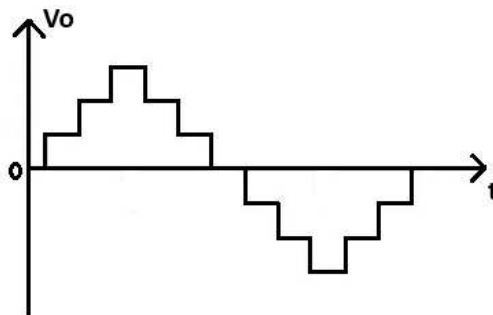


Figura 2.15 V_o di un inverter multilivello a 7 livelli

Inoltre, per le applicazioni che richiedono media/alta potenza, l'inverter multilivello ha anche la particolarità di sottoporre ogni interruttore ad una frazione della V_{dc} , (e non a tutta la V_{dc} come nel caso dell'inverter a due livelli) e ciò ha come conseguenza il fatto di ottenere circuiti che riescano a resistere ad alte tensioni di alimentazione, il cui numero di componenti aumentano all'aumentare dei livelli che si vogliono ottenere.

2.5 Inverter multilivello a tre livelli

Un convertitore multilivello a tre livelli si può ottenere dalla Figura 2.12 con un opportuno pilotaggio descritto dalla Figura 2.16.

$Q1$	$Q2$	$Q3$	$Q4$	v_o
0	1	1	0	VDD
1	0	0	1	$-VDD$
1	0	1	0	0
0	1	0	1	0

Figura 2.16 Stati assunti dal circuito in Figura 2.12

Ed in tal caso l'andamento del circuito è mostrato in Figura 2.17.

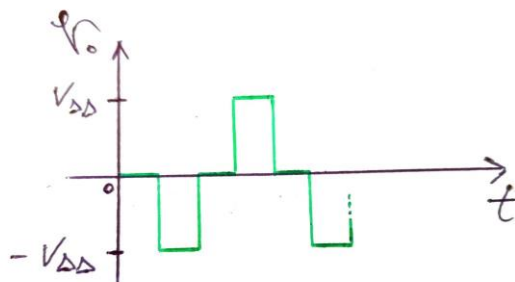


Figura 2.17 Andamento di v_o del circuito in Figura 2.12, con pilotaggio descritto dalla Figura 2.16

Ora nel seguito dei paragrafi del Capitolo 2 verranno esaminati tre tipologie di inverter multilivello.

2.6 Diode Clamped Inverter

Questa topologia è stata proposta per la prima volta nel 1981. Sono noti anche come inverter a punto neutro (NPC) per la presenza del punto neutro tra i condensatori. Nel 1992 sono stati pubblicati numerosi lavori di ricerca a riguardo [4].

In questo paragrafo andremo a considerare un inverter di tipo Diode Clamped a tre livelli (Figura 2.18) e a cinque livelli (Figura 2.20).

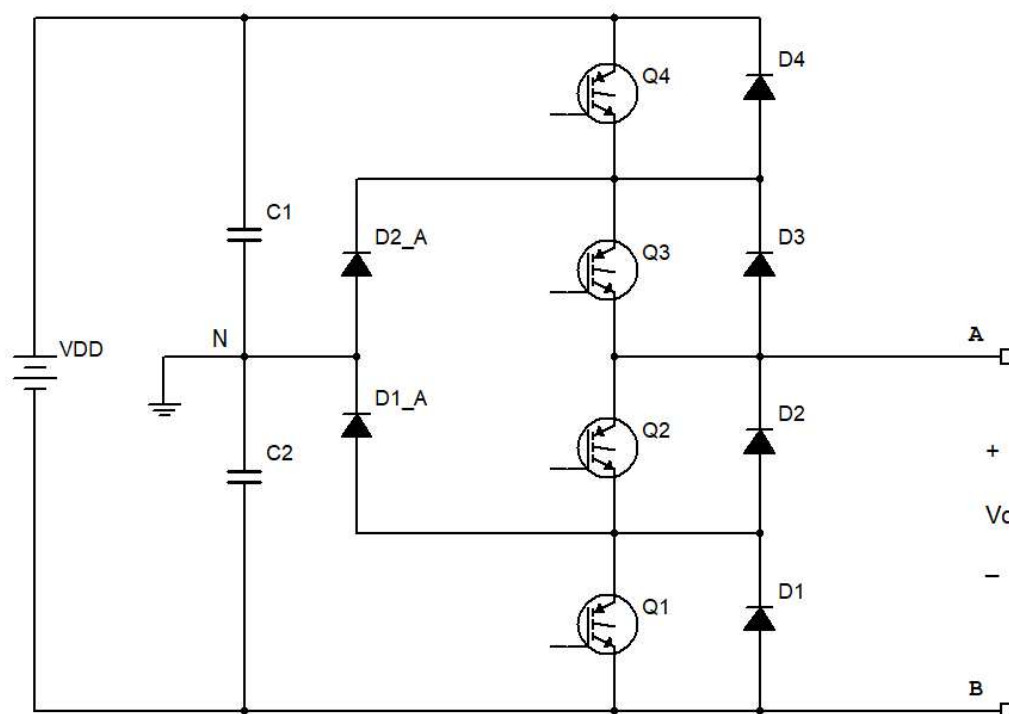


Figura 2.18 Diode clamped inverter a 3 livelli

STATO	$Q4$	$Q3$	$Q2$	$Q1$	v_{AN}	v_o
1100	1	1	0	0	$\frac{VDD}{2}$	VDD
0110	0	1	1	0	0	$\frac{VDD}{2}$
0011	0	0	1	1	$-\frac{VDD}{2}$	0

Figura 2.19 Stati assunti dal circuito in Figura 2.18

Per cui, l'andamento in Figura 2.17 si può ottenere considerando v_{AN} .

Dagli stati mostrati Figura 2.19 si vuol anche comprendere quali siano i dispositivi attraversati da corrente al variare del verso di quest'ultima, per le tre configurazioni mostrate in tabella.

- Stato 1100, dove per:
 - $i > 0$, $Q4$ e $Q3$ sono attraversati da i ,
 - $i < 0$, $D3$ e $D4$ sono attraversati da i .
- Stato 0110, dove per:
 - $i > 0$, $D2_A$, $Q3$ sono attraversati da i ,
 - $i < 0$, $Q2$, $D1_A$, sono attraversati da i .
- Stato 0011, dove per:
 - $i > 0$, $D1$, $D2$ sono attraversati da i ,
 - $i < 0$, $Q1$, $Q2$ sono attraversati da i .

Il ramo in cui vi è $D1_A$, $D2_A$ è il ramo di clamp e ciascun diodo del ramo di clamp per la configurazione mostrata in Figura 2.18 dovrà sopportare una tensione massima di $\frac{VDD}{2}$.

Nella configurazione a 5 livelli la situazione è ben più complessa come illustrato in Figura 2.20.

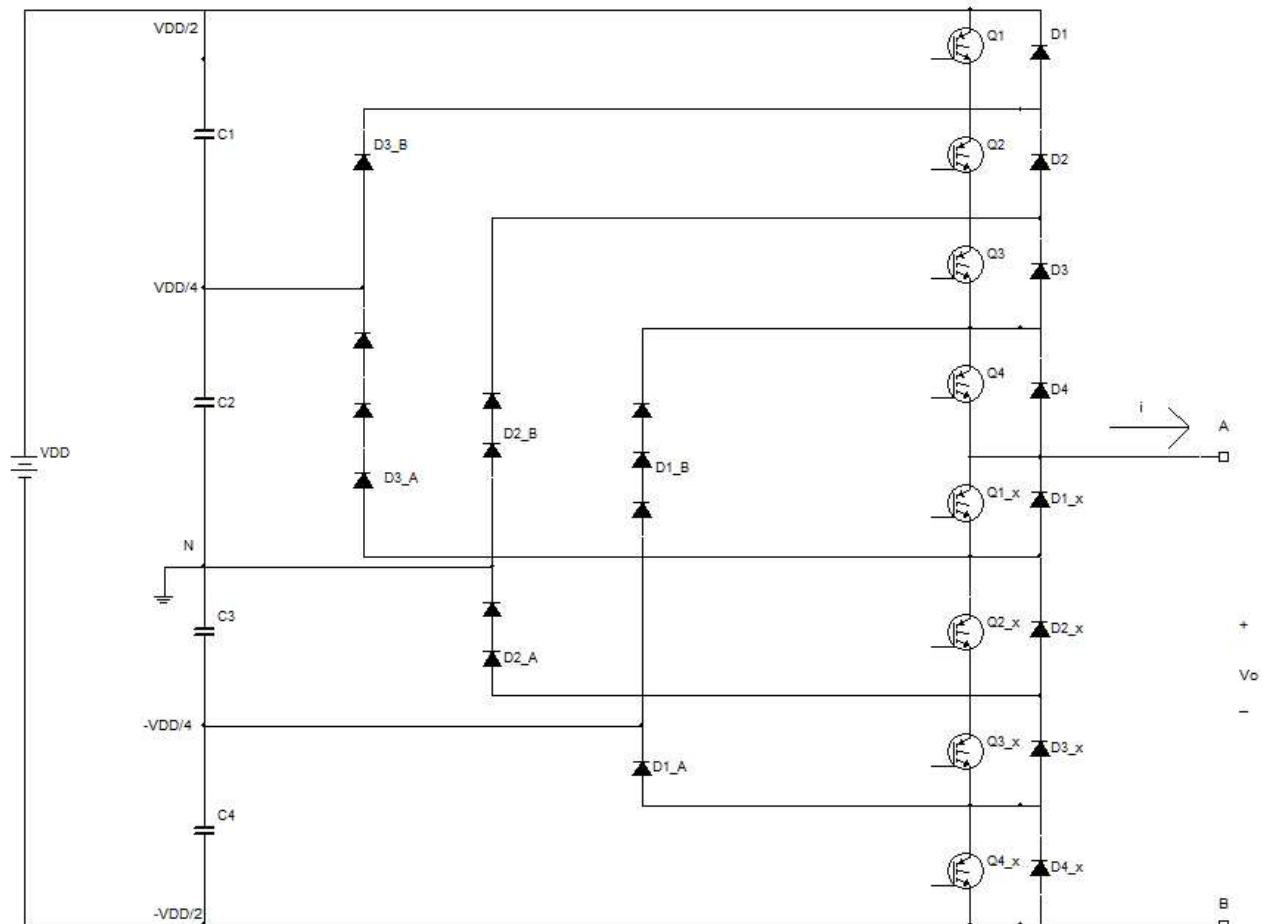


Figura 2.20 Diode Clamped Multilevel inverter a 5 livelli

Questo circuito è composto da otto interruttori e quattro condensatori.

Generalizzando per un Diode Clamped Multilevel Inverter a n - livelli si hanno:

- $(n - 1)$ – condensatori, al fine di suddividere la tensione in ingresso in $(n - 1)$ parti, ai quali si aggiunge il livello zero dato dal punto neutro,
- $(2n - 1)$ – interruttori, dove ognuno di questi dovrà essere in grado di sopportare una tensione pari a $\frac{VDD}{n-1}$.

Da notare in Figura 2.20 la presenza di numerosi diodi nei rami di clamp, in cui per ogni ramo vi ritroviamo la serie di quattro diodi di clamp. In questa maniera, si ridistribuisce la VDD in “più cadute di tensione” e generalizzando a n - livelli, il numero di diodi di clamp richiesto sarà di $(n - 1)(n - 2)$ [5].

$STATO$	$Q1$	$Q2$	$Q3$	$Q4$	v_o
0000	0	0	0	0	$-\frac{VDD}{2}$
0001	0	0	0	1	$-\frac{VDD}{4}$
0010	0	0	1	0	#
0011	0	0	1	1	0
0100	0	1	0	0	#
0101	0	1	0	1	#
0110	0	1	1	0	#
0111	0	1	1	1	$\frac{VDD}{4}$
1000	1	0	0	0	#
1001	1	0	0	1	#
1010	1	0	1	0	#
1011	1	0	1	1	#
1100	1	1	0	0	#
1101	1	1	0	1	#
1110	1	1	1	0	#
1111	1	1	1	1	$\frac{VDD}{2}$

Figura 2.21 Stati assunti dal circuito in Figura 2.20

Nella Figura 2.21 non vi è lo stato assunto da $Q1_x, Q2_x, Q3_x, Q4_x$, perché complementari a $Q1, Q2, Q3, Q4$, per cui sarebbe stato ridondante scriverne lo stato assunto; inoltre, per “#” si indica uno stato proibito, perché la v_o in corrispondenza di questi stati varia al variare del verso assunto dalla i . Anche in tal caso, si dà un elenco di

quali dispositivi sono attraversati da i al variare degli stati "ammissibili". Infatti, per i cinque stati che verranno descritti si ottiene la stessa v_o nonostante la i trova un diverso path conduttivo.

- *STATO 0000*
 - $i > 0$, i attraversa $Q1_x, Q2_x, Q3_x, Q4_x$,
 - $i < 0$, i attraversa $D1_x, D2_x, D3_x, D4_x$.
- *STATO 0001*
 - $i > 0$, i attraversa $C1, C2, C3, D1_B, Q4$,
 - $i < 0$, i attraversa $Q1_x, Q2_x, Q3_x, D1_A, C4$.
- *STATO 0011*
 - $i > 0$, i attraversa $C1, C2, D2_B, Q3, Q4$,
 - $i < 0$, i attraversa $Q1_x, Q2_x, D2_A, C3, C4$.
- *STATO 0111*
 - $i > 0$, i attraversa $C4, C3, C2, D3_B, , Q3, Q4$,
 - $i < 0$, i attraversa $Q1_x, D3_A, C2, C3, C4$.
- *STATO 0111*
 - $i > 0$, i attraversa $Q1, Q2, Q3, Q4$,
 - $i < 0$, i attraversa $D4, D3, D2, D1, C1, C2, C3, C4$.

Dal confronto della Figura 2.18 con la Figura 2.20 è evidente che attraverso questa topologia di inverter l'aumento dei livelli comporta un aumento cospicuo di componenti, in modo particolare i diodi di clamp aumentano del fattore n^2 .

Per cui all'aumentare di n c'è anche da tener conto delle perdite di conduzione che possono diventare rilevanti nell'efficienza dell'inverter.

I circuiti in Figura 2.18 e 2.20, soffrono del problema dello sbilanciamento delle tensioni sui condensatori per il diverso carico di lavoro a cui sono sottoposti oppure perché si verifica un indesiderato assorbimento di corrente tra due condensatori.

L'asimmetria che si viene a creare porta ad un allargamento del contenuto spettrale di v_o , e quindi alla necessità di utilizzare filtri passa banda a valle dell'inverter che impongono delle condizioni più stringenti al diminuire dei livelli che si vogliono considerare, nella realizzazione dell'inverter.

Questo problema è risolvibile se l'inverter ha stati ridondanti (ammissibili).

Infatti, per un corretto funzionamento del circuito, effettuato un ciclo completo di commutazione, la variazione totale di tensione su ogni condensatore deve essere nulla e questo si ottiene attraverso un opportuno pilotaggio tale da far caricare ogni condensatore, tanto quanto si è scaricato in modo da mantenere la tensione media ai suoi capi al valore desiderato [6].

2.7 Cascaded Cell Inverter

Questa topologia di inverter presenta una struttura modulare essendo composta da una cascata di inverter a ponte intero. Replicando Q -volte l'inverter a ponte intero si ottiene un numero di livelli pari a $L = 2Q+1$ dove Q sono il numero degli stadi.

Lo schema circuitale della cascata di due inverter a ponte intero è mostrato in Figura 2.22.

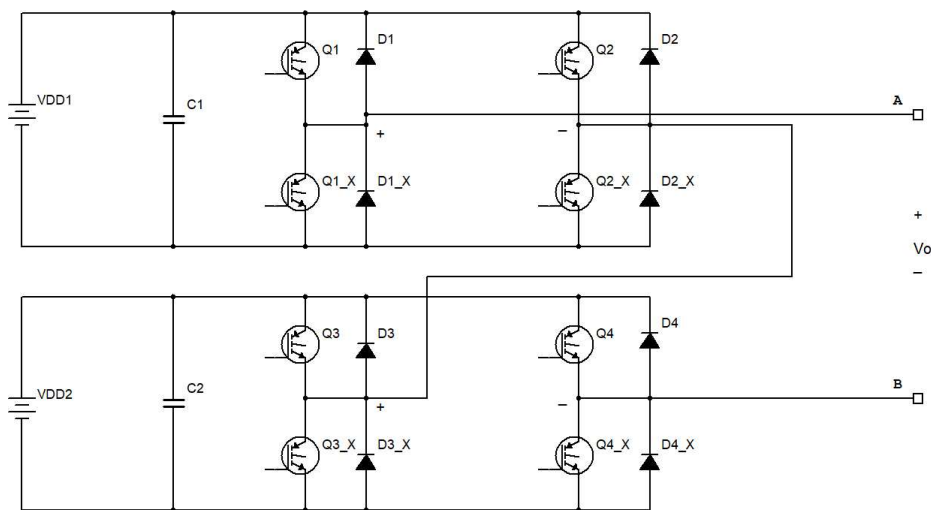


Figura 2.22 Cascaded Cell multilevel inverter a 5 livelli

Dalla Figura 2.22 risulta evidente che questa topologia di inverter è ottenuta dalla serie di due ponti H (dove $VDD1 = VDD2 = VDD$).

Generalizzando per L – livelli, il valore della tensione d'uscita può essere ottenuto dalla (1).

$v_o = \sum_{k=1}^Q V_k$ (1) t. c. Q = numero di stadi; V_k è la tensione in uscita, dall' k -esimo stadio.

Inoltre, si ha:

- $(4Q)$ – interruttori;
- Q – sorgenti DC isolate;
- Q – condensatori [7].

In Figura 2.23 si riassume l'insieme degli stati ammissibili.

Una descrizione più dettagliata a riguardo della $v_o = v_A + v_B$:

- si ottiene $v_o = \pm VDD$ solo se uno dei due stadi fornisce una tensione nulla e l'altro $\pm VDD$,
- si ottiene $v_o = +2VDD$ solo se $v_A = v_B = VDD$,
- si ottiene $v_o = -2VDD$ solo se $v_A = v_B = -VDD$,
- Si ottiene $v_o = 0$ in due diverse modalità:
 - I due stadi forniscono una tensione nulla,
 - I due stadi forniscono la stessa tensione in modulo ma opposta di segno.

In Figura 2.23 non sono stati descritti gli stati assunti da $Q1_x, Q2_x, Q3_x, Q4_x$, perché complementari a $Q1, Q2, Q3, Q4$.

<i>STATO</i>	<i>Q1</i>	<i>Q2</i>	<i>Q3</i>	<i>Q4</i>	v_A	v_B	$v_o = v_A + v_B$
0000	0	0	0	0	0	0	0
0001	0	0	0	1	0	$-VDD$	$-VDD$
0010	0	0	1	0	0	VDD	VDD
0011	0	0	1	1	0	0	0
0100	0	1	0	0	$-VDD$	0	$-VDD$
0101	0	1	0	1	$-VDD$	$-VDD$	$-2VDD$
0110	0	1	1	0	$-VDD$	VDD	0
0111	0	1	1	1	$-VDD$	0	$-VDD$
1000	1	0	0	0	VDD	0	VDD
1001	1	0	0	1	VDD	$-VDD$	0
1010	1	0	1	0	VDD	VDD	$2VDD$
1011	1	0	1	1	VDD	0	VDD
1100	1	1	0	0	0	0	0
1101	1	1	0	1	0	$-VDD$	$-VDD$
1110	1	1	1	0	0	VDD	VDD
1111	1	1	1	1	0	0	0

Figura 2.23 Stati assunti dal circuito in Figura 2.22

La Figura 2.24 mostra l’inverter che verrà sottoposto a simulazione.

Questa topologia di circuito ha “una perfetta modularità” perché l’aumento dei livelli corrisponde all’aggiunta di più stadi in cascata, cosa che non accade nel caso del clamped inverter.

Inoltre, a parità di livelli, questa configurazione consente di ottenere (per L elevato) un notevole guadagno in termini di minor ingombro se confrontata con la topologia in Figura 2.20.

L’utilizzo del cascaded multilevel inverter richiede che le sorgenti di alimentazione in DC siano isolate, infatti è ampiamente utilizzato nel campo degli impianti fotovoltaici dove le sorgenti di tensione in DC sono per loro natura già separate.

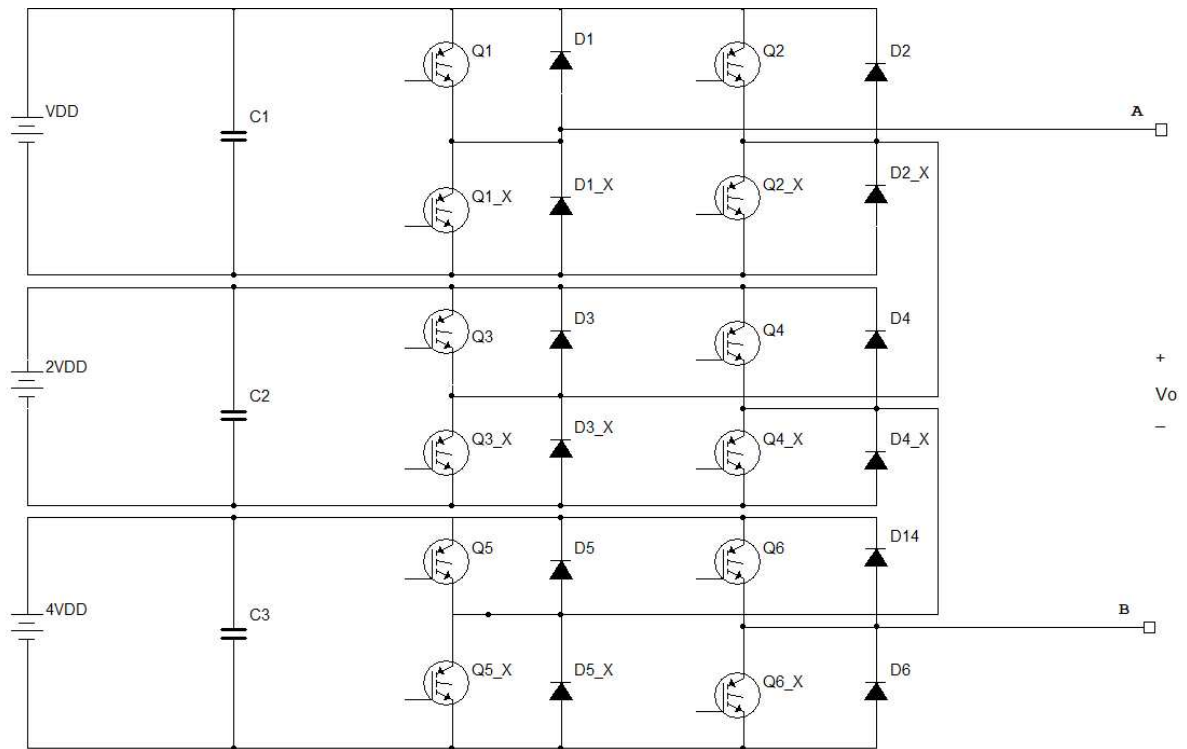


Figura 2.24 Cascaded multilevel Inverter a 15 livelli

<i>STATO</i>	<i>Q1</i>	<i>Q2</i>	<i>Q3</i>	<i>Q4</i>	<i>Q5</i>	<i>Q6</i>	<i>Q1_X</i>	<i>Q2_X</i>	<i>Q3_X</i>	<i>Q4_X</i>	<i>Q5_X</i>	<i>Q6_X</i>	<i>v_o</i>
101010	1	0	1	0	1	0	0	1	0	1	0	1	7VDD
001010	0	0	1	0	1	0	1	1	0	1	0	1	6VDD
100010	1	0	0	0	1	0	0	1	1	1	0	1	5VDD
000010	0	0	0	0	1	0	1	1	1	1	0	1	4VDD
101000	1	0	1	0	0	0	0	1	0	1	1	1	3VDD
001000	0	0	1	0	0	0	1	1	0	1	1	1	2VDD
100000	1	0	0	0	0	0	0	1	1	1	1	1	VDD
000000	0	0	0	0	0	0	1	1	1	1	1	1	0
100100	1	0	0	1	0	0	0	1	1	0	1	1	-VDD
000100	0	0	0	1	0	0	1	1	1	0	1	1	-2VDD
010100	0	1	0	1	0	0	1	0	1	0	1	1	-3VDD
000001	0	0	0	0	0	1	1	1	1	1	1	0	-4VDD
010001	0	1	0	0	0	1	1	0	1	1	1	0	-5VDD
000101	0	0	0	1	0	1	1	1	1	0	1	0	-6VDD
010101	0	1	0	1	0	1	1	0	1	0	1	0	-7VDD

Figura 2.25 Stati assunti dal circuito in Figura 2.24

2.8 T-Type Inverter

Questa topologia di inverter è nata con l'obiettivo di ridurre al minimo il numero di componenti necessari nella realizzazione di un inverter multilivello a n -livelli [8].

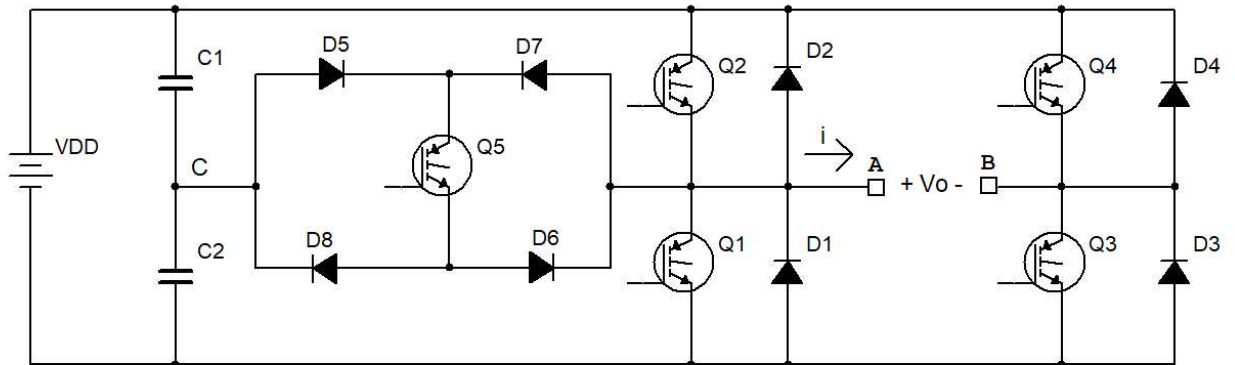


Figura 2.26 Inverter T-Type a 5 livelli

Dalla Figura 2.26 l'inverter appare come un inverter a ponte intero a tre livelli "modificato" in cui è stato aggiunto tra i condensatori e il ponte, un interruttore bidirezionale in corrente e bidirezionale nel bloccaggio delle tensioni rappresentato da $Q5, D5, D6, D7, D8$.

Tale interruttore conduce in entrambe le polarità di v_{AC} , quindi quando la corrente inverte il suo segno è instradata nella coppia opposta di diodi (rappresentati da $D5, D6$ oppure da $D7, D8$).

<i>STATO</i>	<i>Q1</i>	<i>Q2</i>	<i>Q3</i>	<i>Q4</i>	<i>Q5</i>	<i>v_o</i>
10010	1	0	0	1	0	$-VDD$
00011	0	0	0	1	1	$-\frac{VDD}{2}$
10100	1	0	1	0	0	0
00100	0	0	1	0	1	$\frac{VDD}{2}$
01100	0	1	1	0	0	VDD

Figura 2.27 Stati assunti dal circuito in figura 2.26

Anche in tal caso, si dà un elenco di quali dispositivi sono attraversati da i al variare degli stati descritti in Figura 2.27.

- $v_o = -VDD$,
 - $i > 0$, i attraversa $Q1$, $Q4$,
 - $i < 0$, i attraversa $D1$, $D4$.
- $v_o = -\frac{VDD}{2}$,
 - $i > 0$, i attraversa $Q4$, $D7$, $Q5$, $D8$, $C2$,
 - $i < 0$, i attraversa $C1$, $D5$, $Q5$, $D6$, $D4$.
- $v_o = 0$,
 - $i > 0$, i attraversa $D1$, $Q3$,
 - $i < 0$, i attraversa $D3$, $Q1$.
- $v_o = \frac{VDD}{2}$,
 - $i > 0$, i attraversa $C1$, $D5$, $Q5$, $D6$, $Q3$,
 - $i < 0$, i attraversa $D3$, $D7$, $Q5$, $D8$, $C2$.
- $v_o = VDD$,
 - $i > 0$, i attraversa $Q2$, $Q3$,
 - $i < 0$, i attraversa $D3$, $D2$.

È evidente che questa tipologia di inverter in confronto alle due configurazioni precedenti, a parità di livelli presenta il minor numero di componenti.

Capitolo 3

Modulazione Sigma-delta

Ora andremo ad introdurre una delle tecniche di modulazione utilizzata in molti ambiti: la modulazione sigma-delta.

I due principi che stanno alla base di questa tecnica sono il sovra-campionamento (oversampling) ed il Noise Shaping.

Questa tecnica di modulazione verrà utilizzata per pilotare gli interruttori degli inverter che verranno poi sottoposti a simulazione.

3.1 Il sovra-campionamento (oversampling)

Un segnale elettrico analogico (a banda limitata), in accordo con il teorema di Nyquist deve essere campionato ad una frequenza pari al doppio della sua frequenza massima al fine di poter essere ricostruito correttamente (a partire dalle infinite repliche dello spettro del segnale, utilizzando un filtro passa basso si va a prelevare lo spettro in banda base). In realtà va notata in queste considerazioni, la mancanza dell'impatto che ha la quantizzazione sul segnale sottoposto a questo processo di elaborazione. Nella realtà (in accordo con il teorema di Wiener-Chincin, il quale afferma che la banda di un processo stocastico stazionario è individuata dall'integrale della densità spettrale di potenza, pari all'integrale della TF della funzione di autocorrelazione del segnale stesso) ci si ritrova in una situazione di questo tipo:

Considerando $P_x(w)$ la densità spettrale di potenza del processo stocastico da digitalizzare e $P_e(w)$ la densità spettrale di potenza del rumore di quantizzazione in Figura 3.1 (a tempo discreto) si ha:

- Nella figura in alto, campionando in accordo con il teorema di Nyquist e ricostruendo il segnale con un filtro passa basso “mi prendo” tutto il rumore di quantizzazione
- Nella figura in basso, sovra-campionando di un fattore (intero) $L=2$ si restringe la banda utile di un fattore 2 e ricostruendo il segnale con un filtro passa basso

(per poi decimandolo (vedi il paragrafo successivo) di un fattore $L=M$, al fine di riottenere lo spettro originario), “mi prendo” solo metà del rumore di quantizzazione.

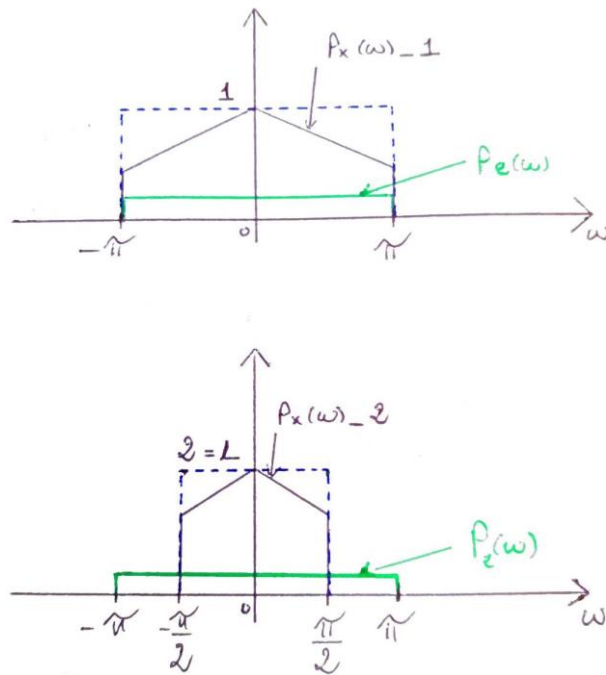


Figura 3.1 In alto (campionamento secondo Nyquist), in basso (sovracampionamento di un fattore L) di un generico processo stocastico x_n a tempo discreto

Il sovra-campionamento con l'applicazione di un filtro passa basso (filtro anti-imaging) al segnale sovra-campionato equivale all'interpolazione del segnale; mentre l'operazione duale a questa è la decimazione in cui si va a filtrare il segnale d'ingresso con un passa-basso (filtro anti-aliasing) per poi sotto-campionarlo di un fattore M -intero (in tal caso si allarga la banda di un fattore M (intero)).

3.1.1 L'impatto che ha questa di tecnica sull'SNR

Sia:

- σ_x^2 la potenza del processo stocastico;
- σ_e^2 la potenza del rumore di quantizzazione;
- $\sigma_{e(BU)}^2$ la potenza del rumore di quantizzazione in banda utile;
- s numero intero.

Si ha:

- $\sigma_{e(BU)}^2 = \frac{\sigma_e^2}{L}$ t.c. $L = 2^s$ è il fattore di sovracampionamento;
- $SNR = \left(\frac{S}{N}\right) \Big| db = 10 \log_{10} \left(\frac{\sigma_x^2}{\sigma_{e(BU)}^2} \right) = 10 \log_{10} \sigma_x^2 - 10 \log_{10} \sigma_{e(BU)}^2 + 3.01s$;

Quindi, per ogni raddoppio della frequenza di campionamento aumenta l'SNR di 3db e ciò equivale a rappresentare il segnale digitalizzato di $\frac{1}{2} bit$ in più.

Infatti, nella situazione standard per la quale si rappresenta il segnale digitalizzato con $B+1$ bit in un range tra $+V$ e $-V$ (per il segnale analogico in ingresso) si ha:

- $\Delta = \frac{2V}{2^{B+1}}$ pari all'intervallo di quantizzazione;
- $\sigma_e^2 = \frac{\Delta^2}{12}$ la potenza del rumore di quantizzazione sotto l'ipotesi di considerare:
 - Il rumore come processo random-stazionario;
 - Il rumore incorrelato dal segnale da digitalizzare;
 - Il rumore, corrispondente ad una densità di probabilità uniforme;
- $SNR = \left(\frac{S}{N}\right) \Big| db = 10 \log_{10} \left(\frac{\sigma_x^2}{\sigma_e^2} \right) = 10 \log_{10} \frac{\sigma_x^2}{V} + 10.8 + 6.02B$.

Per cui, rappresentare il segnale digitalizzato con 1 bit in più significa aumentare l'SNR di 6db.

Nel paragrafo successivo si va ad illustrare la modulazione sigma-delta, che può anche definirsi come una tecnica "più performante" di quella che è stata appena mostrata.

3.2 Modulazione sigma-delta

Questa tecnica fa uso delle stesse modalità mostrate prima, ma la si va a migliorare spostando solo la potenza di rumore in alta frequenza (Noise Shaping).

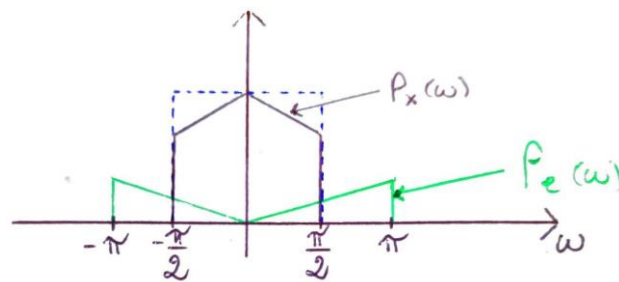


Figura 3.2 Noise-Shaping e sovra campionamento

In tal caso il rapporto segnale rumore assume la seguente forma:

$$SNR = \left(\frac{S}{N}\right) \Big|_{db} = 10 \log_{10} \left(\frac{\sigma_x^2}{\sigma_{e(BU)}^2} \right) = 10 \log_{10} \sigma_x^2 - 10 \log_{10} \sigma_{e(BU)}^2 + \text{costante} + 9.03s.$$

Pertanto, per ogni raddoppio della frequenza di campionamento l'SNR aumenta di 9db, il che equivale a rappresentare il segnale digitalizzato a B bit di $\frac{3}{2} bit$ in più.

3.2.1 Modulatore sigma-delta

Sia x_n il segnale di ingresso (corrispondente ad $x(t)$ definito a tempo continuo campionato ad un multiplo intero (maggiore di 2) della sua frequenza massima, dovendo essere un segnale sovra-campionato), ed e_n il rumore di quantizzazione, si vuole caratterizzare la funzione di trasferimento del circuito mostrato in Figura 3.4.

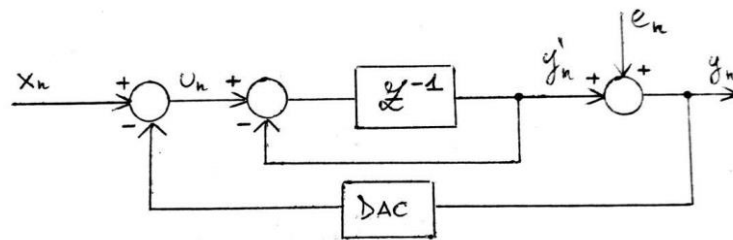


Figura 3.3 Schema a blocchi del modulatore sigma-delta del primo ordine

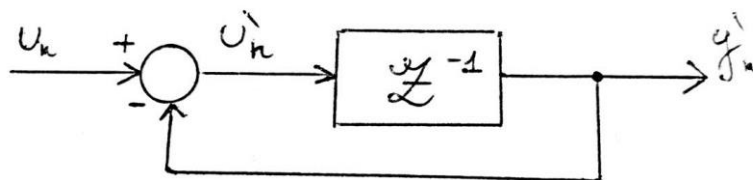


Figura 3.4 Blocco integratore

Sia $U(z)$ la trasformata zeta di u_n , $Y'(z)$ la trasformata zeta di y'_n , $U'(z)$ la trasformata zeta di u'_n ; si ha:

$$Y'(z) = U'(z)z^{-1} \quad (1) \quad \text{ed} \quad U'(z) = U(z) - Y'(z) \quad (2)$$

Sostituendo in (1) la (2) ho:
$$U(z) = Y'(z) + \frac{Y'(z)}{z^{-1}} = Y'(z)\left(1 + \frac{1}{z^{-1}}\right)$$

E quindi la funzione di trasferimento del blocco integratore è
$$I(z) = \frac{Y'(z)}{U(z)} = \frac{z^{-1}}{1-z^{-1}}$$

Pertanto, la Figura 3.3 si sintetizza con il circuito in Figura 3.5:

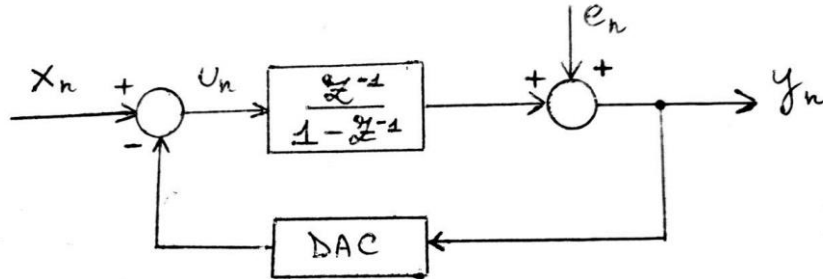


Figura 3.5 Versione “sintetizzata” dello schema in Figura 3.3

Volendo ora dimostrare che il circuito in Figura 3.5 è tale da effettuare il noise shaping, considero $X(z)$ la trasformata zeta di x_n , e $Y(z)$ la trasformata zeta di y_n , si ha nel dominio zeta:

$$U(z) = X(z) - Y(z) \quad (3) \quad \text{e} \quad Y(z) = E(z) + I(z)U(z) \quad (4)$$

Per cui, sostituendo in (4) la (3) si ha:
$$Y(z) = E(z) + I(z)X(z) - Y(z)I(z)$$

$$\Leftrightarrow Y(z)(1 + I(z)) = E(z) + I(z)X(z) \Leftrightarrow Y(z) = z^{-1}X(z) + (1 - z^{-1})E(z).$$

E l'ultima espressione nel dominio a tempo discreto equivale a:

$$y_n = x_{n-1} + e_n - e_{n-1},$$

la cui espressione va a giustificare la derivazione del solo errore di quantizzazione e_n e non del segnale x_n .

Volendo ora considerare un modulatore sigma - delta di ordine superiore si può far riferimento alla Figura 3.6.

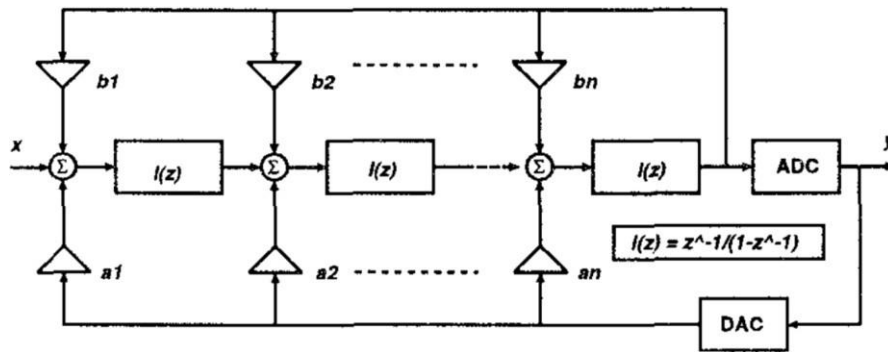


Figura 3.6 Modulatore sigma-delta di ordine N [9]

In realtà il nodo sommatore in cui ci si aggiunge il rumore di quantizzazione equivale all'operazione di quantizzazione, motivo per il quale ci si ritrova l'ADC, e quindi ciò va anche a giustificare la presenza del DAC e la funzione di trasferimento corrispondente al circuito in Figura 3.6 si può sintetizzare come: $H(z) = \frac{\sum_{k=1}^N b_k z^{-k}}{1 - \sum_{k=1}^N a_k z^{-k}}$.

Con l'architettura in Figura 3.6 si presenta (generalizzando per ordini superiori al secondo) il problema della stabilità. Infatti, l'ampiezza del segnale d'ingresso al secondo sommatore (da s_x a s_x) si deve trovare in un certo range di valori in modo da non far sovraccaricare il quantizzatore finale, altrimenti si arriva all'instabilità del modulatore. Nella simulazione viene utilizzata una scalatura dell'ingresso di un fattore pari al guadagno della $I(z)$.

3.3 Progettazione del modulatore sigma-delta

Il modulatore che verrà utilizzato sarà di tipo sigma-delta di ordine 3 (facendo riferimento al circuito in Figura 3.6).

Per poter ricavare i coefficienti del modulatore si consideri le matrici di rappresentazione dello stato:

$$A = \begin{bmatrix} 1 & 0 & a_1 + b_1 \\ 1 & 1 & a_2 + b_2 \\ 0 & 1 & 1 \end{bmatrix}$$

$$B = \begin{bmatrix} 1 & a_1 \\ 0 & a_2 \\ 0 & a_3 \end{bmatrix}$$

$$C = [0 \quad 0 \quad 1]$$

$$D = [0 \quad 1]$$

Dalla teoria dei controlli automatici per sistemi LTI, occorre ricordare che se le condizioni iniziali sono nulle allora la matrice delle funzioni di trasferimento è data da:

$$W(z) = C(zI - A)^{-1}B + D$$

Dato che vale: $W(z) = \frac{Y(z)}{U(z)}$

- $Y(z)$ l'uscita del sistema,
- $U(z) = \begin{bmatrix} x(z) \\ e(z) \end{bmatrix}$
 - $x(z)$ segnale in ingresso al sistema,
 - $e(z)$ rumore,

ne consegue che:

$$Y(z) = W(z)U(z) = W_{11}(z)x(z) + W_{21}(z)e(z)$$

Ovvero:

$$W_{11}(z) = STF(z), W_{21}(z) = NTF(z)$$

Cioè:

$$NTF(z) =$$

$$= \frac{-z^3 + (b_1 + b_2 + b_3 + 3)z^2 + (-b_2 - 2b_3 - 3)z + b_3 + 1}{-z^3 + (a_1 + a_2 + a_3 + b_1 + b_2 + b_3 + 3)z^2 + (-a_2 - 2a_3 - b_2 - 2b_3 - 3)z + a_3 + b_3 + 1}$$

$$STF(z) =$$

$$= \frac{-z^2}{-z^2 + (a_1 + a_2 + a_3 + b_1 + b_2 + b_3 + 3)z^2 + (-a_2 - 2a_3 - b_2 - 2b_3 - 3)z + a_3 + b_3 + 1}$$

$$H(z) = \frac{STF(z)}{NTF(z)}$$

La forma di NTF(z) e STF(z) è stata individuata da due script su MATLAB, secondo le specifiche volute sulla risposta in frequenza. Scegliendo:

- ordine 3;
- frequenza di campionamento di 100 kHz;
- frequenza di cut-off del passa-basso pari a 10 kHz;
- filtro modello di Butterworth;
- architettura IIR;
- scaling;

si genera un vettore di coefficienti della funzione di trasferimento soddisfacenti le specifiche poste.

Eguagliando i coefficienti delle potenze delle due funzioni di trasferimento calcolate, si ottiene:

a_1	-0.144791464060116
a_2	-0.369985631625291
a_3	-0.721940082365454
b_1	0
b_2	-0.003240941605971
b_3	0

Figura 3.7 Tabella dei coefficienti del modello Sigma-Delta

Capitolo 4

Implementazione in Simulink

In questo capitolo sarà discussa la simulazione fatta in Simulink®. Tra gli inverter che sono stati presentati nel Capitolo 2 è stato considerato il clamped multilevel inverter a cinque livelli e il cascaded multilevel inverter a quindici livelli, e un modulatore sigma-delta di ordine 3 che andrà a pilotare entrambi i circuiti di conversione (Figura 2.20 e 2.24), caratterizzato dall'aver una funzione di trasferimento del tipo:

$$H(z) = \frac{\sum_{k=1}^N b_k z^{-k}}{1 - \sum_{k=1}^N a_k z^{-k}},$$
 i cui coefficienti, sono dati dalla tabella descritta in Figura 3.7.

4.1 Simulazione del Sigma-Delta

Avendo determinato i coefficienti della struttura in Figura 3.7 si procede con la trasposizione nella struttura in Simulink® mostrata in Figura 3.6.

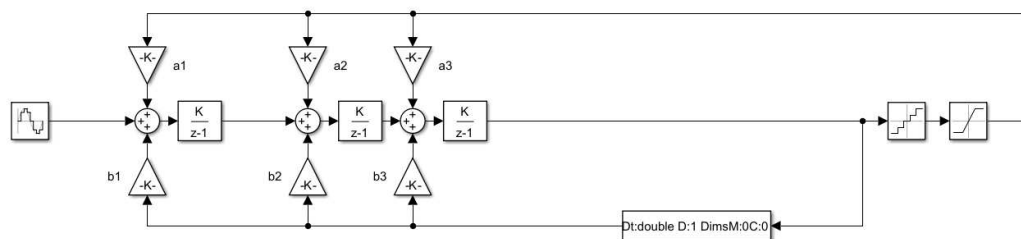


Figura 4.1 Modello del sigma delta

I blocchi contrassegnati con $\frac{K}{z-1}$ sono integratori a tempo discreto forniti dalla libreria di Simulink®, in cui il K è il guadagno applicato al segnale in ingresso nell'integratore.

Il segnale di prova è una sinusoidale con frequenza 50 Hz, ampiezza unitaria e fase iniziale nulla.

È presente un DAC sull'anello di retroazione necessario se la sorgente è analogica. I due blocchi sulla destra rappresentano il quantizzatore che permette di definire l'intervallo voluto di quantizzazione, ed il blocco di saturazione che serve a definire i valori per cui far saturare il quantizzatore, permettendo quindi di fissare il numero dei livelli di quantizzazione coerente con i valori di pilotaggio dell'inverter spiegato nei paragrafi successivi.

Il quantizzatore sopra introdotto (insieme al blocco di saturazione) riproduce in uscita un segnale multilivello che viene poi filtrato. Il filtro qui utilizzato è un filtro passa basso digitale IIR dell'ottavo ordine (Figura 4.2) con una frequenza di cutoff di 22 kHz, valore che rappresenta la metà della frequenza di campionamento che permette di eliminare tutte le componenti fuori dalla banda del segnale e permette di avere in uscita una forma d'onda uguale a quella di partenza.

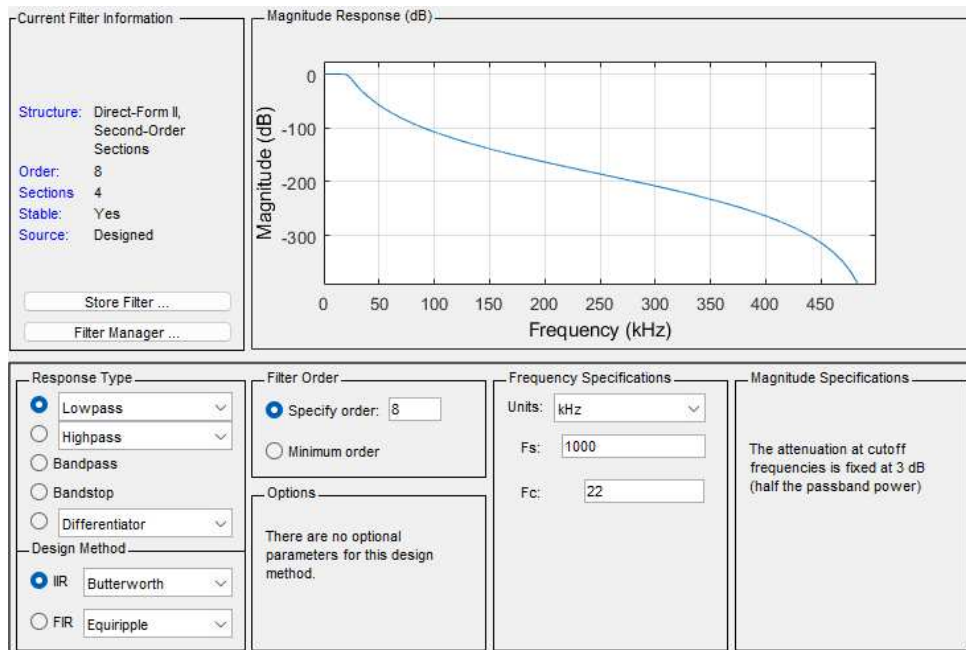


Figura 4.2 Specifiche del filtro anti-imaging

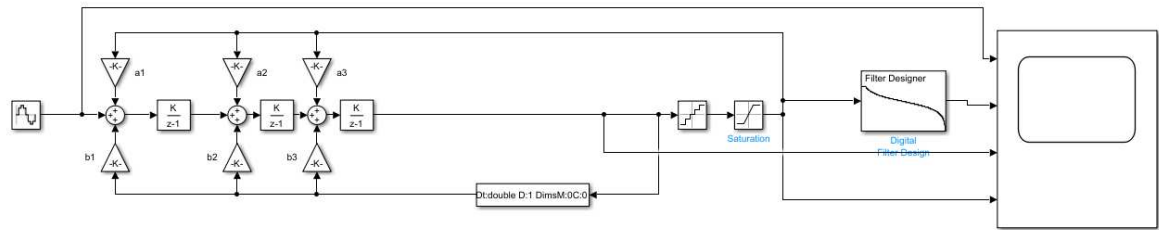


Figura 4.3 Schema del modulatore sigma-delta

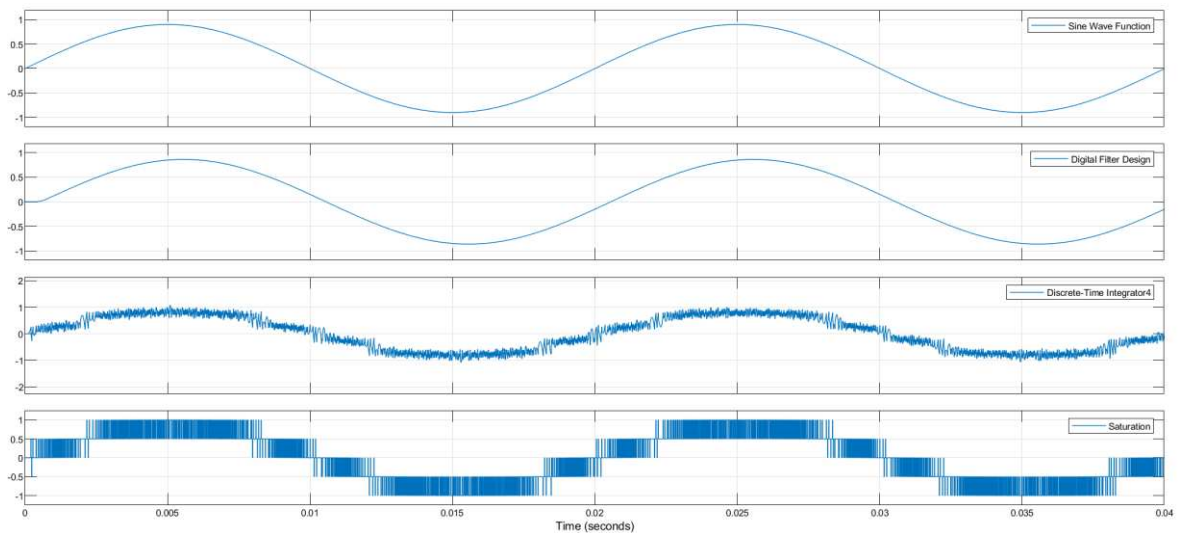


Figura 4.4 Andamenti del circuito in figura 4.3

Dalla Figura 4.4 (in uscita dal filtro descritto in Figura 4.2) in uscita dal Digital Filter Design si ha la forma d'onda di partenza, per cui la simulazione del solo modulatore sigma-delta ha fornito i risultati attesi.

4.2 Simulazione del multilevel clamped inverter

Per mezzo della libreria Simscape Specialized Power Systems fornita da MATLAB® il modello dell'inverter nella Figura 2.20 e 2.24 è stato trasposto in ambiente Simulink®.

Per eseguire la simulazione c'è la necessità di avere un dispositivo che sia in grado di far corrispondere i valori di tensione forniti dal modulatore sigma-delta, in una combinazione di zeri ed uni corrispondenti ad un opportuno stato degli interruttori dell'inverter.

Il dispositivo è dato dal "driver" che corrisponde ad uno script su MATLAB, contenente il mapping tra i livelli di tensione "quantizzati" ed i "valori di pilotaggio" degli interruttori dell'inverter.

In Figura 4.7 e 4.11 è descritto il mapping contenuto nel driver per la simulazione del Clamped Multilevel Inverter e Cascade Multilevel Inverter.

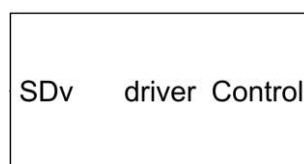


Figura 4.5 Il driver che genera i segnali di pilotaggio per gli interruttori

Da notare che il modulatore sigma delta va a pilotare solo i "principali" interruttori essendo gli altri complementari; infatti, son state utilizzate le porte logiche NOT per pilotare gli interruttori complementari.

In Figura 4.6 è mostrato il modello del Clamped Multilevel Inverter simulato.

In Figura 4.7 è descritto il mapping contenuto nel driver.

In Figura 4.8 ci sono gli andamenti di tensione, corrente e potenza ai capi del carico, in 4.9 gli andamenti dei sei segnali di pilotaggio dei quattro interruttori "principali".

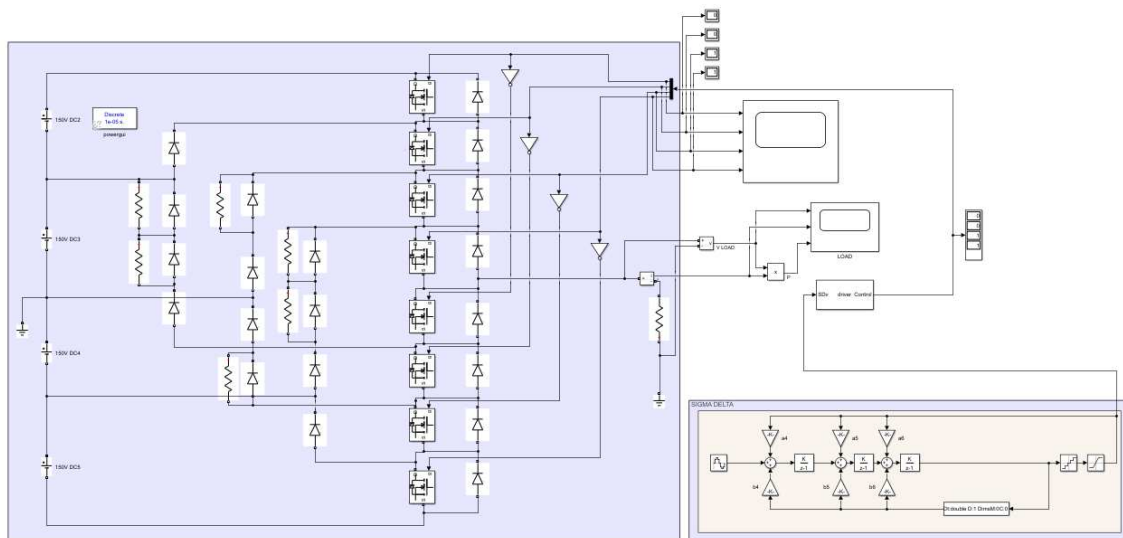


Figura 4.6 Modello del Clamped Multilevel Inverter a 5 livelli

livello di tensione [V] (SDv)	Valore di pilotaggio (control)
-1	0000
1/2	0001
0	0011
-1/2	0111
1	1111

Figura 4.7 Il mapping contenuto nel driver relativo al circuito in Figura 4.6

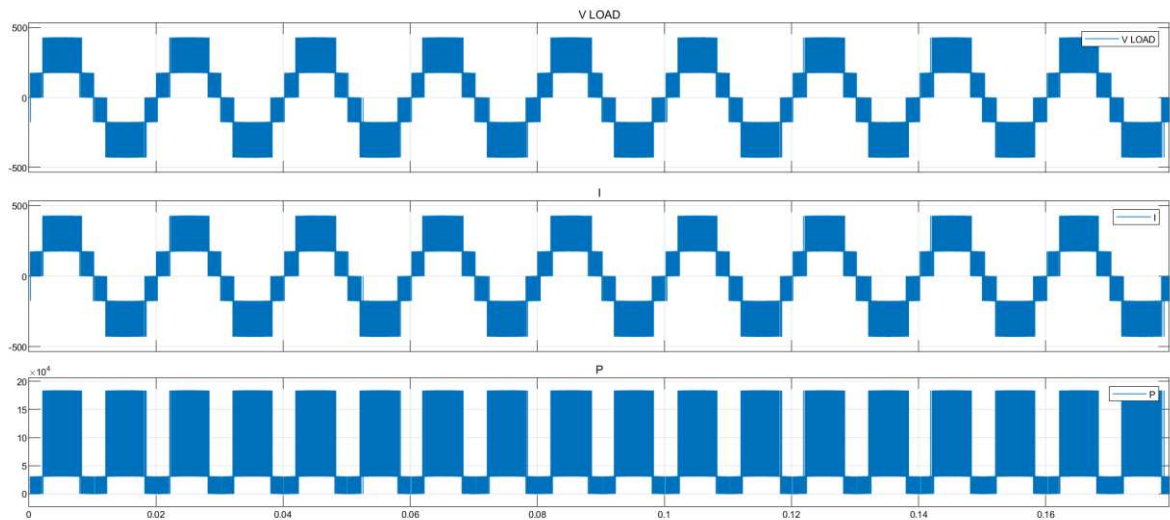


Figura 4.8 Andamento di tensione, corrente e potenza ai capi del carico del circuito in Figura 4.6

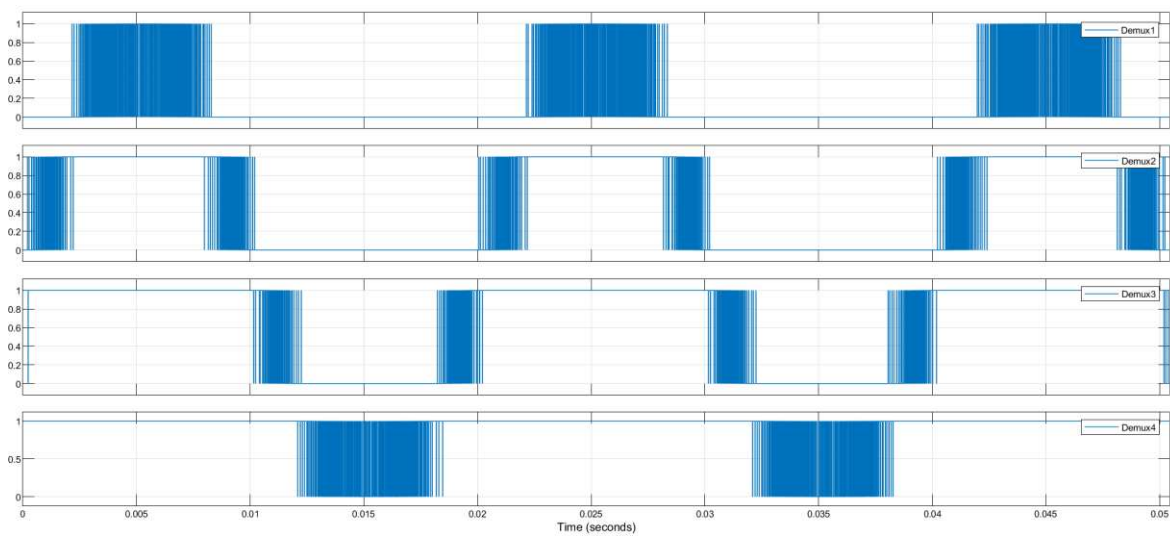


Figura 4.9 Andamenti dei segnali di pilotaggio dei 4 interruttori al variare del tempo del circuito in Figura 4.6

4.3 Simulazione del Cascaded Multilevel Inverter

In Figura 4.10 è mostrato il modello del Cascaded Multilevel Inverter simulato.

In Figura 4.11 è descritto il mapping contenuto nel driver.

In Figura 4.12 ci sono gli andamenti di tensione, corrente e potenza ai capi del carico, in 4.13 gli andamenti dei sei segnali di pilotaggio dei sei interruttori “principali”.

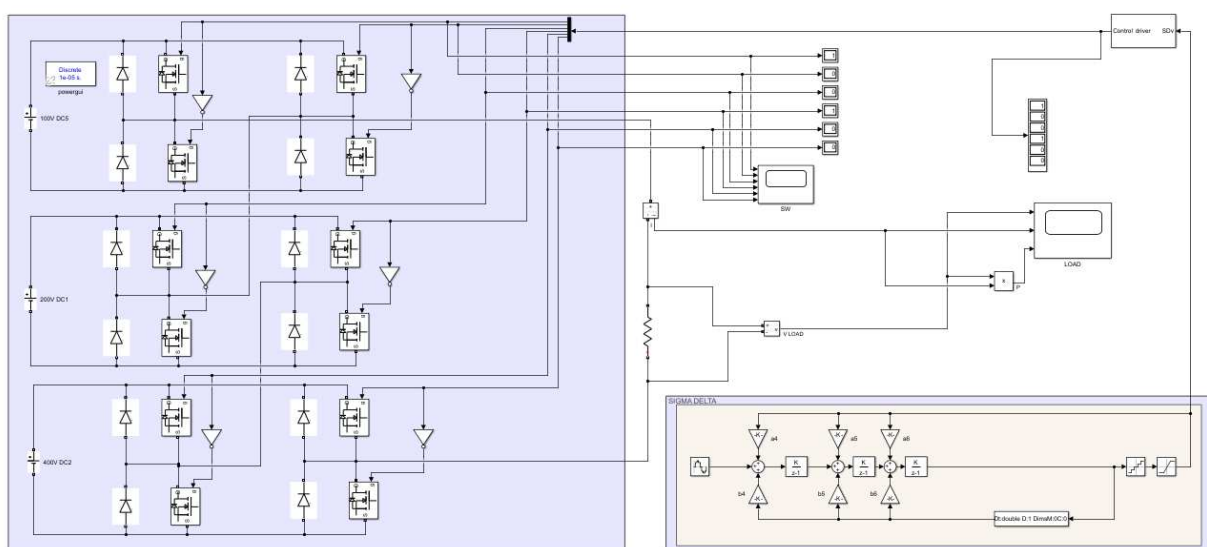


Figura 4.10 Modello del Cascaded multilevel inverter a 15 livelli

livello di tensione [V] (SDv)	Valore di pilotaggio (control)
1	101010
6/7	001010
5/7	100010
4/7	000010
3/7	101000
2/7	001000
1/7	100000
0	000000
-1/7	100100
-2/7	000100
-3/7	010100
-4/7	000001
-5/7	010001
-6/7	000101
-1	010101

Figura 4.11 Il mapping contenuto nel driver relativo al circuito in Figura 4.10

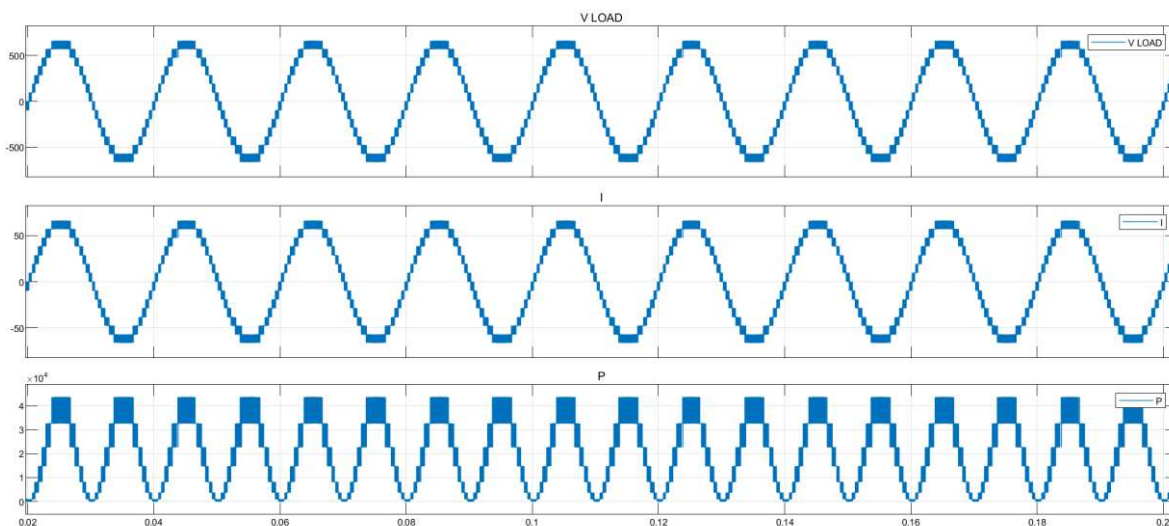


Figura 4.12 Andamento di tensione, corrente e potenza ai capi del carico del circuito in Figura 4.10

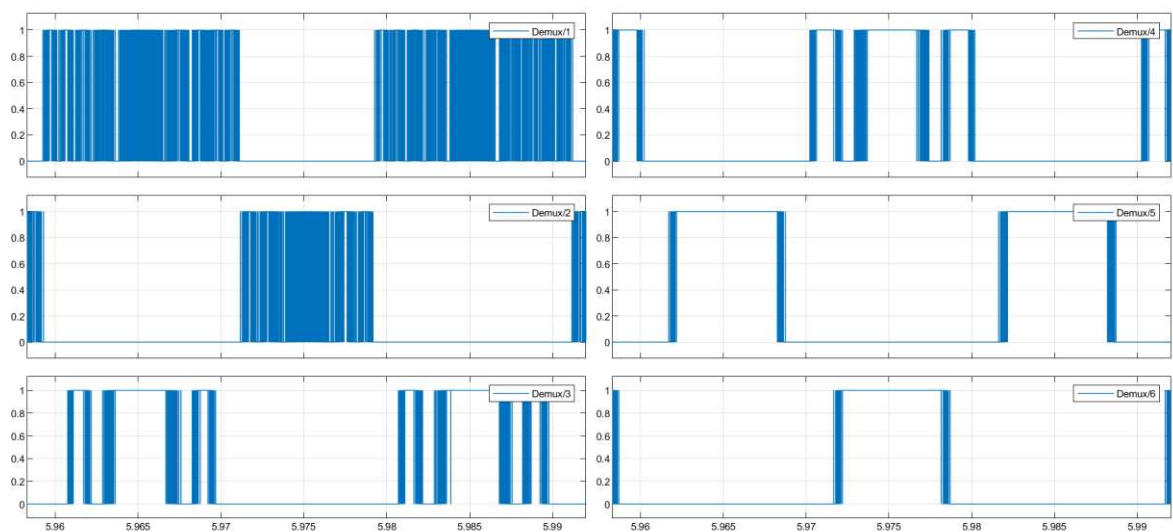


Figura 4.13 Andamenti dei segnali di pilotaggio dei 4 interruttori al variare del tempo del circuito in Figura 4.1.

4.4 Gli interruttori ed il carico utilizzato

Gli interruttori che sono stati utilizzati in Figura 4.6 e 4.10 sono i MOSFET forniti dalla libreria di Simulink®, le cui caratteristiche sono in Figura 4.14.

Il carico utilizzato è di tipo resistivo ed il valore scelto per le simulazioni dei due inverter è di 10 Ohm.

MOSFET and internal diode in parallel with a series RC snubber circuit. When a gate signal is applied the MOSFET conducts and acts as a resistance (R_{on}) in both directions. If the gate signal falls to zero when current is negative, current is transferred to the antiparallel diode.

For most applications, L_{on} should be set to zero.

Parameters

FET resistance R_{on} (Ohms) :

Internal diode inductance L_{on} (H) :

Internal diode resistance R_d (Ohms) :

Internal diode forward voltage V_f (V) :

Initial current I_c (A) :

Snubber resistance R_s (Ohms) :

Figura 4.14 Parametri degli interruttori utilizzati

Risultati ottenuti

Dalle simulazioni sono stati ottenuti i risultati attesi.

Al fine di ottenere un basso contenuto armonico in uscita, sarebbe stato sufficiente inserire un filtro passa basso o passa banda a valle dell'inverter per ottenere un segnale molto più simile alla sinusoide.

Inoltre, dagli andamenti visti è possibile notare che con il circuito in Figura 4.10 avrò il bisogno di condizioni meno stringenti in frequenza nella realizzazione del filtro passa basso rispetto al caso in Figura 4.6.

Bibliografia

[1] soladria.it. On-line: <https://www.soladria.it/storia-del-fotovoltaico-energia-solare/>

[2] it.wikipedia.org.

On-line: https://it.wikipedia.org/wiki/Pannello_fotovoltaico#/media/File:P060781-269644.jpg

[3] it.wikipedia.org. On-line : <https://it.wikipedia.org/wiki/Inverter>

[4] engineering.electrical-equipment.org.

On-line: <https://engineering.electrical-equipment.org/electrical-distribution/diode-clamped-multilevel-inverters.html>

[5] A. Nabae, I. Takahashi, and H. Akagi. "A new neutral-point clamped PWM inverter". IEEE Trans., Ind. Electron., 1981, pp. 518–523

[6] Jih-Sheng Lai, F. Z. Peng; , "Multilevel converters - a new breed of power converters," IEEE Trans. Ind. Appl., vol.32, no.3, pp.509- 517, May/Jun 1996.

[7] Peng FZ, Lai JS. Multilevel cascade voltage-source inverter with separate DC sources. U.S. Patent 5642275; 1997

[8] G. Ceglia, V. Guzman, C. Sanchez, F. Ibanez, J. Walter and M. I. Gimenez, "A New Simplified Multilevel Inverter Topology for DC–AC Conversion," in IEEE Transactions on Power Electronics, vol. 21, no. 5, pp. 1311- 1319, Sept. 2006, doi: 10.1109/TPEL.2006.880303

[9] R. Naiknaware and T. Fiez, "Architectorial coefficient synthesis for the implementation of optimal higher- order Δ/Σ analog-to-digital converters," ISCAS '98. Proceedings of the 1998 IEEE International Symposium on Circuits and Systems (Cat. No.98CH36187), Monterey, CA, 1998, pp. 591-595 vol.1, doi: 10.1109/ISCAS.1998.704582