

UNIVERSITÀ POLITECNICA DELLE MARCHE



Facoltà di Ingegneria

Dipartimento di Ingegneria dell'Informazione

Corso di Laurea Magistrale in Ingegneria Elettronica

**Analisi e Progettazione di componenti
operanti ad alta frequenza e basati su
CNT e MoS₂**

**Analysis and Design of components
operating at high frequency and based
on CNT and MoS₂**

Relatore

Prof. Luca Pierantoni

Laureando

Lorenzo Minelli

Anno Accademico 2021/2022

Dedicato alla mia famiglia

Indice

Elenco delle figure	v
Elenco delle tabelle	viii
1 Introduzione	1
1.1 Materiali nanostrutturati	1
1.2 Piattaforme tecnologiche basate su nanomateriali	7
1.3 Obiettivo della tesi	14
2 Sintesi del Circuito di Power Management	15
2.1 Introduzione al transistor MoS ₂	15
2.2 Implementazione circuitale transistor al MoS ₂	22
2.3 Progetto inverter logico al MoS ₂	25
2.4 Progetto circuito di power management al MoS ₂	27
3 Sintesi di amplificatori a radiofrequenza in tecnologia nanotubi di carbonio	31
3.1 Introduzione al transistor CNT FET	31
3.2 Studio della transcaratteristica	41
3.3 Studio della frequenza di transizione	43
3.4 Progetto HPA	45
3.5 Progetto LNA	48
4 Amplificatori a radiofrequenza con transistor innovativi in tecnologia al CNT	54
4.1 Progetto dell'amplificatore di potenza a 10 GHz : dispositivo innovativo con parametri W=400u, L=200n Tensione di alimentazione Vcc = 1.5 V	54
4.2 Progetto dell'amplificatore di potenza a 24 GHz : dispositivo innovativo con parametri W=400u, L=200n Tensione di alimentazione Vcc = 1.5 V	62

4.3	Progetto dell'amplificatore a bassa cifra di rumore a 10 GHz: dispositivo innovativo con parametri $W=200\mu$, $L=200n$	68
4.4	Progetto dell'amplificatore a bassa cifra di rumore a 24 GHz: dispositivo innovativo con parametri $W=200\mu$, $L=200n$	75
5	Conclusioni	82
	Riferimenti bibliografici	85

Elenco delle figure

1.1	Caratterizzazione dei nanomateriali e relative applicazioni	2
1.2	Esempi dell'utilizzo di grafene e nanotubi	2
1.3	Sfida dell'elettronica del futuro	3
1.4	Struttura reticolare del grafene [1]	3
1.5	Grafichi di dispersione a confronto: semiconduttore e grafene	4
1.6	Dal layer di grafene al nanotubo al carbonio	5
1.7	Proprietà di chiralità dei nanotubi al carbonio	5
1.8	Struttura reticolare nanotubo al carbonio	6
1.9	Evoluzione delle dimensioni e della tecnologia degli amplificatori ad alta potenza [14]	8
1.10	Dimostrazione tecnologia MIMO per applicare il multiplexing nel 5G [15]	11
2.1	Struttura del transistor 2D con singolo layer al MoS ₂ [26]	16
2.2	(a) Grafico bande di conduzione. (b) Schematico per il calcolo della carica presente sul canale a layer di MoS ₂ [26]	17
2.3	Caratteristica I _D - V _{GS} simulata del transistor monolayer al MoS ₂ in funzione della densità di drogaggio (D _{it} = 0)	20
2.4	Implementazione circuitale transistor 2D (Stanford)	22
2.5	Trascurata caratteristica del transistor 2D (Stanford)	24
2.6	Porta logica NOT	25
2.7	Implementazione circuitale porta logica NOT su Cadence Virtuoso	26
2.8	Tensione di uscita in funzione di quella di ingresso	27
2.9	Schema circuito di power management	27
2.10	Implementazione circuitale circuito di power management su Cadence Virtuoso	28
2.11	Tensioni sui 2 gate (FET di potenza in verde e FET di scarica in viola) in funzione della tensione di pilotaggio	29
2.12	Tensione di uscita in funzione della tensione di pilotaggio	29
2.13	Corrente di uscita in funzione della tensione di pilotaggio	30
3.1	Struttura del transistor CNT	32

3.2	Schema del transistoro CNT	32
3.3	(a) Capacità quantistica vs V_{gs} per differenti valori di diametro dei nanotubi (b) Quantità di carica Q_{xo} vs V_{gs} per differenti valori di diametro dei nanotubi	35
3.4	Mobilità vs. Lunghezza di gate per diversi valori di diametro dei nanotubi	37
3.5	Caratteristica di uscita per diverse lunghezze di gate (a) $L_g = 15$ nm (b) $L_g = 300$ nm (c) $L_g = 3$ μ m	38
3.6	(a) I_{ON} vs. $1/d$; (b) R_c vs. L_c	39
3.7	Meccanismi di tunnelling	39
3.8	Implementazione CNT Fet in Cadence Virtuoso	41
3.9	Transcaratteristica	41
3.10	Schema circuitale per la misura della frequenza di transione del CNT Fet	43
3.11	Implementazione circuitale in Cadence Virtuoso	44
3.12	Guadagno di corrente a radiofrequenza	44
3.13	Schematico amplificatore cascode completo di reti di adattamento	46
3.14	Andamento del coefficiente di riflessione in ingresso all'amplificatore (sweep 1 Hz- 1 GHz)	47
3.15	Misurazione load-pull	47
3.16	LNA inductor-less a banda larga (tecnologia CNT)	48
3.17	LNA inductor-less implementazione in Cadence Virtuoso	49
3.18	Schematico con valori dei componenti e delle tensioni DC ai nodi	50
3.19	Guadagno di tensione in AC [dB]	51
3.20	Posizioni dei poli e zeri	52
3.21	Cifra di rumore [dB]	52
3.22	Punto di compressione a 1 dB	53
3.23	Intercetta al terzo ordine	53
4.1	Implementazione CNT Fet in Cadence Virtuoso	55
4.2	Transcaratteristica del transistor	55
4.3	Guadagno di corrente in AC per lo studio della frequenza di transizione	56
4.4	Amplificatore di potenza doppio stadio (2 stadi cascode)	56
4.5	Parametro S_{21} [dB20] in funzione della frequenza	57
4.6	Parametro S_{12} [dB20] in funzione della frequenza	57
4.7	Parametro S_{11} [dB20] in funzione della frequenza	58
4.8	Simulazione load-pull impedenza $Z_d \simeq 182.55W$	58
4.9	Simulazione load-pull dopo l'aggiunta di uno stadio di adattamento in uscita impedenza $Z_d \simeq 52.1743 - j19.6489W$	59
4.10	Punto di compressione a 1 dB	59
4.11	Simulazione IP3	60
4.12	Misura della corrente DC del circuito completo	60

4.13	Schematico con valori dei componenti e delle tensioni DC ai nodi . .	61
4.14	Frequenza di transizione del transistor CNT Forth, comparazione tra i valori di guadagno in corrente a 10 GHz e 24 GHz	62
4.15	Amplificatore di potenza doppio stadio (2 stadi cascode)	63
4.16	Parametro S21 [dB20] in funzione della frequenza	63
4.17	Parametro S12 [dB20] in funzione della frequenza	64
4.18	Parametro S11 [dB20] in funzione della frequenza	64
4.19	Simulazione load-pull	65
4.20	Punto di compressione a 1 dB	65
4.21	Simulazione IP3	66
4.22	Misura della corrente DC del circuito completo	66
4.23	Schematico con valori dei componenti e delle tensioni DC ai nodi . .	67
4.24	LNA cascode (tecnologia CNT)	68
4.25	Misura della corrente in DC	69
4.26	Parametro S21 [dB20] in funzione della frequenza	70
4.27	Parametro S11 [dB20] in funzione della frequenza	70
4.28	Parametro S12 [dB20] in funzione della frequenza	71
4.29	Parametro S22 [dB20] in funzione della frequenza	71
4.30	Parametro di stabilità incondizionata K_f in funzione della frequenza	72
4.31	Cifra di rumore [dB] in funzione della frequenza	72
4.32	Punto di compressione a 1 dB	73
4.33	Intercetta al terzo ordine	73
4.34	Schematico con valori dei componenti e delle tensioni DC ai nodi . .	74
4.35	Frequenza di transizione del transistor CNT Forth, comparazione tra i valori di guadagno in corrente a 10 GHz e 24 GHz	75
4.36	LNA cascode (tecnologia CNT)	76
4.37	Misura della corrente in DC	76
4.38	Parametro S21 [dB20] in funzione della frequenza	77
4.39	Parametro S11 [dB20] in funzione della frequenza	77
4.40	Parametro S12 [dB20] in funzione della frequenza	78
4.41	Parametro S22 [dB20] in funzione della frequenza	78
4.42	Parametro di stabilità incondizionata K_f in funzione della frequenza	79
4.43	Cifra di rumore [dB] in funzione della frequenza	79
4.44	Punto di compressione a 1 dB	80
4.45	Intercetta al terzo ordine	80
4.46	Schematico con valori dei componenti e delle tensioni DC ai nodi . .	81

Elenco delle tabelle

1.1	Parametri di progetto del modello implementato	4
1.2	Parametri di progetto del modello implementato	6
2.1	Parametri caratterizzanti del transistor 2D (Stanford) [27]	23
2.2	Parametri di progetto del modello implementato	24
2.3	Parametri della simulazione di figura 1.3	25
2.4	Parametri della simulazione di figura 1.5	26
2.5	Parametri della simulazione di figura 1.8	28
3.1	Parametri di ingresso al modello Stanford del transistor CNT	33

Capitolo 1

Introduzione

1.1 Materiali nanostrutturati

I materiali nanostrutturati sono quei materiali le cui proprietà strutturali dipendono da componenti di cui almeno una delle 3 dimensioni è nanometrica. Di conseguenza le nanotecnologie sono tali da poter operare anche su scala nanometrica e "interagiscono" con tutto ciò che avviene su questa scala. E tutto ciò che avviene su questa scala è differente da quello che avviene su scale maggiori. Ad esempio alcune proprietà come la struttura elettronica e la conducibilità cambiano quando le dimensioni in esame sono più piccole di una certa dimensione "limite". Nel campo della nanotecnologia, un grande sviluppo ha interessato i nanotubi di carbonio, il grafene e i materiali 2D innovativi. Essi godono di proprietà particolari: resistenza meccanica, piccolo raggio di curvatura, conducibilità elevata ed inerzia chimica. Data la ridotta dimensione dei materiali, lo studio delle proprietà citate precedentemente vanno estrapolate attraverso l'analisi delle proprietà quantistiche del materiale stesso (curve di dispersione, studia della struttura a bande elettroniche) tra le quali la modellazione multifisica di nanostrutture e nano-dispositivi, la caratterizzazione del trasporto balistico, dei modi periodici, e dei circuiti multiporta nei nanomateriali, tecniche avanzate per il problema del trasporto elettromagnetico/coerente e lo studio dell'elettrodinamica e relativi fenomeni di emissione di campo, radiazione, fotogenerazione di rivelazione. Va tenuto conto anche degli effetti dispersivi e non lineari che caratterizzano il comportamento dei nanomateriali.

Esempi di applicazioni in ambito elettronico dei materiali nanostrutturati possono essere transistor, interconnessioni nei circuiti integrati, nanoantenne, elettronica flessibile, dispositivi balistici, applicazioni plasmoniche.

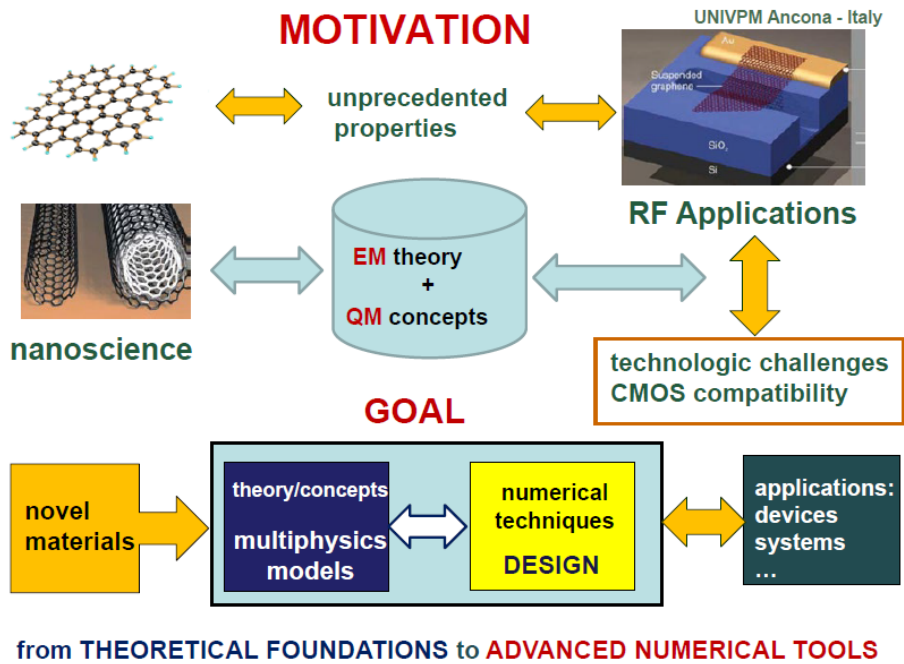


Figura 1.1: Caratterizzazione dei nanomateriali e relative applicazioni

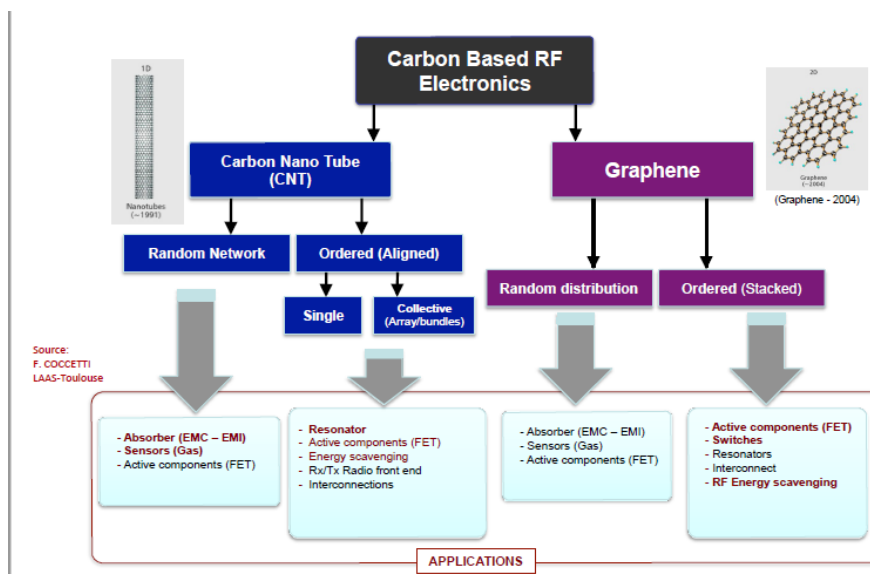


Figura 1.2: Esempi dell'utilizzo di grafene e nanotubi

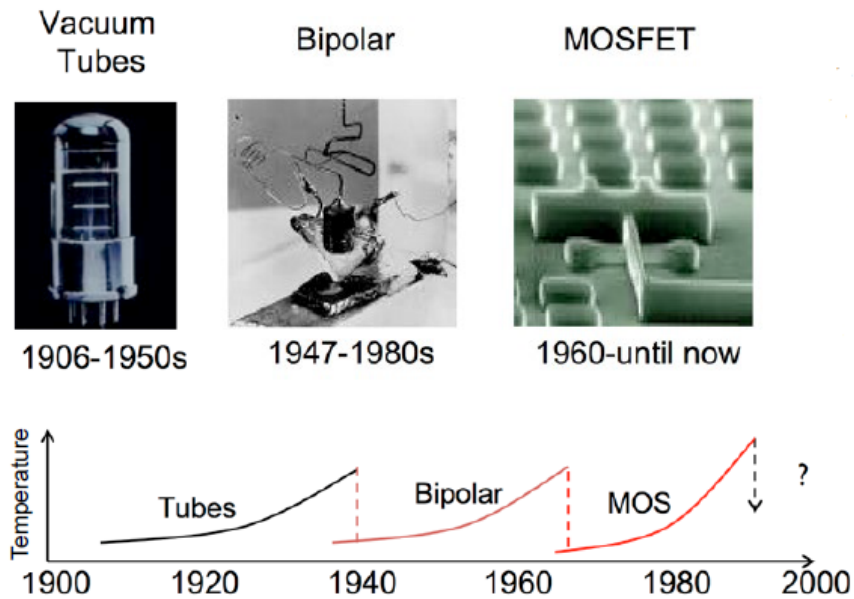


Figura 1.3: Sfida dell'elettronica del futuro

L'obiettivo dei materiali nanostrutturati è quello di permettere la realizzazione di piattaforme tecnologiche altamente performanti che garantiscono prestazioni in linea con i progressi della robotica, delle auto a guida autonoma, dell'IOT e della telefonia mobile 5G.

Il grafene è un cristallo bidimensionale costituito da monostrato di grafite con uno spessore di soli 0.34 nm, è quindi composto atomi di carbonio disposti in un reticolo a nido d'ape. È un materiale robusto e molto stabile (gode della più alta temperatura di fusione conosciuta, più stabile del diamante).

IV. RELATIVISTIC QUANTUM HALL EFFECT (RQHE) IN GRAPHENE

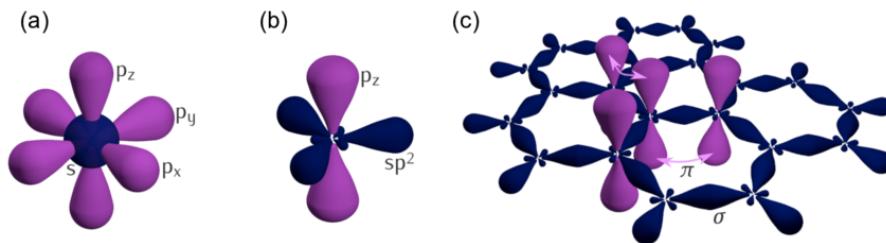


Figura 1.4: Struttura reticolare del grafene [1]

Il reticolo del grafene [2] è formato da atomi di carbonio nello stato di ibridazione sp^2 : ogni atomo è legato in modo covalente ad altri tre. Tre dei quattro elettroni di valenza partecipano ai legami con i loro prossimi vicini (legami σ) [3]. Il quarto orbitale (legame π) è orientato perpendicolarmente al foglio e delocalizzato che gode quindi di un'eccezionale mobilità (gas di elettroni/lacune).

Nei fenomeni fisici, la relazione di dispersione è una relazione tra l'energia di un sistema e la sua corrispondente quantità di moto, il grafico caratterizzante il grafene è il cono di Dirac [4] [5].

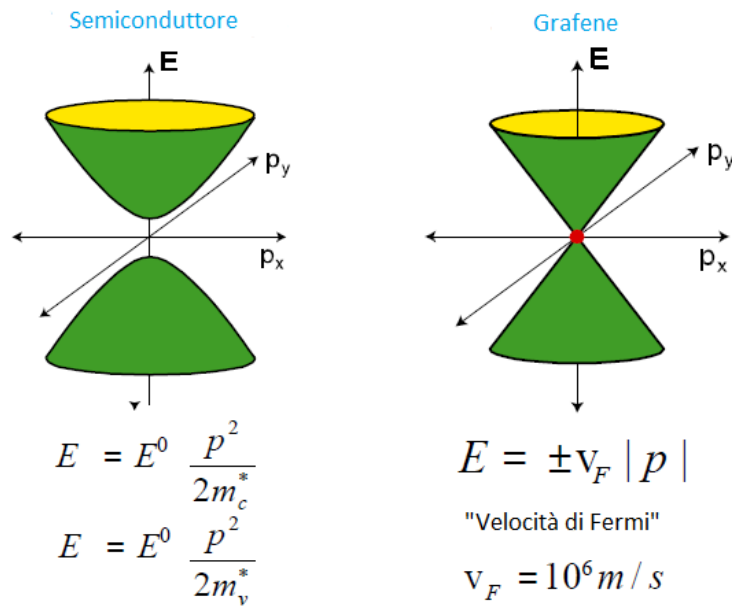


Figura 1.5: Grafici di dispersione a confronto: semiconduttore e grafene

Caratteristiche	Silicio	AlGaAs	InAlAs	InSb	Rame	Grafene
$\mu(\text{cm}^2/\text{V} \cdot \text{s})$	1500	8500	5400	80000	300-400	> 100,000
$v_{\text{peak}} (\times 10^7 \text{ cm/s})$	1.0	1.3	1.0	5-7	1	7-10
$\rho(\text{W/cm} \cdot \text{K})$	1.5	0.5	0.7	0.15	3.5	48.4-53

Tabella 1.1: Parametri di progetto del modello implementato

in cui μ : mobilità elettronica a 300 K°, v_{peak} : velocità di picco elettronica e ρ : conducibilità termica

I nanotubi al carbonio [6] si ottengono andando ad arrotolare un layer di grafene su sé stesso, ottenendo così la tipica struttura cilindrica. Possono essere visti, analogamente al fullerene, come una delle forme allotropiche del carbonio.

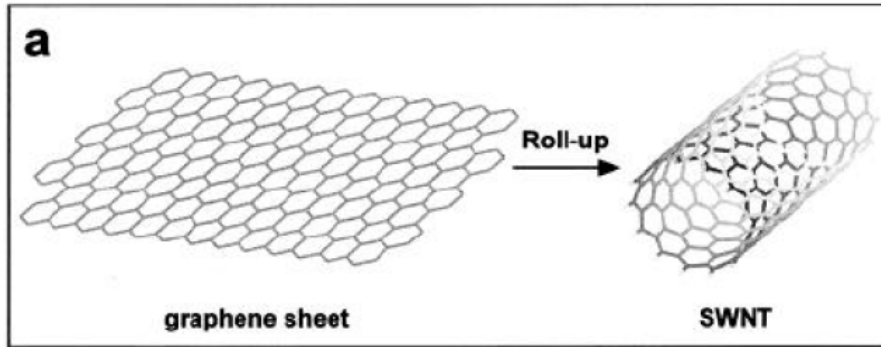


Figura 1.6: Dal layer di grafene al nanotubo al carbonio

Di seguito vengono illustrate alcune caratteristiche reticolari del CNT [7] e la relativa proprietà di chiralità [8]: in base all'orientamento del reticolo rispetto alla direzione di propagazione degli elettroni, si ottiene un comportamento semiconduttivo o conduttivo.

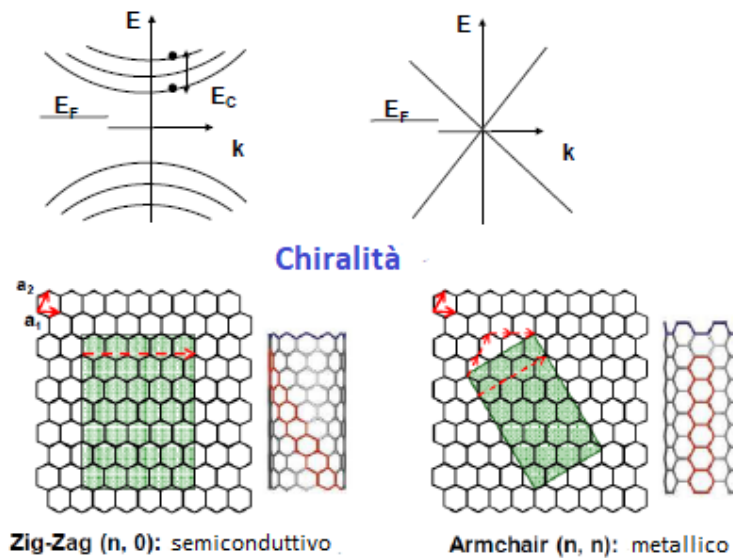


Figura 1.7: Proprietà di chiralità dei nanotubi al carbonio

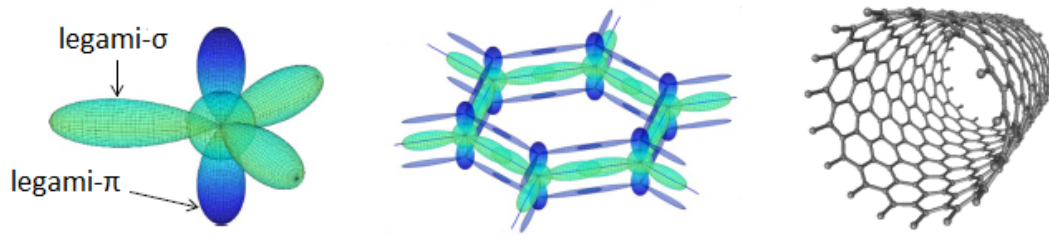


Figura 1.8: Struttura reticolare nanotubo al carbonio

La tabella successiva descrive le proprietà elettriche del CNT

Comportamento elettronico	Semiconduttivo o metallico
Bandgap E_g [eV]	$\simeq 0.9/d[nm]$
Cammino libero medio	$\simeq 800[nm]$
Mobilità portatori [cm^2/Vs]	200000
Velocità di saturazione [cm/Sec]	$\simeq 10^8$
Densità di corrente [A/cm^2]	$\simeq 10^9$
Velocità di Fermi [m/s]	$6-8 \times 10^5$ height

Tabella 1.2: Parametri di progetto del modello implementato

1.2 Piattaforme tecnologiche basate su nanomateriali

La tecnologia odierna è contrassegnata dal trend nel realizzare dispositivi mobili, e digitali. Di conseguenza le tecnologie di trasmissione wireless assumono una notevole importanza. Oggi si stima che ci siano 6,5 miliardi di telefoni in tutto il mondo mentre ci sono solo 1,1 miliardi di automobili e 2 miliardi di televisori. La tecnologia mobile si è rapidamente ampliata negli ultimi venti anni. Negli anni 90 il sistema globale e le comunicazioni mobili (GSM) non sono state nemmeno implementate al di fuori dell'Europa, mentre oggi con il 4G si hanno in tutto il mondo oltre 6 miliardi di utenti.

Il trend evolutivo nelle tecnologie di trasmissione digitale ha sempre previsto un aumento delle velocità di trasmissione dei dati e delle capacità delle reti, per esempio nel 2015, 10 trilioni di megabyte sono stati scambiati solo negli Stati Uniti [9]. Le comunicazioni wireless, sebbene modulino in digitale i segnali trasmessi, questi ultimi sono sempre basati su un segnale portante intrinsecamente analogico, di conseguenza risulta necessario anche l'avanzamento delle tecnologie analogiche. Per soddisfare l'aumento della domanda, la tecnologia 5G determina che la frequenza della portante dovrebbe aumentare (sopra 20GHz) e tecniche avanzate di beam-forming devono essere implementate per ottenere delle comunicazioni wireless ad alta velocità. Si prevede che in seguito alla migrazione dell'attuale 4G alla gamma di frequenza 6 GHz, il 5G ha come obiettivo anche quello di passare alla banda di frequenza più alta [10] (possibilmente 27-30 GHz e poi ancora più in alto fino a 100 GHz).

Questo cambiamento di infrastrutture di telecomunicazioni determina una fusione delle tecnologie utilizzate nelle comunicazioni mobili, satellitari e nei radar in cui sono già state utilizzate le tecniche di guida del fascio phased array.

I moderni progetti europei [11], hanno come obiettivo quello di progettare, modellare, fabbricare e convalidare il funzionamento di una nuova generazione di sistemi elettronici intelligenti basati su materiali nanostrutturati quali nanotubi di carbonio (CNT) e materiali semiconduttori planari (2D). Le piattaforme previste avranno la possibilità di supportare il futuro upscaling della frequenza, pur mantenendo un minor consumo energetico e un'elevata precisione operativa mediante rilevamento e compensazione dell'ambiente in tempo reale. Si andranno a realizzare sistemi di trasmissione e ricezione riconfigurabili (Rx/Tx) talmente performanti in modo da poter sostenere l'enorme avanzata tecnologica dell'era dell'informazione nelle comunicazioni mobili, nell'IOT e dei Big Data che richiede un grosso quantitativo di trasmissione dei dati.

L'attuale tecnologia del transceiver [12] si basa principalmente su Si/SiGe, GaAs e GaN a seconda del livello di potenza richiesto e si utilizza un'unica antenna [13] sia per la ricezione che per la trasmissione. Le soluzioni commerciali implementano tipicamente l'integrazione a livello di package per combinare i vari stadi di ricettazione a radiofrequenza che portano a diversi mm^2 di ingombro e importanti latenze. Anche il fenomeno degli sfasamenti diviene non più trascurabile per via delle frequenze di lavoro molto elevate.

Queste soluzioni devono essere implementate anche per la rete 5G al di sotto dei 6 GHz, ma al di sopra ci sono serie sfide da affrontare.

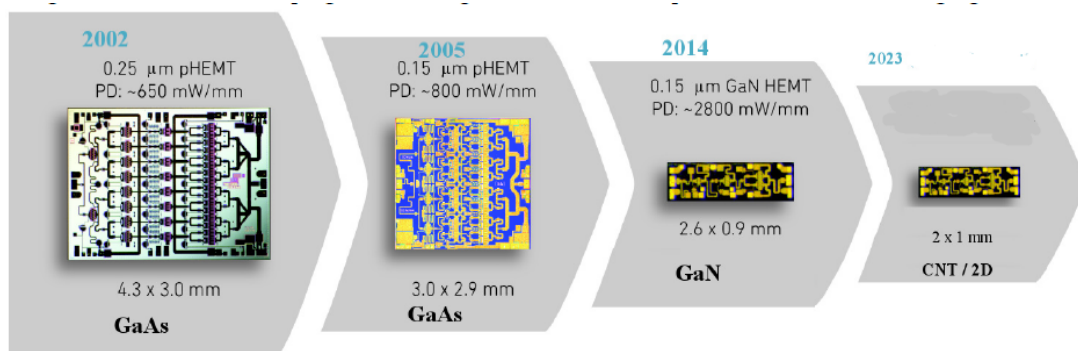


Figura 1.9: Evoluzione delle dimensioni e della tecnologia degli amplificatori ad alta potenza [14]

Un moderno sistema elettronico progettato per le comunicazioni wireless deve garantire le seguenti caratteristiche:

- Maggiore efficienza energetica al fine di migliorare le implementazioni mobili e IOT
- Dimensioni ridotte per miniaturizzare i nodi wireless che abiliteranno le applicazioni IOT
- Riconfigurabilità del sistema per poter implementare il multiplexing dell'antenna su chip (tecnologia MIMO).
- Monitoraggio ambientale per mitigare la variabilità dei collegamenti, aumentare l'efficienza energetica e garantire la salute del sistema.

Le soluzioni esistenti richiedono diversi mm^2 di spazio per implementare il circuito integrato per le comunicazioni wireless e non implementano la gestione dell'alimentazione internamente, quindi è necessario implementarli a livello di package o di sistema andando così ad aumentare il costo e le dimensioni complessive del sistema.

Inoltre, l'antenna può essere potenzialmente integrata solo in modo monolitico superiore a 50 GHz a causa di limitazioni di dimensione e anche in questo caso si aggiungerà all'ingombro totale del sistema. I moderni progetti europei [11], hanno come obiettivo quello di affrontare tutti i punti di cui sopra e costruire un modulo Tx/Rx tenendo in considerazione le seguenti caratteristiche:

- **Scalabilità:** utilizzo di materiali CNT e 2D per realizzare transistor scalabili in grado di lavorare anche a frequenze più elevate
- **Efficienza:** stabilire una tecnologia complementare basata su C.N.T. per migliorare l'efficienza e le prestazioni del circuito RF
- **Dimensioni:** utilizzare più livelli di materiali CNT e/o 2D per realizzare LNA e HPA uno sopra l'altro in un tecnologia di integrazione verticale 3D
- **Riconfigurabilità:** utilizzare la commutazione CNT NEMS per aggiungere la manipolazione del percorso del segnale collegando così l'LNA e HPA in un'architettura monolitica
- **Monitoraggio ambientale:** implementazione di sensori di temperatura, umidità e interferenza RF a bordo dei moduli Rx/Tx che consentono l'adattabilità del sistema elettronico, il risparmio energetico e il monitoraggio dello stato dei moduli realizzare un sistema intelligente in grado di reagire all'ambiente circostante.
- **Gestione dell'alimentazione:** utilizzare i FET di commutazione per controllare e ridurre al minimo la dissipazione di potenza spegnendo circuiti inattivi
- **Integrazione dell'antenna:** le nanoantenne a lunghezza d'onda più grandi possono essere realizzate da CNT verticali in modo tale da fornire un ulteriore livello di integrazione anche a frequenze più basse, riducendo ulteriormente le dimensioni del sistema

L'obiettivo di questo lavoro di tesi è quello di affrontare i problemi attuali della tecnologia hardware per le applicazioni wireless fornendo una tecnologia più piccola, più intelligente, più efficiente e a basso costo in grado di scalare a frequenze più elevate rispetto alle soluzioni esistenti.

La nuova tecnologia elettronica proposta è basata su nanotubi di carbonio (CNT) e materiali 2D che sono stati identificati da International Technology Roadmap for Semiconductors (ITRS) come i materiali più promettenti per l'elettronica del futuro. Entrambi offrono un potenziale di scalabilità ben oltre quello del silicio o di qualsiasi altro semiconduttore convenzionale. L'obiettivo è quello di sviluppare tutti i componenti principali per poter implementare la tecnologia del ricetrasmittitore wireless basato su tali materiali, stabilendo così l'elettronica analogica di nuova generazione. I CNT in profondo contrasto con i semiconduttori convenzionali e come accennato nel paragrafo 1.1, hanno mobilità simmetriche di tipo n e p, rendendoli così ideali per la realizzazione di amplificatori analogici complementari riducendo i fenomeni di non linearità. In questo modo si andrà ad aumentare drasticamente l'efficienza energetica e a ridurre la rumorosità dei circuiti analogici nei sistemi di trasmissione/ricezione (Tx/Rx). Anche la gestione dell'alimentazione mediante lo spegnimento dei circuiti inattivi su chip è un elemento importante che permette di ridurre ulteriormente il consumo di energia.

Si andranno quindi a progettare, sviluppare, produrre e dimostrare nuovi componenti basati su due tecnologie dei materiali, completamente integrate realizzando due dimostratori per radar e applicazioni IOT/wireless per dimostrare il concept del progetto che implementano la gestione dell'alimentazione e che andranno a rappresentare la prossima generazione di tecnologia hardware per le telecomunicazioni, applicazioni radar, comunicazioni satellitari e applicazioni IOT.

L'obiettivo principale è quello di aumentare la capacità di servizio e colmare il cosiddetto divario digitale sociale e/o geografico. Ci sono molte problematiche ancora aperte nell'ambito ICT a livello di software/elaborazione dati (protocollo, spettro, gestione e ottimizzazione delle forme d'onda) e a livello hardware. Quest'ultimo è molto più critico in quanto richiede un investimento infrastrutturale più pesante e pone sfide tecnologiche più difficili da risolvere. L'uso di frequenze d'onda millimetriche (sopra i 20 GHz) e l'utilizzo di tecnologie di guida adattiva a più fasci di antenne sono due elementi fondamentali che migliorano a livello hardware la capacità di trasferimento dai dati.

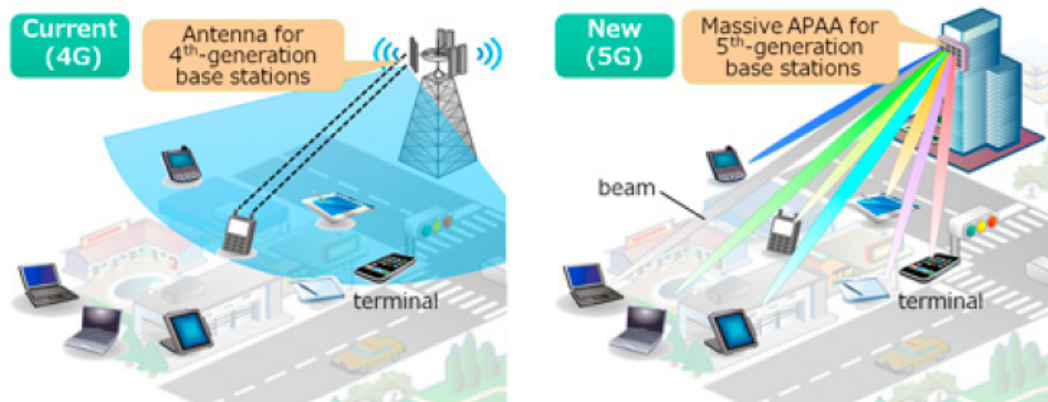


Figura 1.10: Dimostrazione tecnologia MIMO per applicare il multiplexing nel 5G [15]

Con il 5G si avrà una migrazione delle frequenze di lavoro oltre i 6 GHz (10 GHz, 28 GHz e infine fino a 86 GHz) che sono tutt'ora oggetto di discussione [10]. All'aumentare della frequenza, la precisione della formazione del fascio d'antenna è sempre più elevata ma anche più sensibile alle condizioni ambientali esterne (ad esempio temperatura, umidità, rumore RF e invecchiamento del sistema) [16]. Tuttavia, man mano che la tecnologia MIMO va ad espandersi nell'elettronica di consumo, si avrà la necessità di avere dei sistemi elettronici con capacità di autotaratura [17] [18] del fascio di antenne che si traduce in un basso costo. I moderni sistemi elettronici intelligenti dovranno essere in grado di rilevare temperatura, umidità e interferenze RF [19] per compensare tali effetti indesiderati in tempo reale e garantire la ricalibrazione della risposta dell'array di antenne. Un sistema intelligente che avrebbe la capacità di autoriconfigurazione in tempo reale per compensare le mutevoli condizioni ridurrebbe drasticamente la potenza richiesta e fa aumentare la disponibilità del collegamento wireless.

Il problema attuale con i sistemi transceiver esistenti è che sono monitorati e controllati esternamente. Per esempio, il monitoraggio dello stato di salute in termini di surriscaldamento è implementato a livello di sistema [20]: viene infatti monitorata la temperatura della scheda e i surriscaldamenti vengono segnalati tramite la logica di controllo esterna che è quindi responsabile delle azioni correttive. Questo a sua volta significa che per ogni sistema, la simulazione termica è necessaria per definire la corrispondenza tra la temperatura di giunzione tra l'amplificatore di potenza e il livello di temperatura misurato sulla scheda. Anche l'umidità è un problema nel sistema wireless, in particolare all'aumentare della frequenza.

Attualmente in genere non viene implementato alcun rilevamento dell'umidità e il funzionamento è assicurato sigillando ermeticamente l'intero sistema (come nelle applicazioni radar) o chiedendo all'utente di evitare condizioni fuori specifica.

Inoltre, la densità dei nodi wireless sta aumentando vertiginosamente (come nell'IOT) e quindi l'interferenza RF sta gradualmente diventando un problema importante. 5G implementa la tecnica beamforming MIMO per migliorare la capacità in una determinata direzione, ma ciò non esclude il crosstalk tra dispositivi che si trovano collocati in spazi limitati (come per esempio nel trasporto pubblico). Nelle implementazioni odierne, l'interferenza RF viene commisurata soltanto in base al rapporto segnale/rumore SNR. Il concetto di sistema elettronico intelligente è quello di integrare tre elementi di rilevamento (temperatura, umidità e potenza RF in ingresso) in ciascun modulo Tx/Rx a livello di chip.

Questa implementazione consentirà due funzioni intelligenti:

- **Monitoraggio dello stato di salute:** per esempio declassamento della potenza dell'HPA in caso di surriscaldamento o arresto completo del sistema.
- **Compensazione attiva** di imprecisioni nella fase e intensità delle implementazioni MIMO in tempo reale a seconda delle condizioni dell'ambiente circostante, ciò consentirà una maggiore precisione di puntamento del raggio e una ridotta necessità di imballaggio ermetico. In questo modo si riesce ad ottenere un sistema MIMO ad alta precisione.

Attualmente l'elettronica analogica è dominata dai semiconduttori Si, SiGe, GaAs e GaN. Tuttavia si è a lungo dibattuto sul fatto che i semiconduttori convenzionali non sono facili da ridimensionare oltre un certo punto [21]. Le applicazioni mobili ad alta potenza come i radar si stanno già spostando verso moduli Rx/Tx basati su GaN ma i dispositivi mobili di alimentazione hanno un disperato bisogno di un nuovo sistema di materiali in grado di fornire una migliore efficienza e che lavorino anche a tensioni molto basse. I moderni progetti europei si basano sullo studio di due nuovi materiali semiconduttori (già accennati nel paragrafo 1.1) [22] che risultano essere più promettenti per l'elettronica e possono essere considerati come possibili candidati sostituti del silicio. I CNT [6] sono infatti materiali elettronici unici con mobilità del vettore a temperatura ambiente superiore a $100.000 \text{ cm}^2/\text{V}/\text{s}$ e un bandgap di 0,9 eV, simile a quello del silicio [23]. L'elevata mobilità rende i FET CNT ottimi per amplificatori a bassa potenza e l'elevata velocità di saturazione degli elettroni porta al funzionamento previsto nella banda sub-THz [24]. Il diametro ultra-ridotto consente un'efficace conducibilità monodimensionale che implica, potenzialmente, un rumore shot molto ridotto ed una migliore linearità. Un ulteriore vantaggio delle dimensioni ridotte è la capacità corrispondente estremamente bassa, che si traduce in elevate velocità operative sia in termini di switching che in termini di banda passante.

Allo stesso modo, anche i materiali 2D sono emersi di recente come potenziali candidati perchè offrono una mobilità molto più elevata rispetto al silicio e sono compatibili con il bandgap con l'elettronica ($\simeq 1eV$).

Attualmente, nei tipici sistemi transceiver, HPA, LNA, switch RF, antenna e la gestione dell'alimentazione viene tutto implementato a livello di board. Ciò si traduce in costi elevati, dimensioni significative e importanti perdite di potenza soprattutto all'aumentare della frequenza di lavoro. Uno dei maggiori ostacoli adottando l'integrazione 3D nel silicio è la temperatura necessaria durante l'elaborazione del dispositivo, questo rende l'incorporazione di tale tecnologia in uno stack 3D problematico che porta a prestazioni non ottimali dei componenti realizzati. La tecnologia dei materiali CNT e 2D non richiede un processo ad alta temperatura. L'idea è quindi quella di andare a realizzare un modulo Tx/Rx completamente integrato che include:

- Intero percorso del ricevitore (**LNA e Filtri**)
- Parte trasmissiva (**HPA**)
- La **commutazione** per collegare l'antenna a ricevitore o trasmettitore
- **Circuiti per la gestione dell'alimentazione** che assicurano che i componenti non utilizzati non consumino energia
- I **sensori** di temperatura, umidità e interferenze RF

Ciò si ottiene mediante l'integrazione 3D monolitica, in cui sono presenti pile di circuiti fabbricati in sequenza uno sopra l'altro. Questo approccio non solo aumenta la densità del dispositivo, ma riduce anche le perdite di potenza e consente una maggiore frequenza operativa che è un obiettivo importante nei futuri sistemi transceiver. L'obiettivo è quindi quello di raccogliere i vantaggi di diverse tecnologie su un unico chip integrato monolitico e di ottenere una drastica riduzione dell'ingombro.

1.3 Obiettivo della tesi

I moderni progetti europei [11] svilupperanno una nuova piattaforma tecnologica basata su nanotubi di carbonio ed elettronica dei materiali 2D, che sostituirà l'elettronica al silicio. Ciò aprirà la strada a circuiti integrati front-end di trasmissione/ricezione monolitici intelligenti di prossima generazione in grado di operare a radiofrequenza (RF) e di gestire l'alimentazione con efficienza elevata. Questo lavoro di tesi, svolto presso il Dipartimento di Ingegneria Dell'Informazione (DII) dell'Università Politecnica delle Marche, riguarda il progetto e simulazione su Cadence Virtuoso del circuito di gestione del consumo di potenza e di amplificatori a radiofrequenza su circuiti integrati a livello schematico per valutare le prestazioni effettive dei dispositivi elettronici a bassa dimensionalità costituiti da nuovi materiali in modo da capire l'effettiva realizzabilità a livello circuitale.

Capitolo 2

Sintesi del Circuito di Power Management

2.1 Introduzione al transistor MoS₂

Il crescente interesse per i dispositivi e circuiti a semiconduttore bidimensionali (2D) [25] ha portato a forti sviluppi nella fabbricazione di materiali 2D oltre il grafene, infatti i semiconduttori stratificati includono la transizione ai metalli dicalcogenuri (TMD) come il solfuro di molibdeno MoS₂. Lo spessore di un singolo layer di tali materiali 2D è definito come la spaziatura degli strati dalla diffrazione dei raggi X del substrato del materiale, ed è tipicamente inferiore a 1 nm (per il MoS₂ si ha un spessore di $t_{2D} = 6.15 \text{ \AA}$). Il singolo layer di molti materiali presenta delle difficoltà nell'isolamento e nelle misurazioni a causa delle instabilità nelle condizioni ambientali, mentre il MoS₂ gode di un'ottima stabilità dal punto di vista delle proprietà elettriche [26] anche in presenza di un'area sufficientemente estesa. Lo spessore ridotto del layer che funge da canale del transistor, permette di avere un ottimo controllo del canale e conseguentemente di minimizzare l'effetto di canale corto tipico dei transistori al silicio (MOSFET). Il transistor al MoS₂ presenta un'elevata mobilità dovuta proprio dalla bassa dimensionalità del canale. Il modello del transistor in esame è lo Stanford 2D Semiconductor (S2DS) messo a disposizione dall'Università di Stanford (nanohub.org) [27].

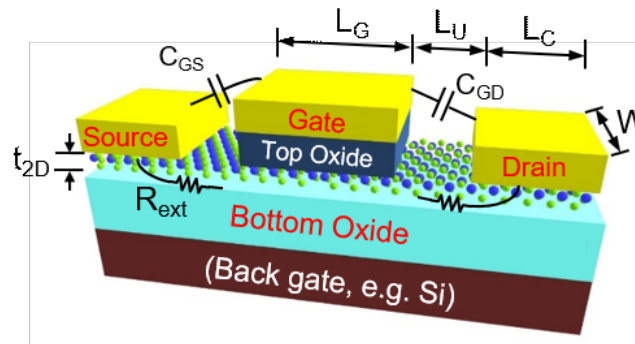


Figura 2.1: Struttura del transistor 2D con singolo layer al MoS_2 [26]

Come si può notare dalla figura 1.1 sono presenti i seguenti parametri caratterizzanti la struttura del transistor:

- W : larghezza di canale
- t_{2D} : spessore di canale
- L_G : lunghezza del gate
- L_U : distanza agli estremi tra gate e source/drain
- L_C : lunghezza dei contatti di source/drain
- C_{GS} : capacità tra gate e source
- C_{GD} : capacità tra gate e drain
- R_C : resistenza di contatto
- R_U : resistenza caratterizzante del layer tra gate e source/drain
- R_{ext} : resistenza esterna complessiva

Il substrato può essere drogato con degli atomi di silicio (Si), oppure può essere un substrato flessibile polimerico che funge da isolante elettrico. Per caratterizzare il funzionamento del dispositivo elettronico si utilizza il modello di Jimenez [26] in modo da poter derivare le caratteristiche correnti-tensioni, tenendo conto di caratteristiche estrinseche dovuti dalla presenza dei campi elettrici di intensità non trascurabile. La struttura a bande del MoS_2 presenta 2 bande di conduzione (punto K e punto Q, quest'ultimo al centro della zona di Brillouin) separate da un gap energetico pari a ΔE_{KQ} proporzionale a $k_B T$.

Come si può notare dalla figura 2.2 (b) sono presenti le seguenti grandezze caratterizzanti lo schematico:

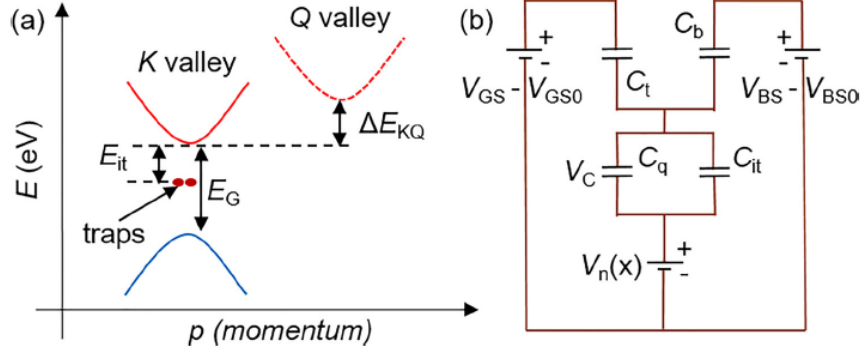


Figura 2.2: (a) Grafico bande di conduzione. (b) Schematico per il calcolo della carica presente sul canale a layer di MoS₂ [26]

- V_{GS} : differenza di potenziale tra gate principale (top) e source
- V_{BS} : differenza di potenziale tra gate secondario (back) e source
- V_{BS0} : tensione di banda piatta tra gate principale (top) e source
- V_{GS0} : tensione di banda piatta tra gate secondario (back) e source
- C_t : capacità dell'ossido del gate principale (top)
- C_b : capacità dell'ossido del gate secondario (back)
- C_q : capacità quantistica del layer MoS₂
- C_{it} : capacità dovuta alle trappole di carico sull'interfaccia canale-ossido
- ϵ_{OX} : costante dielettrica dell'ossido del gate principale (top)
- ϵ_{BOX} : costante dielettrica dell'ossido del gate secondario (back)

La seguente espressione descrive la densità di carica:

$$n_{2D} = \int_0^{\infty} DOS_{2D}(E)f(E)dE \quad (2.1)$$

in cui $DOS_{2D}(E)$ è la densità degli stati 2D corrispondente agli stati energetici più bassi mentre $f(E)$ rappresenta la distribuzione di Fermi-Dirac. Il livello energetico

corrispondente all'energia di Fermi è pari a $E_F = q V_C$, in cui V_C è la tensione ai capi della capacità quantistica C_q . Semplificando l'espressione che descrive la densità di carica si ottiene l'espressione $n_{2D} = N_{2D} \ln(1 + \alpha)$, $\alpha = \exp[\frac{qV_C - E_0}{k_B T}]$, $E_0 = E_G/2$

Si ha quindi:

$$N_{2D} = \frac{k_B T g_K m_{\text{effK}}}{\pi \hbar^2} + \frac{k_B T g_Q m_{\text{effQ}}}{\pi \hbar^2} \exp\left[-\frac{\Delta E_{KQ}}{k_B T}\right]$$

(2.2)

- E_0 : Energia banda di conduzione
- $-E_0$: Energia banda di valenza
- g_K, g_Q : sono le degenerazioni delle curve K e Q
- $m_{\text{effK}}, m_{\text{effQ}}$: sono le masse effettive corrispondenti alle curve K e Q
- ΔE_{KQ} : separazione energetica tra le 2 bande di conduzione K e Q

Per il transistor a layer di MoS_2 si hanno: $g_K = 2, g_Q = 6, m_{\text{effK}} = 0.48m_0, m_{\text{effQ}} = 0.57m_0, \Delta E_{KQ} \simeq 0.11\text{eV}, E_G \simeq 1.85\text{eV}$

La seguente espressione descrive invece la quantità di carica nel canale del transistor MoS_2 e tiene conto anche delle impurità di drogaggio e delle trappole di carica (modellate come atomi accettori):

$$Q_{\text{ch}} = -q[N_{\text{Dop}} + N_{\text{it}} + n_{2D}] \quad (2.3)$$

Le trappole di cariche sono situate dal punto di vista energetico al di sotto della banda di conduzione al livello E_{it} e vengono descritte da una funzione densità effettiva di intrappolamento D_{it} che viene assunta, per semplicità di modello, come una funzione delta. Il numero di cariche intrappolate N_{it} può essere descritto come segue:

$$n_{2D} = \int_{-E_0}^{E_0} D_{\text{it}} f(E) dE = \frac{D_{\text{it}}}{1 + \exp\left(\frac{E_0 - E_{\text{it}} - qV_C}{k_B T}\right)} \quad (2.4)$$

Le capacità C_q e C_{it} vengono descritte come segue:

$$\begin{cases} C_q = q \frac{dn_{2D}}{dV_C} = \frac{q^2 N_{2D} \alpha}{(1+\alpha)k_B T} \\ C_{\text{it}} = q \frac{dN_{\text{it}}}{dV_C} = \frac{q^2 D_{\text{it}} \alpha \beta}{(\beta+\alpha)k_B T} \end{cases} \quad \text{in cui } \beta = \exp\left(\frac{-E_{\text{it}}}{k_B T}\right)$$

$V_{GS} - V_{GS0}$ e $V_{BS} - V_{BS0}$ sono le cadute di tensione interne rispettivamente dal top-gate e del back-gate, questi valori di tensione vengono utilizzati per raccordare i parametri simulati con i dati sperimentali. Per ottenere un'espressione per la corrente di drain [28] per tutte le regioni operative dei transistor si tiene in considerazione il valore del percorso libero medio sperimentale dei portatori di carica che risulta essere per il monolayer al MoS₂ compreso tra 2 e 3 nm, questa approssimazione ci permette di utilizzare l'approccio semi-classico mostrato in seguito per la quale gli effetti di dispersione dei bordi possono essere ignorati. La corrente può essere espressa dalla seguente equazione:

$$I_D = \frac{\mu W}{L_G} [N_{2D} k_B T \alpha + q^2 \ln 1 + \alpha^2 - \frac{N_{2D} q^2 D_{it} \beta}{(C_t + C_b)(\beta - 1)} (\frac{(1 + \alpha) \ln 1 + \alpha}{\alpha + \beta} - \ln \alpha + \beta)]_{V_{Cd}}^{V_{Cs}} \quad (2.5)$$

In cui μ è la mobilità dei portatori di carica, C_t e C_b sono le capacità per unità di area in corrispondenza del gate principale (top) e del gate secondario (back), α è funzione della tensione V_C . La corrente I_D viene calcolata come differenza dell'equazione 2.5 calcolata tra V_{Cs} e V_{Cd} . Questo modello trascura la corrente diffusiva del Gate, quindi le perdite di potenza possono essere sottostimate. Questo effetto è comunque trascurabile perchè il materiale MoS₂ presenta un bandgap maggiore rispetto ai classici semiconduttori. Per raccordare il modello con i dati sperimentali si introduce il coefficiente di modulazione di lunghezza di canale λ (tipicamente con valori che variano tra 0 e 0.1) nella seguente espressione della corrente effettiva

$$I_{D,eff} = I_D(1 + \lambda V_{DS}) \quad (2.6)$$

Per V_{GS} di grandi dimensioni, tutte le trappole di carica presenti all'interno del layer al MoS₂ vengono caricate e la corrente di drain rimane costante per diversi valori di energia di trappola. La Figura 2.3 mostra l'impatto della quantità di drogaggio del materiale del canale per un transistor ad effetto di campo 2D di tipo n. Un forte drogaggio, infatti, sposta la tensione della banda piatta V_{FB} nella direzione negativa, aumentando la corrente.

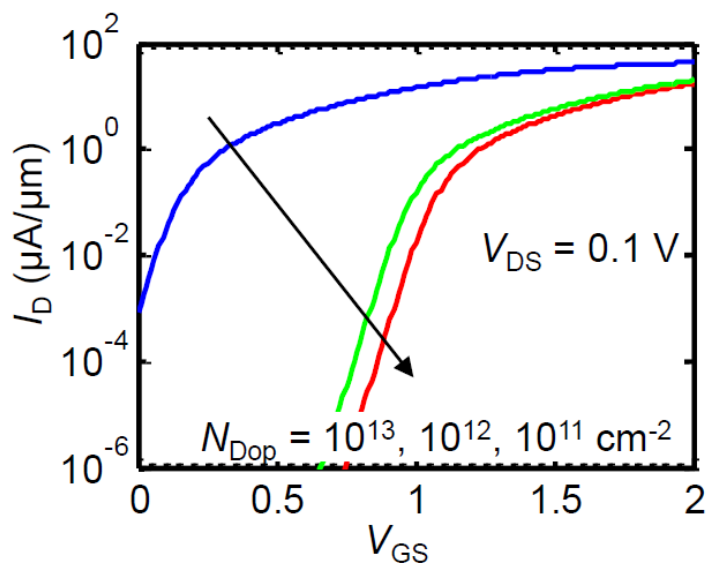


Figura 2.3: Caratteristica $I_D - V_{GS}$ simulata del transistor monolayer al MoS_2 in funzione della densità di drogaggio ($D_{it} = 0$)

In generale, la resistenza estrinseca totale $R_{\text{ext}} = R_U + R_C$ del dispositivo intrinseco include sia la componente dovuta alla regione di underlap che quella di contatto tra metallo e semiconduttore. Il contributo della resistenza R_U può essere ridotto regolando la tensione di gate secondario, inoltre, la resistenza può anche essere ridotta aumentando la mobilità del materiale del canale 2D. La resistenza di contatto R_C per i dispositivi 2D può mostrare un comportamento non lineare rispetto alle tensioni di drain e gate a causa della barriera Schottky sull'interfaccia metallo-semiconduttore. Si consideri l'assunzione che consiste nell'avere un valore di R_C ottimizzato nella fabbricazione e che quindi sia puramente ohmico, approssimazione valida in presenza di un campo laterale più elevato e con una tensione V_{DS} elevata.

La mobilità degli elettroni nei materiali 2D [29] dipende dal campo elettrico verticale e laterale e dalla temperatura. La dipendenza dal campo verticale (gate principale) influisce sulla mobilità tramite la variazione della densità dei portatori di carica. Una maggiore densità dei portatori di carica aumenta il Livello di Fermi andando quindi a schermare la dispersione di carica dalle impurità ionizzate. Tuttavia il campo orizzontale, se elevato, potrebbe influenzare lo scattering del materiale andando quindi ad alterare la velocità di saturazione dei portatori. La dipendenza dalla temperatura della mobilità dipende dalla caratterizzazione del comportamento dei fononi nel layer 2D.

Tenendo presenti le considerazioni di cui sopra [28], adattiamo il comportamento della mobilità (con valori di campo orizzontale ridotti) con la seguente relazione semi-empirica:

$$\mu_{\text{eff}} = \frac{\mu_0}{\left(1 + \frac{F_V}{F_C}\right) \eta \left(\frac{T}{T_0}\right)^\gamma} \quad (2.7)$$

in cui μ_0 è la mobilità effettiva in assenza di campo, T_0 è la temperatura ambiente, e T è la temperatura del dispositivo, F_V è il campo verticale e γ è una costante positiva che dipende dai fononi, mentre i parametri di fitting η e F_C dipendono dal materiale e dalla qualità dell'interfaccia tra contatto metallico e materiale nanostrutturato. Per valori elevati di campo laterale, la velocità di deriva inizia a saturare e la mobilità effettiva diminuisce. Teniamo conto di questo effetto attraverso la seguente relazione semi-empirica:

$$\mu_{\text{eff}} = \frac{\mu_{\text{eff}}}{\left[1 + \left(\frac{\mu_{\text{eff}} F}{v_{\text{sat}}}\right)^\zeta\right]^{\frac{1}{\zeta}}} \quad (2.8)$$

dove ζ è un parametro di raccordo con un valore tipico compreso tra 2 e 4, F è il campo elettrico laterale e v_{sat} è la velocità di saturazione.

2.2 Implementazione circuitale transistor al MoS₂

Si implementa il modello del transistor 2D messo a disposizione dall'Università di Stanford. Cadence Virtuoso è compatibile con il formato Verilog-A con il quale si va a creare il modello simbolico, utile per l'implementazione circuitale a livello di schematico del progetto.

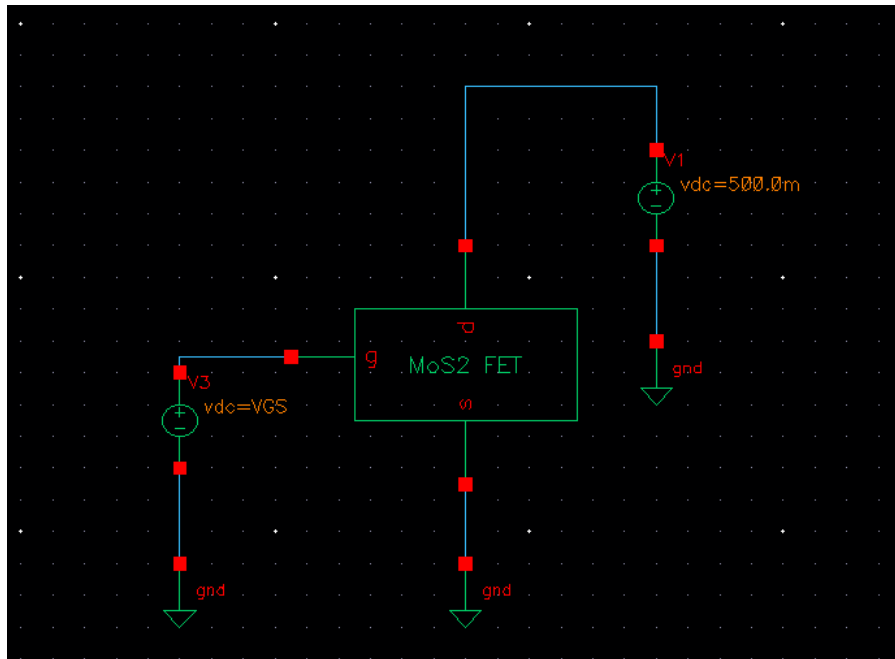


Figura 2.4: Implementazione circuitale transistore 2D (Stanford)

Parametro	Valore di default	Definizione
W	1e-6 [m]	Larghezza di canale
LG	9.4e-6 [m]	Lunghezza di canale
LOV	0 [m]	Lunghezza di overlap
L	9.4e-6 [m]	Lunghezza di canale effettiva
TS	0.65e-9 [m]	Spessore del semiconduttore
TTOP	17.5e-9 [m]	Spessore dell'ossido (gate principale)
TTOP	270e-9 [m]	Spessore dell'ossido (gate secondario)
tp	40e-9 [m]	Spessore del metallo di gate
NSUB	1e12 [cm ⁻²]	Densità delle impurità
Dit	1e10 [cm ⁻²]	Densità trappole di carica (Si-O)
Vgs0 _e , Vgs0 _h	0.6	Tensione di banda piatta (gate principale)
m _e , m _h	0.45m0, 0.64m0	Massa efficace elettroni-lacune
Rce, Rch	200 [Ω·μm]	Resistenza di contatto
eps _t	12.5	Permittività relativa gate principale
eps _b	3.9	Permittività relativa gate secondario
Cif, Cof	1e-12	Capacità frange interne ed esterne
kox	1.4	Conducibilità termica ossido (SiO ₂)
ksi	100	Conducibilità termica substrato (Si)
Rcox	1.2e-8	Resistenza termica semiconduttore-ossido
lambda	0.2	Modulazione resistenza di uscita

Tabella 2.1: Parametri caratterizzanti del transistor 2D (Stanford) [27]

Parametro	Valore	Unità di misura
W	Da dimensionare	m
$L = L(L_g)$	Da dimensionare	m
$V_{gs0_e} = V_{gs0_h}$	-1	V

Tabella 2.2: Parametri di progetto del modello implementato

La tabella 1.1 mette in evidenza i parametri fondamentali di progetto, di notevole importanza sono infatti anche le tensioni di bandapiatta del contatto metallico che portandole ad un valore negativo si riesce ad implementare un modello conforme con le caratteristiche del transistor con canale a layer di MoS₂.

A questo punto si va a graficare la transcaratteristica del transistor per stabilire il suo punto di lavoro.

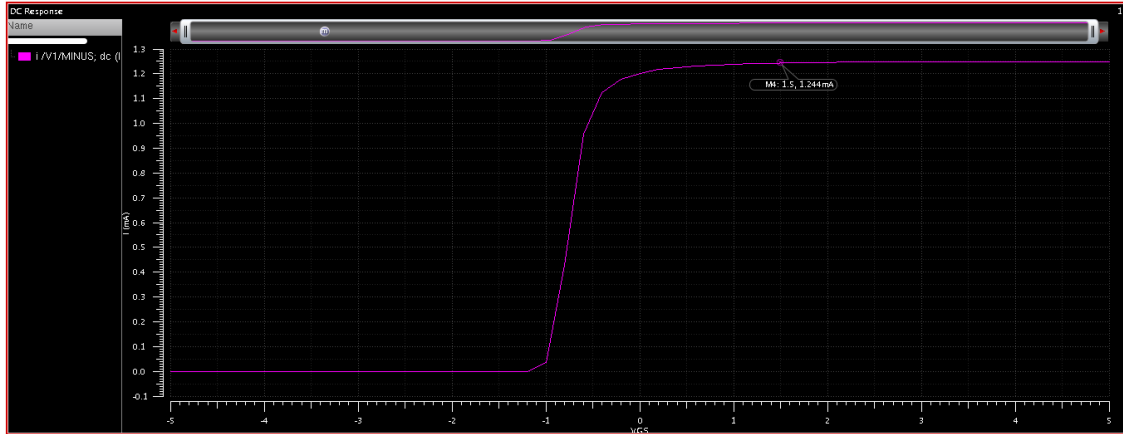


Figura 2.5: Transcaratteristica del transistor 2D (Stanford)

In seguito vengono mostrati i parametri di progetto relativi alla simulazione di figura 1.3

Parametro	Valore	Unità di misura
W/L	2000/1	μm
V_{gs}	1.5	V
V_{ds}	0.5	V
I	1.2	mA
V_{gs}^{OFF}	-1.5	V
V_{gs}^{ON}	1.5	V

Tabella 2.3: Parametri della simulazione di figura 1.3

2.3 Progetto inverter logico al MoS₂

A questo punto si procede con la progettazione della porta logica NOT in tecnologia MoS₂.

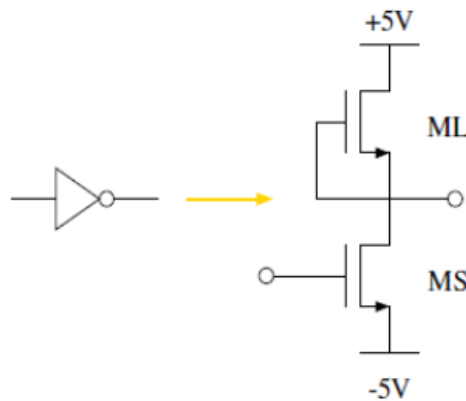


Figura 2.6: Porta logica NOT

Tenendo conto che il trasporto di carica in questo tipo di transistor è dovuto da elettroni e da un'alimentazione bipolare di 5 V, si procede con la realizzazione dell'inverter logico NOT in configurazione di corto circuito di gate-source nel transistor di pull-up.

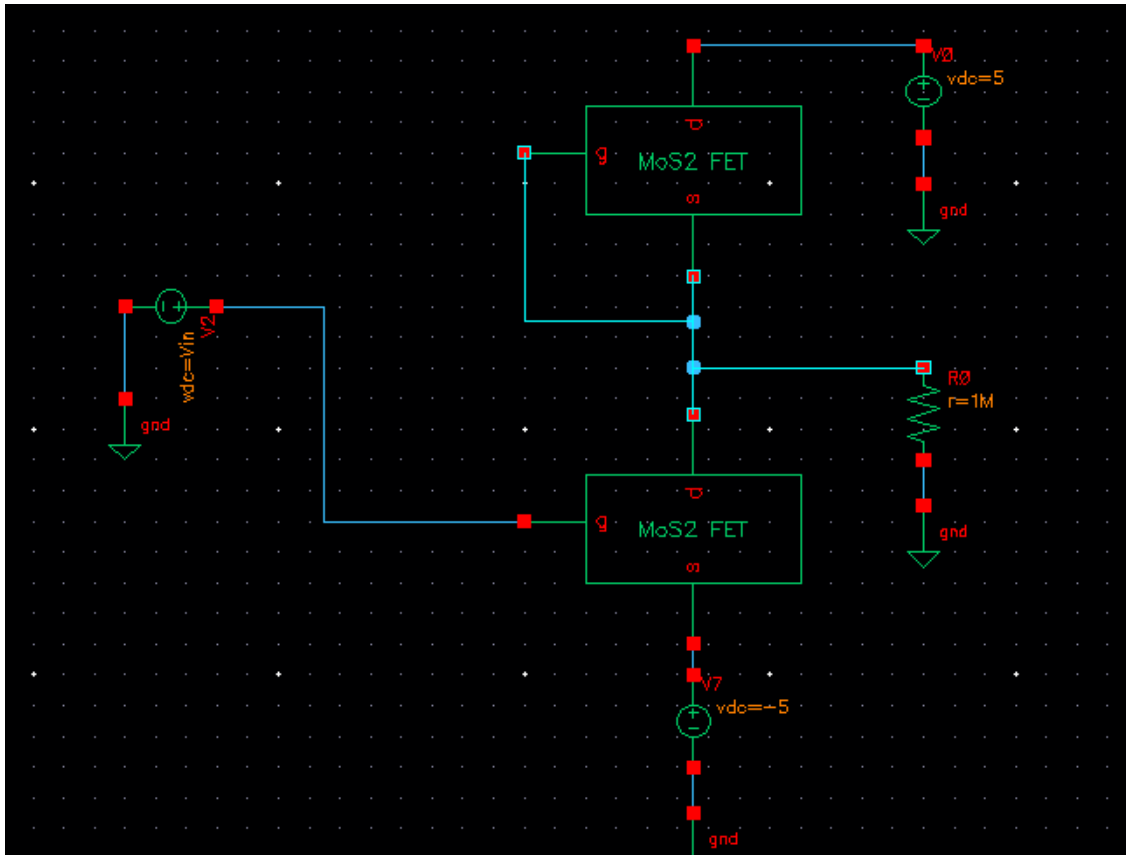


Figura 2.7: Implementazione circuitale porta logica NOT su Cadence Virtuoso

Parametro	Valore	Unità di misura
$W/L_{pull-up}$	100/1	μm
$W/L_{pull-down}$	1/1	μm

Tabella 2.4: Parametri della simulazione di figura 1.5

Il circuito mostra le seguenti prestazioni in termini di caratteristica ingresso-uscita.

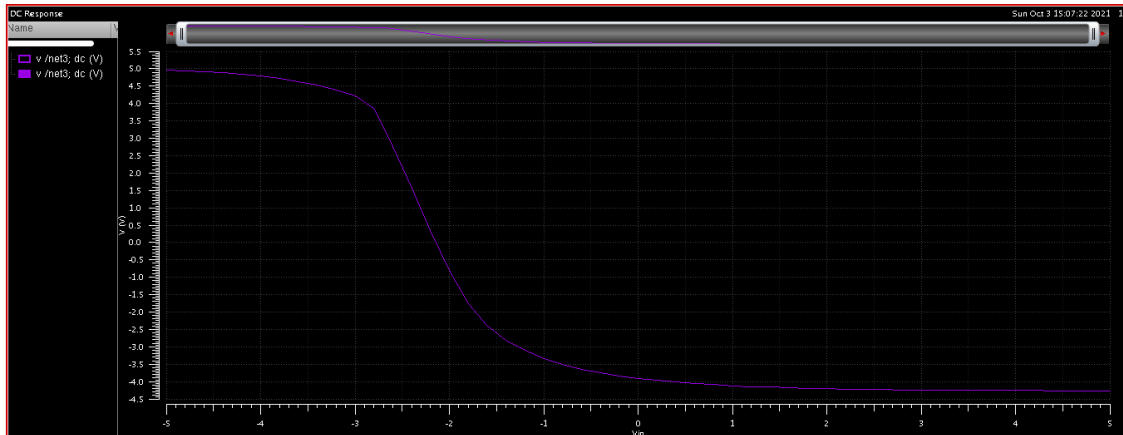


Figura 2.8: Tensione di uscita in funzione di quella di ingresso

2.4 Progetto circuito di power management al MoS₂

Il circuito di gestione della potenza deve essere in grado di sostenere un valore di corrente pari a 10 mA, sul carico vi è una caduta di tensione pari a 2 V. Tenendo conto di una tensione gate-source pari a 1.5 V per far sì che il transistor conduca, si avrà di conseguenza una caduta di tensione complessiva sul drain di circa 3.5 V.

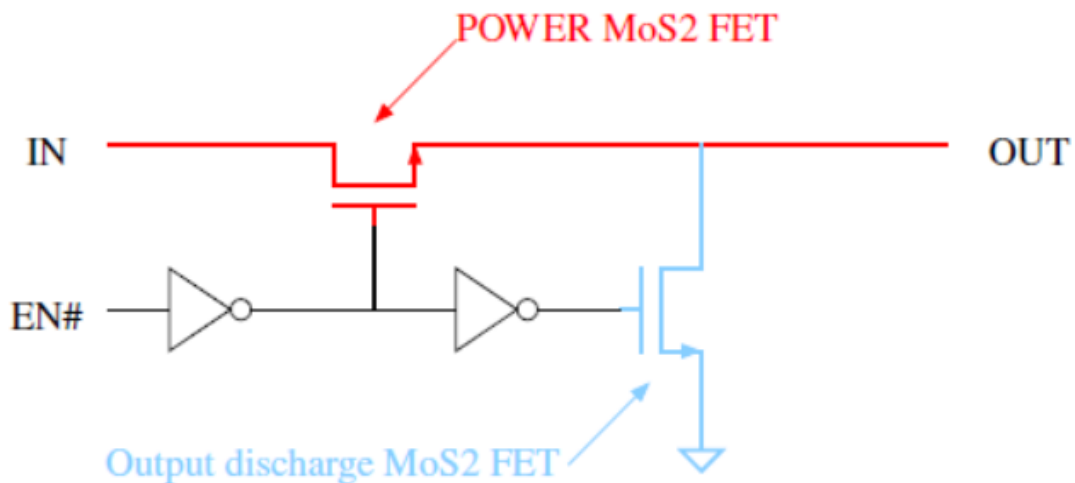


Figura 2.9: Schema circuito di power management

Il Fet di potenza dovrebbe sostenere una corrente di 10 mA, con questo tipo di tecnologia si riesce però ad avere come corrente massima un valore di circa 1 mA. Tenendo conto di questo limite, si è comunque dimensionato il circuito rispettando i valori di tensione di pilotaggio e sul carico.

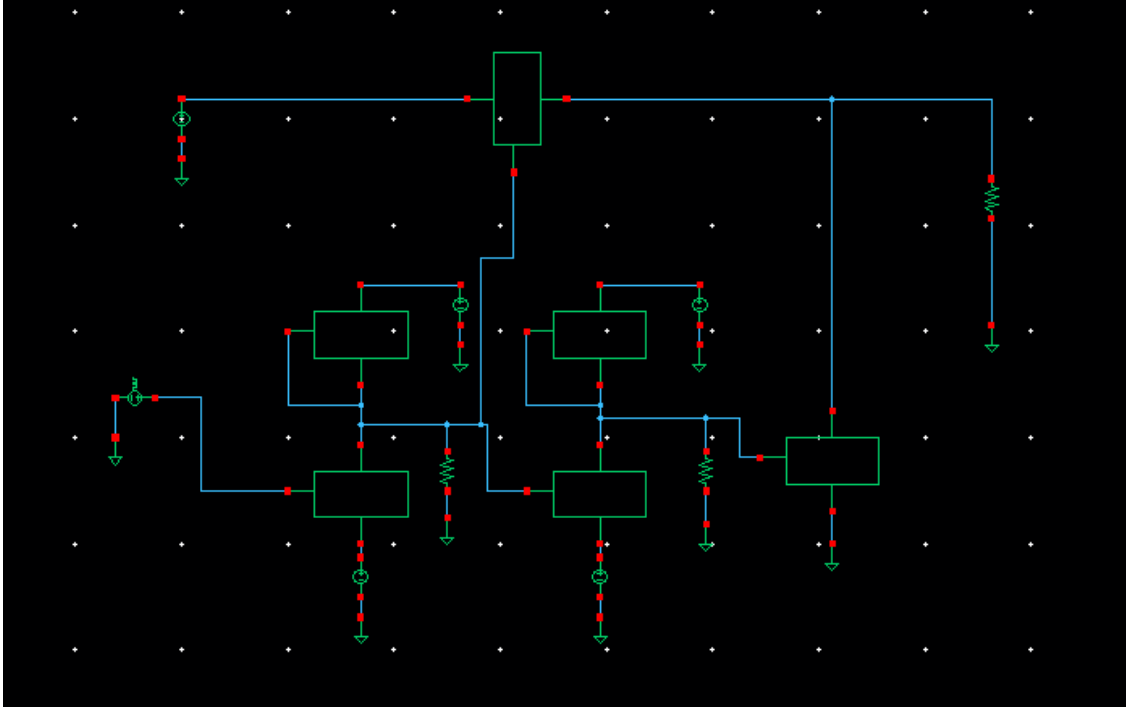


Figura 2.10: Implementazione circuitale circuito di power management su Cadence Virtuoso

Si dimensionano i fattori di forma dei FET di potenza e di scarica tenendo conto dei limiti tecnologici e dimensionali ma anche in base alla velocità di commutazione desiderata (transistori troppo grandi implicano delle commutazioni poco veloci).

Parametro	Valore	Unità di misura
$W/L_{powerFet}$	2000/1	μm
$W/L_{dischargeFet}$	100/1	μm
R_{load}	2	$k\Omega$
V_{load}	2	V
I_{load}	1	mA
V_{in}	2.5	V

Tabella 2.5: Parametri della simulazione di figura 1.8

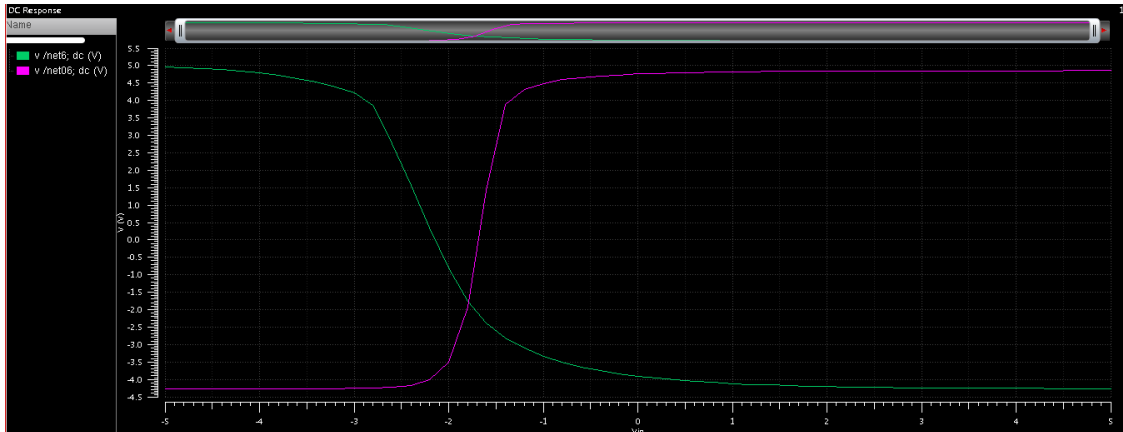


Figura 2.11: Tensioni sui 2 gate (FET di potenza in verde e FET di scarica in viola) in funzione della tensione di pilotaggio

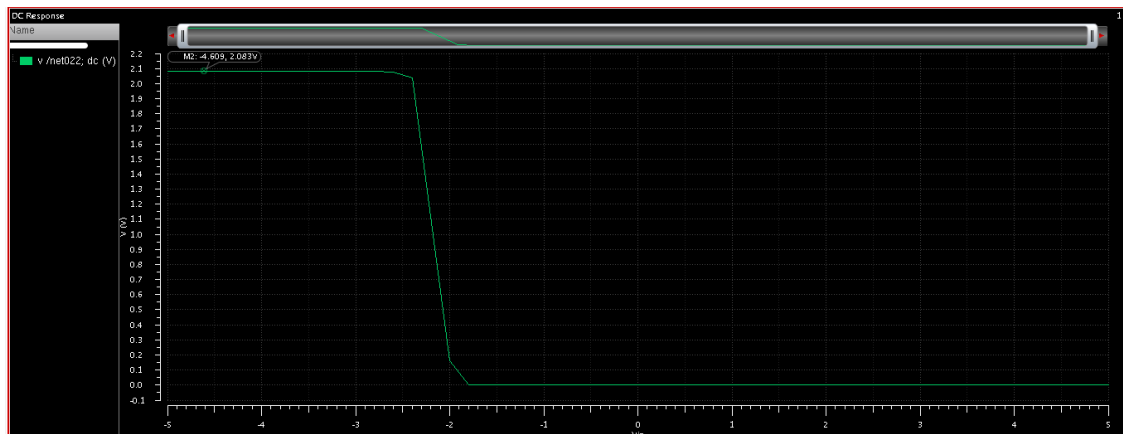


Figura 2.12: Tensione di uscita in funzione della tensione di pilotaggio

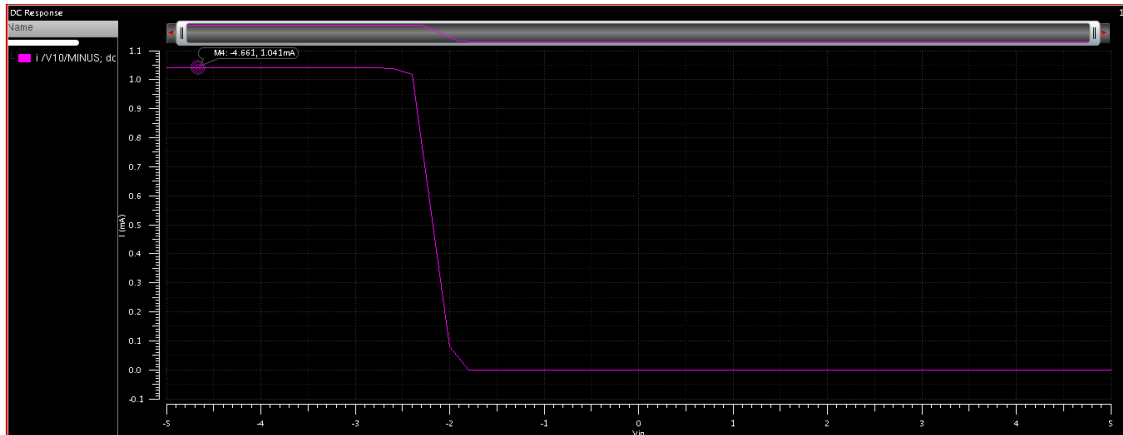


Figura 2.13: Corrente di uscita in funzione della tensione di pilotaggio

Modello del transistore al MoS₂ è stato implementato in ambiente di simulazione Cadence Virtuoso tramite modello Verilog-A dell'università di Stanford [27]. La corrente di uscita minima necessaria che deve essere fornita al carico è di almeno 10 mA. La tensione sul carico in uscita è pari a 2 V. La tecnologia per la lunghezza di canale è fissata ad 1 μ . Il singolo transistore, con la tecnologia implementata, riesce a sostenere un massimo di 1 mA di corrente con un aspect ratio pari a 2000/1. Il progetto di questo circuito si è soffermato sull'implementare il circuito di power management tenendo anche conto di questa limitazione imposta dalla tecnologia 2D. Tramite la tecnologia al MoS₂ è comunque possibile implementare degli inverter logici con uno swing di tensione sufficiente a garantire il corretto pilotaggio degli switch di potenza e di scarica. La caratteristica principale di questi transistori è quella di presentare un tensione di soglia negativa, comportamento simile ai mosfet di tipo depletion. Dopo varie simulazioni ed ottimizzando i valori di aspect ratio dei transistori, è stato possibile verificare la fattibilità nella realizzazione dell'inverter logico al MoS₂ tenendo conto dei vincoli progettuali dovuti dalla tecnologia che richiedono un preciso ed ampio swing di tensione per poter polarizzare correttamente i transistori di potenza e di scarica.

Capitolo 3

Sintesi di amplificatori a radiofrequenza in tecnologia nanotubi di carbonio

3.1 Introduzione al transistor CNT FET

Il modello Stanford [30] per il transistor ai nanotubi di carbonio è un modello semi-empirico che descrive le caratteristiche della tensione di corrente I e della tensione di capacità V in un semiconduttore a ossido di metallo a canale corto transistor ad effetto di campo (MOSFET) con nanotubi di carbonio come materiale del canale. Il modello tiene conto delle proprietà dimensionali effettive del dispositivo reale e include la resistenza parassita (contatto CNT-metallo ed estensioni drogate), capacità parassita (capacità di accoppiamento mate-to-metal e capacità marginale metallo-CNT) e correnti di dispersione dovute dall'effetto tunnel (tunneling diretto da sorgente a drenaggio e tunneling da banda a banda di giunzione gate-drain).

La corrente di drain e la quantità di carica ai terminali del dispositivo vengono calcolate sulla base del concetto di source virtuale: la corrente di drain I_D è data dal prodotto tra la densità dei portatori di carica e la loro velocità (parametri che vengono ricavati dalle caratteristiche sperimentali del transistor) al source virtuale che viene definito come la parte superiore della barriera di energia nella curva di dispersione, in cui il campo elettrico laterale è piccolo e il potenziale è per lo più governato dalla tensione di gate. La caratterizzazione dei parametri parassiti [31] comprende le resistenze serie di contatto e di source/drain, capacità parassite e perdite di corrente dovute dall'effetto tunnel.

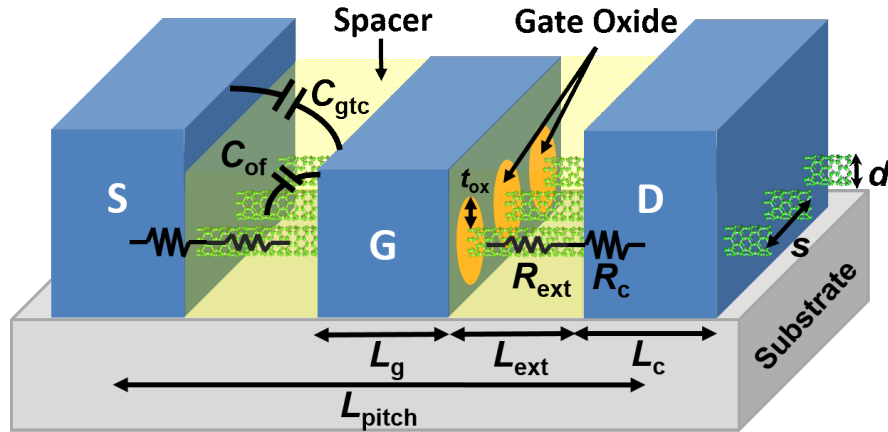


Figura 3.1: Struttura del transistoro CNT

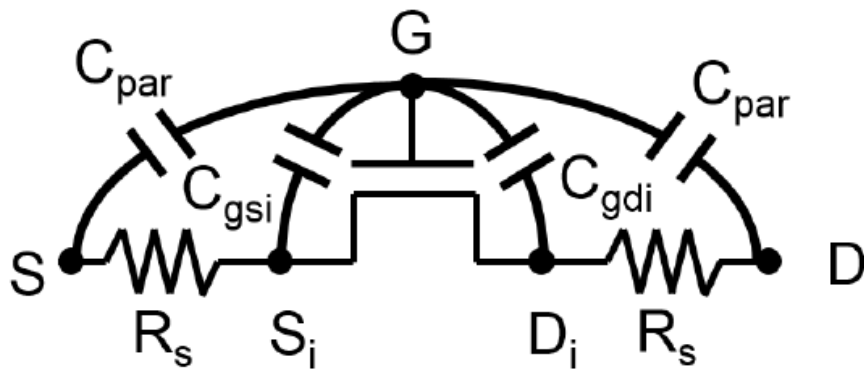


Figura 3.2: Schema del transistoro CNT

La figura 3.1 descrive la struttura del modello descritto in configurazione Gate-All-Around con regioni di source e drain fortemente drogate, si trascura l'effetto body per via dello spessore dell'isolante (in SiO_2) quindi il modello risulta essere un transistor a 3 terminali. I CNTFET di tipo P hanno un comportamento perfettamente simmetrico [31] [32] con i CNTFET di tipo n, le caratteristiche di I-V e C-V sono infatti le stesse a parità di $|V_{gs}|$ e $|V_{ds}|$ data la simmetria della banda di conduzione e della banda di valenza tipica dei nanotubi al carbonio. La figura 3.2 mostra i contatti interni di drain e source e relative resistenze di contatto e capacità intrinseche rispetto il gate, le tensioni V_{gs_i} e V_{ds_i} denotano le tensioni rispetto i contatti interni.

La tabella successiva mostra i parametri impostabili nel modello ai fini della progettazione circuitale:

Nome	Valori ammessi	Descrizione
Tipo	-1 , 1	-1 : pFET , 1 : nFET
s	[2.5e-9:inf)	Distanza centro-centro tra 2 nanotubi adiacenti
W	[s:inf) [m]	Larghezza di canale
Lg	[5e-9:100e-9] [m]	Lunghezza fisica di gate
Lc	[1e-9:inf) [m]	Lunghezza di contatto
Lext	(0:inf) [m]	Lunghezza estensione source/drain
d	[1e-9:2e-9] [m]	Diametro CNT
tox	[1e-9:10e-9] [m]	Spessore ossido di gate
kox	[4:25]	Costante dielettrica ossido di gate
kcnt	1	Costante dielettrica CNT
ksub	[1:kox)	Costante dielettrica substrato
kspa	[1:16)	Costante dielettrica separatore s-d
Hg	[0:inf) [m]	Altezza di gate
Efsd	[-0.1:0.5] [eV]	Livello di fermi source-drain
Vfb	[-1:1] [V]	Tensione di banda piatta
Geomod	1,2,3	Geometria dispositivo
Rcmod	0,1,2	Modalità di contatto
Rs0	[0:inf) [Ω]	Resistenza serie
SDTmod	0,1,2	Tipologia tunneling source-drain
BTBTmod	0,1	Tipologia tunneling bande adiacenti (0 : off, 1 : on)
temp	25 [C°]	Temperatura

Tabella 3.1: Parametri di ingresso al modello Stanford del transistor CNT

Il parametro Geomod permette di impostare la geometria del dispositivo secondo 3 diverse tipologie: 1 = Gate cilindrico, 2 = Gate classico con effetto di screening di carica, 3 = Gate classico senza effetto di screening di carica

Il parametro Rcmod permette di impostare la tipologia resistenza di contatto secondo 3 diverse tipologie: 1 = Definita dall'utente (R_{s0}), 2 = Dipendente dal diametro. 3 = Indipendente dal diametro (modello linea di trasmissione) (modello linea di trasmissione)

Il parametro SDTmod permette di impostare la modalità di funzionamento del tunnelling secondo 3 diverse tipologie: 1 = Inattivo, 2 = Attivo con tunnelling intra-bande, 3 = Attivo senza tunnelling intra-bande

Le equazioni fondamentali [31] per il calcolo della corrente di drain al source virtuale I_{VS} sono le seguenti:

$$I_{VS} = Q_{X0} v_{X0} F_S \quad (3.1)$$

in cui:

$$V_t = V_{t0} - \delta V_{dsi} \quad (3.2)$$

$$F_f = \frac{1}{1 + \exp \frac{V_{gsi} - [V_t - \alpha \phi / 2]}{\alpha \phi}} \quad (3.3)$$

$$\phi_t = \frac{k_B T}{q} \quad (3.4)$$

$$Q_{X0} = C_{inv} \cdot n_{SS} \cdot \phi_t \cdot \ln 1 + \exp \frac{V_{gsi} - [V_t - \alpha \phi_t F_f]}{n_{SS} \phi_t} \quad (3.5)$$

$$V_{DSATs} = \frac{v_{X0} L_g}{\mu} \quad (3.6)$$

$$V_{DSAT} = V_{DSATs} (1 - F_f + \phi_t \cdot F_f) \quad (3.7)$$

$$F_S = \frac{V_{dsi} / V_{DSAT}}{[1 + (V_{dsi} / V_{DSAT})^\beta]^{1/\beta}} \quad (3.8)$$

V_{t0} è la tensione di soglia che trascura l'effetto di abbassamento della barriera indotta dal drain. Il diametro dei nanotubi al carbonio [30] è un parametro fondamentale che governa molte proprietà fisiche del dispositivo tra le quali il bandgap come segue:

$$E_g = \frac{2E_p a_{cc}}{d} \quad (3.9)$$

in cui $E_p = 3$ eV, a_{cc} è la distanza tra 2 nanotubi adiacenti. Molto importante è la chiralità dei nanotubi che va a sua volta a caratterizzare in maniera significativa il comportamento del dispositivo, nel caso in questione consideriamo una chiralità che impone il comportamento semiconduttivo ai nanotubi di carbonio.

Quando la tensione al gate si trova sopra soglia, si accumula la carica di inversione che dipende appunto dalla capacità C_{inv} :

$$Q_{X0} = C_{inv}(V_{gs} - V_t) \quad (3.10)$$

La capacità è legata dalla serie delle capacità di ossido e quantistica:

$$C_{inv} = \frac{C_{ox}C_q}{C_{ox} + C_q} \quad (3.11)$$

Tenendo in considerazione la struttura cilindrica Gate-All-Around [31] la capacità di ossido assume la seguente espressione:

$$C_{ox} = N \cdot \frac{2\pi k_{ox}\epsilon_0}{\ln \frac{2t_{ox}+d}{d}} \quad (3.12)$$

in cui k_{ox} è la costante dielettrica dell'ossido di gate, N è il numero di nanotubi presenti all'interno del transistor. Per quanto riguarda la capacità quantistica, si assume valido il seguente modello empirico:

$$C_q = N \cdot (0.64\sqrt{E_g + 0.1}) \quad (3.13)$$

in cui E_g è l'unità di elettronvolt eV.

Di seguito vengono mostrate i grafici delle simulazioni numeriche del modello inerenti a capacità quantistica

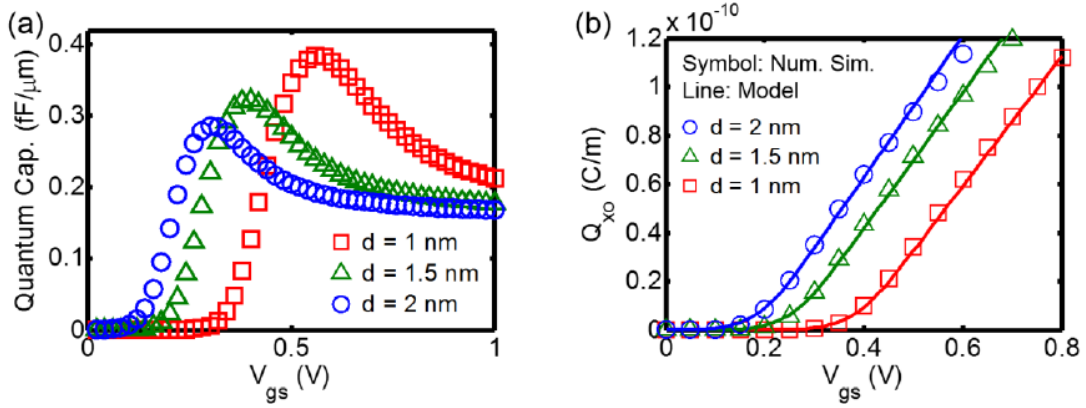


Figura 3.3: (a) Capacità quantistica vs V_{gs} per differenti valori di diametro dei nanotubi (b) Quantità di carica Q_{x0} vs V_{gs} per differenti valori di diametro dei nanotubi

La mobilità [4] apparente tiene conto sia della componente balistica che diffusiva del moto dei portatori e può essere interpretata come il cammino libero medio dei portatori. La mobilità dei portatori [30] assume la seguente espressione:

$$\mu = \frac{GL_g}{qn_s} \quad (3.14)$$

$$G = \frac{4q^2}{h} \int_{E_c}^{\infty} \frac{\lambda_1(E)}{L_g + \lambda_1(E)} \left[-\frac{\partial f(E, E_F)}{\partial E} \right] dE \quad (3.15)$$

$$n_s = \int_{E_c}^{\infty} g(E) f(E, E_F) dE \quad (3.16)$$

in cui G è la conduttanza dei nanotubi al carbonio per bassi valori della tensione V_{ds} , h è la costante di Planck, E è l'energia dei portatori liberi, E_F è il livello di Fermi, f è la funzione distribuzione di Fermi-Dirac, $g(E)$ è la densità degli stati dei nanotubi di carbonio, n_s è la densità dei portatori, mentre λ_i rappresenta il cammino libero medio che è influenzato dall'effetto aggregato di diffusione del fonone ottico e del fonone acustico:

$$\frac{1}{\lambda_i} = \frac{1}{\lambda_{AP}(E, T)} + \frac{1 - f(E + \hbar w_{OP})}{\lambda_{OP,abs}(E, T)} + \frac{1 - f(E - \hbar w_{OP})}{\lambda_{OP,ems}(E, T)} \quad (3.17)$$

in cui $\hbar w_{OP} \simeq 0.18eV$ è il contributo energetico ottico, i pedici *abs* e *ems* corrispondono rispettivamente ai fenomeni di assorbimento e riflessione. Per via della complessità dell'espressione precedente, si assume come espressione della mobilità la seguente equazione:

$$\mu = \mu_0 \frac{L_g}{\lambda_\mu + L_g} \left(\frac{d}{1nm} \right)^{c_\mu} \quad (3.18)$$

in cui $\mu_0 = 1350cm^2/V \cdot s$, $\lambda_\mu = 66.2nmec_\mu = 1.5$ sono parametri empirici.

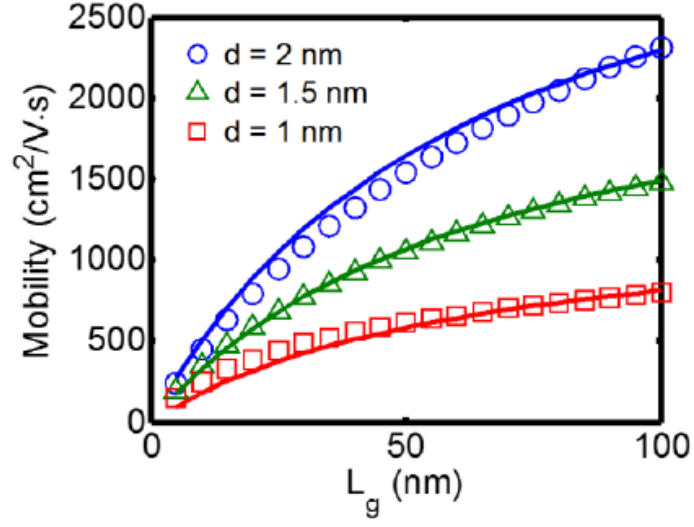


Figura 3.4: Mobilità vs. Lunghezza di gate per diversi valori di diametro dei nanotubi

La velocità di source virtuale assume la seguente espressione:

$$v_{xo} = \frac{\lambda_v}{\lambda_v + 2L_g} v_B \quad (3.19)$$

$$v_B = v_{B0} \sqrt{\frac{d}{d_0}} \quad (3.20)$$

con v_B mobilità al regime balistico. L'equazione 3.20 deriva dalla relazione tra velocità termica v_T e l'espressione per la massa effettiva caratteristica dei nanotubi di carbonio, gli altri parametri sono empirici.

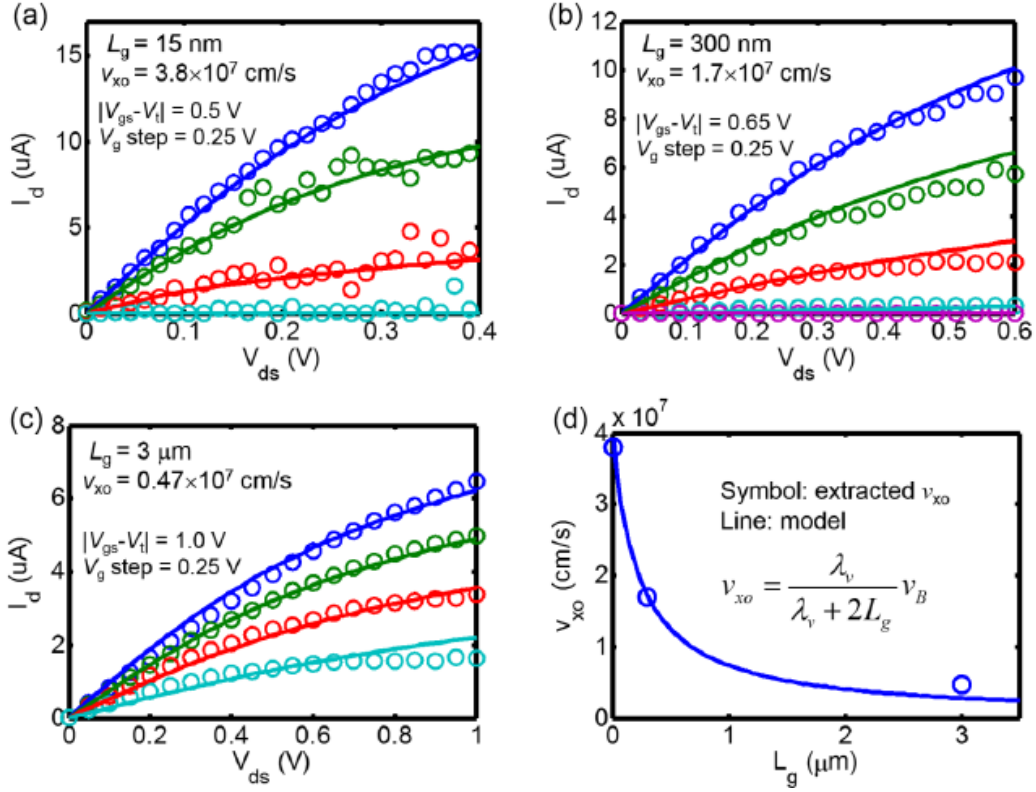


Figura 3.5: Caratteristica di uscita per diverse lunghezze di gate (a) $L_g = 15$ nm (b) $L_g = 300$ nm (c) $L_g = 3$ μm

La resistenza di contatto Metallo-CNT [31] viene modellata tramite il modello linea di trasmissione:

$$2R_C = R_Q \sqrt{1 + \frac{4}{\lambda_c g_c R_Q}} \coth \frac{L_c}{L_T} \quad (3.21)$$

$$L_T = \left[\frac{g_c R_Q}{\lambda_c} + \frac{g_c R_Q}{2} \right]^{-0.5} \quad (3.22)$$

in cui $R_Q = h/4q^2 \simeq 6.5k\Omega$ è la resistenza quantistica, L_c è la lunghezza di contatto, λ_c è il cammino libero medio nei nanotubi di carbonio in corrispondenza del contatto metallico, mentre g_c è la conduttanza di accoppiamento tra il CNT e il contatto metallico. c è un parametro di adattamento empirico e g_c è correlato al diametro CNT per tenere conto dell'osservazione sperimentale di un aumento di R_c al diminuire di d , attribuito ad un aumento della barriera Schottky θ_b :

$$g_c = g_{c0} \exp -\theta_b/E_{00} \quad (3.23)$$

$$\theta_b = E_g/2 \pm \theta_{ms} \quad (3.24)$$

in cui g_{c0} e E_{00} sono parametri empirici, θ_{ms} è la differenza tra le funzioni lavoro del contatto metallico e dei nanotubi di carbonio (segno positivo per il CNTFET tipo n, segno negativo per il tipo p).

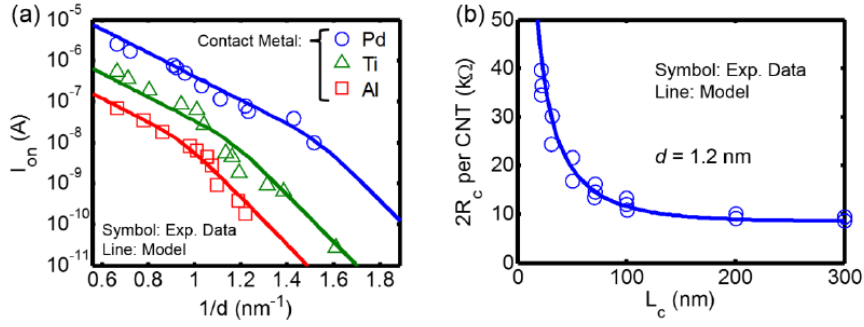


Figura 3.6: (a) I_{ON} vs. $1/d$; (b) R_c vs. L_c

In questo modello di transistor [31], vengono considerati due meccanismi diversi per il tunnelling: tunnelling diretto tra source e drain (SDT) suddiviso a sua volta in tunnelling intra-banda e inter-bande e tunnelling band-to-band (BTBT) alla giunzione gate-drain.

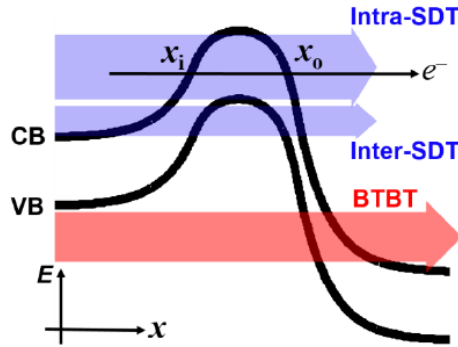


Figura 3.7: Meccanismi di tunnelling

La corrente di tunnelling viene calcolata attraverso l'equazione di Landauer:

$$I = \frac{4q}{h} \int T_e(E) \left[\frac{1}{1 + \exp((E - E_{fs})/kT)} - \frac{1}{1 + \exp((E - E_{fd})/kT)} \right] dE \quad (3.25)$$

in cui T_e è la probabilità di tunnelling, E_{fs} e E_{fd} sono i livelli di Fermi al source e al drain. T_e viene calcolata attraverso l'approssimazione Wentzel–Kramers–Brillouin (WKB):

$$T_e(E) = \exp\left(-2 \int_{x_i}^{x_o} k dx\right) = \exp\left(-\frac{2\pi E_g}{h v_F} t_b(E)\right) \quad (3.26)$$

$$k = \frac{\pi E_g}{h v_F} \sqrt{1 - [1 - 2(E_c(x) - E)/E_g]^2} = \int_{x_i}^{x_o} \sqrt{1 - [1 - 2(E_c(x) - E)/E_g]^2} dx \quad (3.27)$$

in cui k è il vettore d'onda immaginario, $v_F \simeq 10^6 m/s$ è la velocità di Fermi, x_i e x_o sono le posizioni in corrispondenze delle barriere energetiche su cui avviene il tunnelling degli elettroni.

3.2 Studio della transcaratteristica

Si implementa il modello stanford modificato dal gruppo UnivPM che aggiunge la caratterizzazione del rumore additivo tipico del comportamento reale del dispositivo.

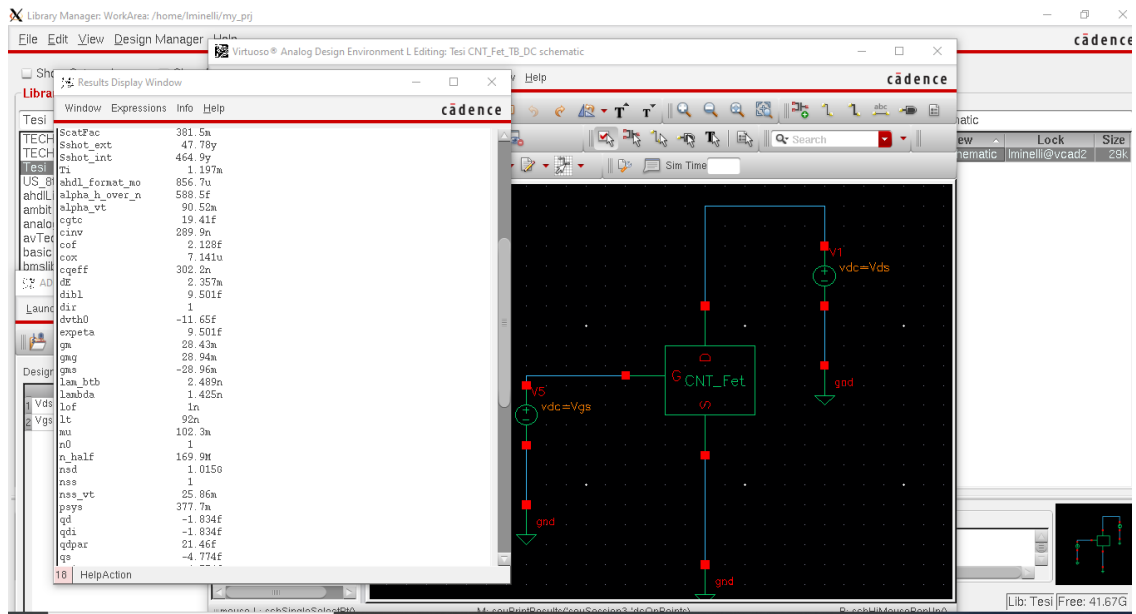


Figura 3.8: Implementazione CNT Fet in Cadence Virtuoso

Successivamente si va a studiare la transcaratteristica per stabilire il punto di lavoro del transistor.

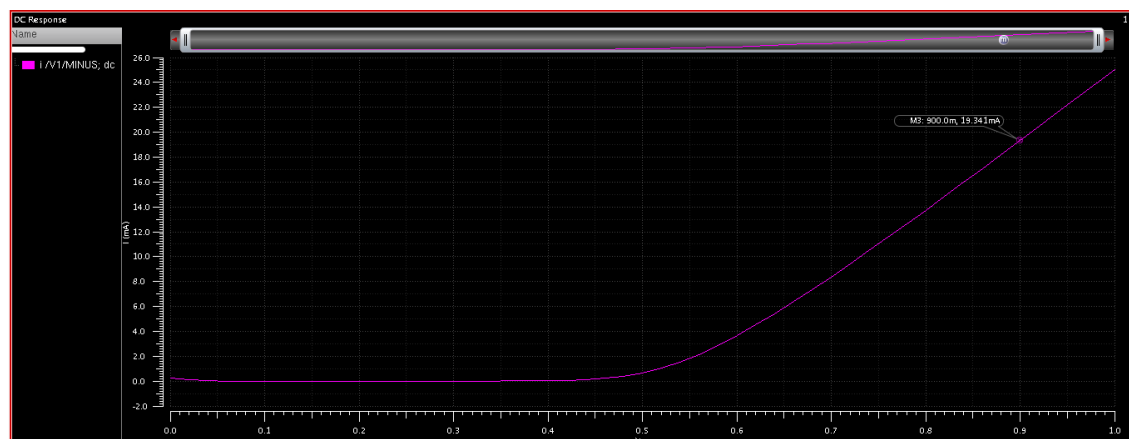


Figura 3.9: Transcaratteristica

Dimensioni del transistor:

- $W = 100 \text{ um}$
- $s = 10 \text{ nm}$ (spacing tra i nanotubi)

Tutti gli altri parametri sono standard del modello ($L = 90 \text{ nm}$).

Tenendo conto di una corrente massima erogabile di 10 mA, i valori di polarizzazione sono i seguenti:

- $V_{gs} = 0.9 \text{ V}$
- $I_d = 9.67131 \text{ mA}$

3.3 Studio della frequenza di transizione

A questo punto si passa a studiare la frequenza di transizione del transistor, in questo modo si può capire se effettivamente il Fet ai nanotubi di carbonio sia in grado di garantire l'amplificazione di segnale alla frequenza di interesse pari a 10 GHz. Si è cercato di implementare un transistor con un fattore di forma che ci garantisca una frequenza di transizione sufficiente e che, allo stesso tempo, sia fattibile dal punto di vista tecnologico.

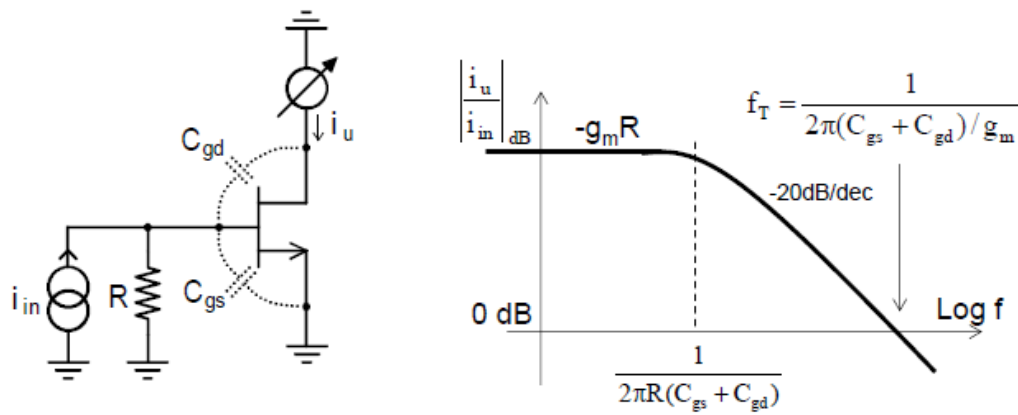


Figura 3.10: Schema circuitale per la misura della frequenza di transione del CNT Fet

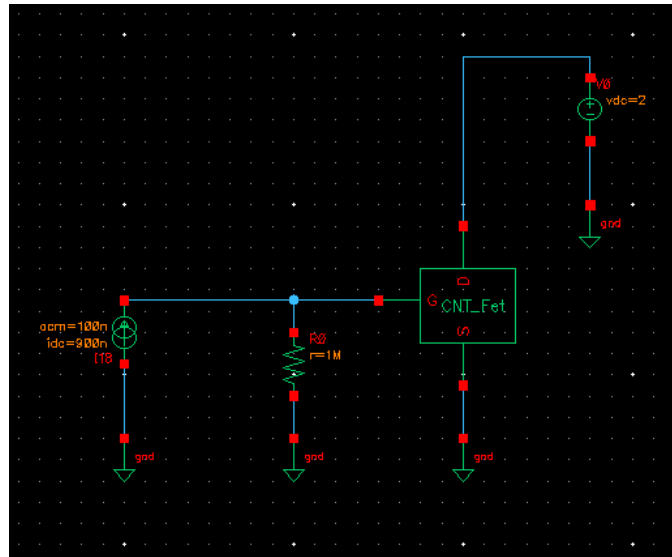


Figura 3.11: Implementazione circuitale in Cadence Virtuoso

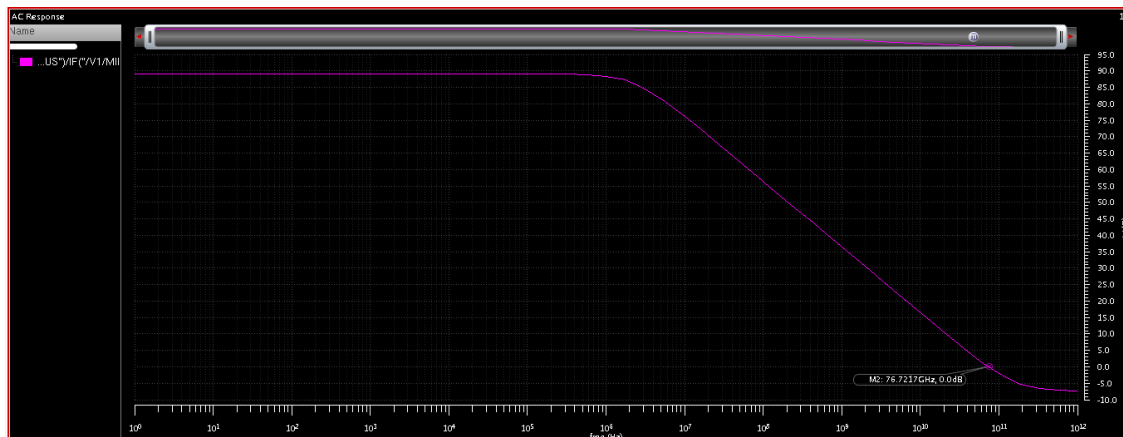


Figura 3.12: Guadagno di corrente a radiofrequenza

Il transistor presenta una frequenza di transizione superiore ai 70 GHz, quindi si può utilizzare per la realizzazione di HPA e LNA con frequenza di lavoro di 10 GHz. A questo punto si procede con la realizzazione dell' HPA.

3.4 Progetto HPA

Per il progetto [33] si tiene conto di un'alimentazione pari a 5 Volt con una corrente massima erogabile pari a 10 mA. In progetto si è optato per una configurazione cascode che pur non offrendo dei valori di swing di tensione in uscita molto estesi, si riescono comunque a garantire delle ottime prestazioni a radiofrequenza proprio per via della minimizzazione dell'effetto miller che la configurazione a cascode offre. La combinazione di un common gate in cascata allo stadio d'ingresso a common source garantisce infatti un maggiore isolamento tra ingresso e uscita. L'amplificatore cascode rientra nella categoria degli amplificatori di classe A, il cui svantaggio principale risiede proprio nell'efficienza energetica del circuito che durante il funzionamento ha un consumo di potenza statico non nullo. Questa configurazione riesce però a minimizzare le distorsioni del segnale amplificato.

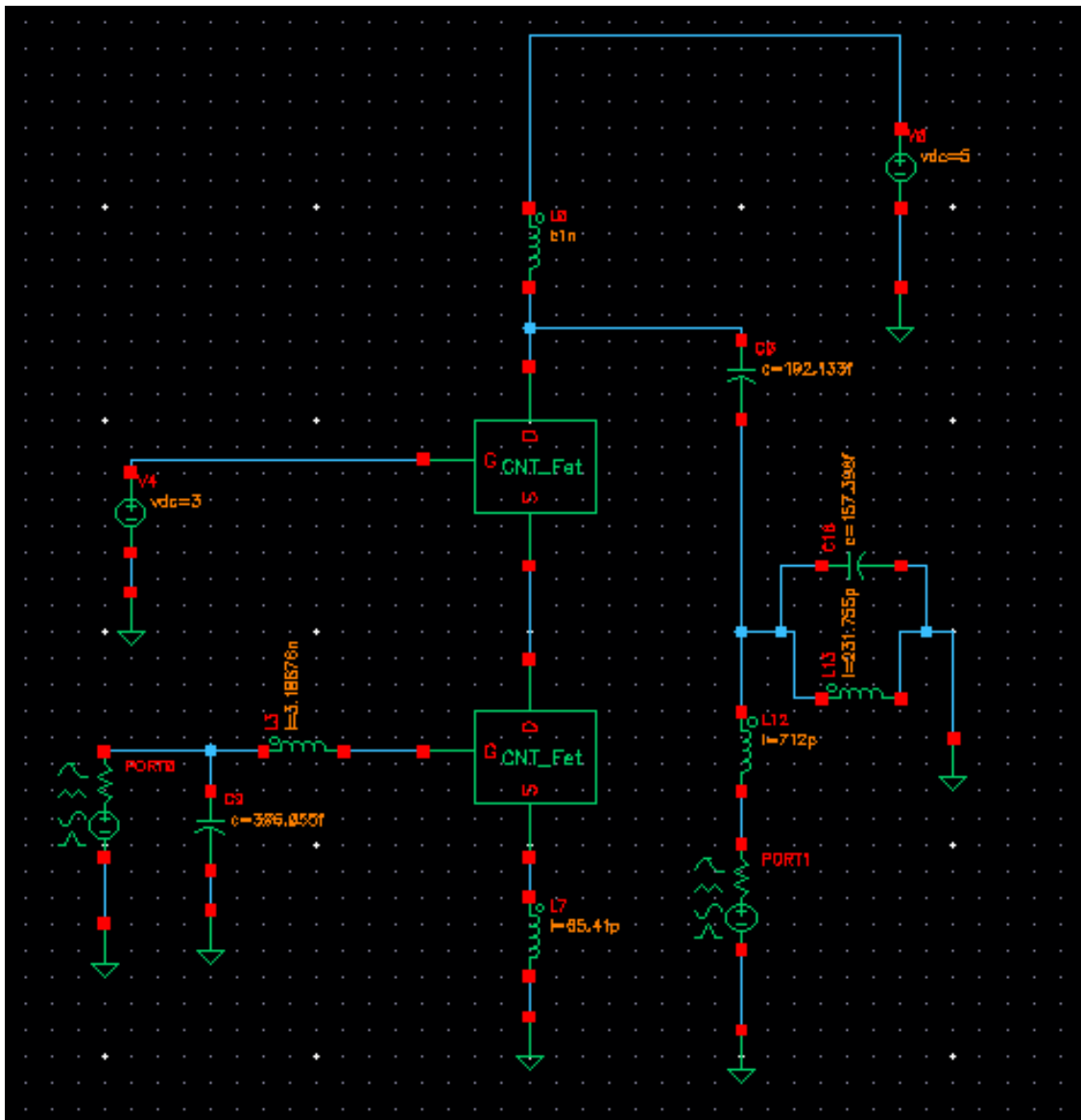


Figura 3.13: Schematico amplificatore cascode completo di reti di adattamento

Successivamente vengono mostrate le immagini caratteristiche dell'adattamento dello stadio in ingresso e della simulazione load-pull da cui si può notare un potenza massima erogata dall'amplificatore pari a 2 dBm.

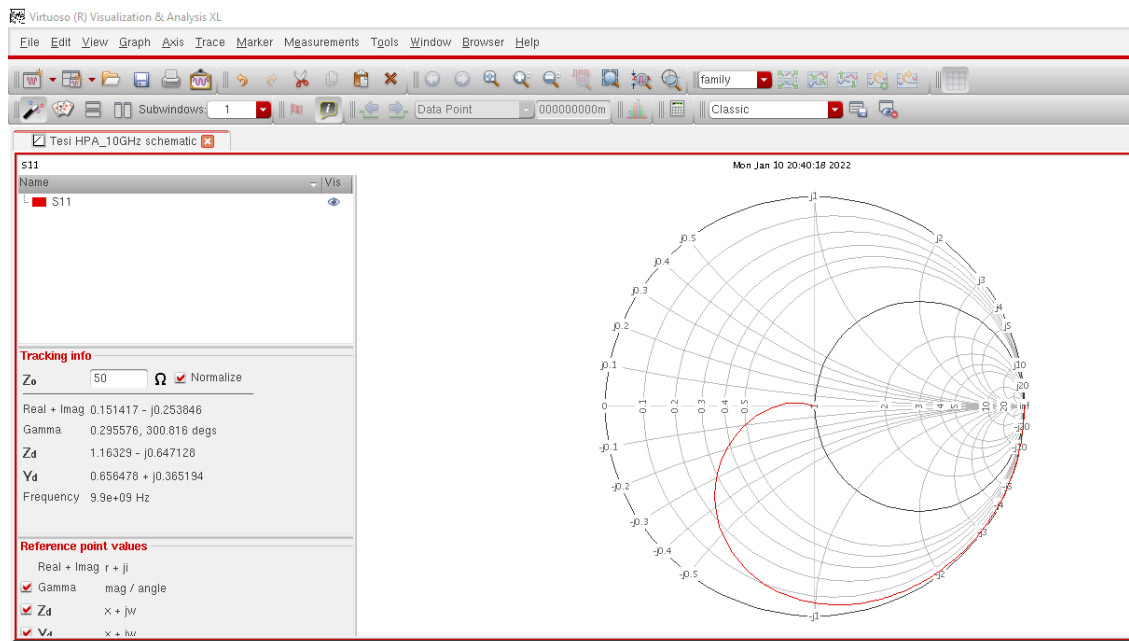


Figura 3.14: Andamento del coefficiente di riflessione in ingresso all'amplificatore (sweep 1 Hz- 1 GHz)

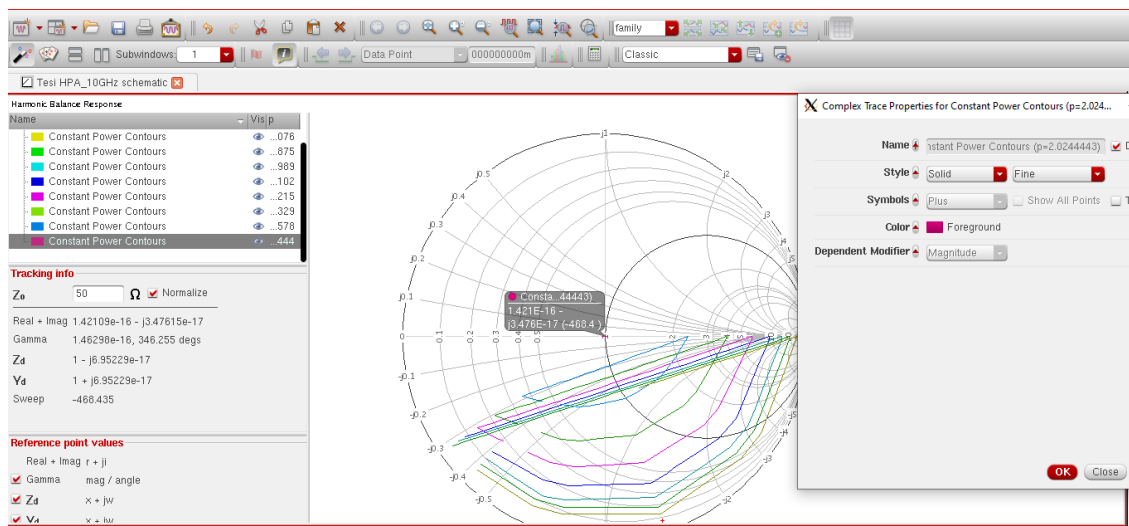


Figura 3.15: Misurazione load-pull

3.5 Progetto LNA

L'architettura circuitale proposta è una configurazione LNA a banda larga con tecnologia CNT che implementa il gain boosting [34] [35].

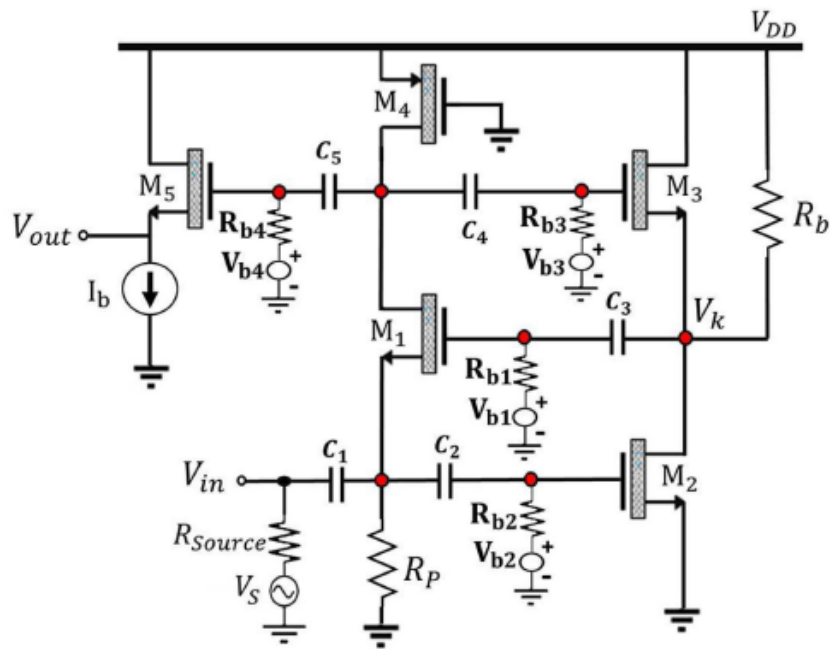


Figura 3.16: LNA inductor-less a banda larga (tecnologia CNT)

I transistori M2 e M3 applicano delle retroazioni negative, mentre il transistor M1 (in configurazione a gate comune) trasferisce il segnale in uscita. Il transistor M2, inoltre, amplifica la transconduttanza del transistor M1. La resistenza R_p sul ramo di ingresso, si utilizza per polarizzare in DC evitando l'utilizzo degli induttori. Il transistor M4 (unico transistor a canale di tipo p) funge da carico attivo, mentre M5 funge da buffer di uscita per garantire le condizioni di adattamento al carico.

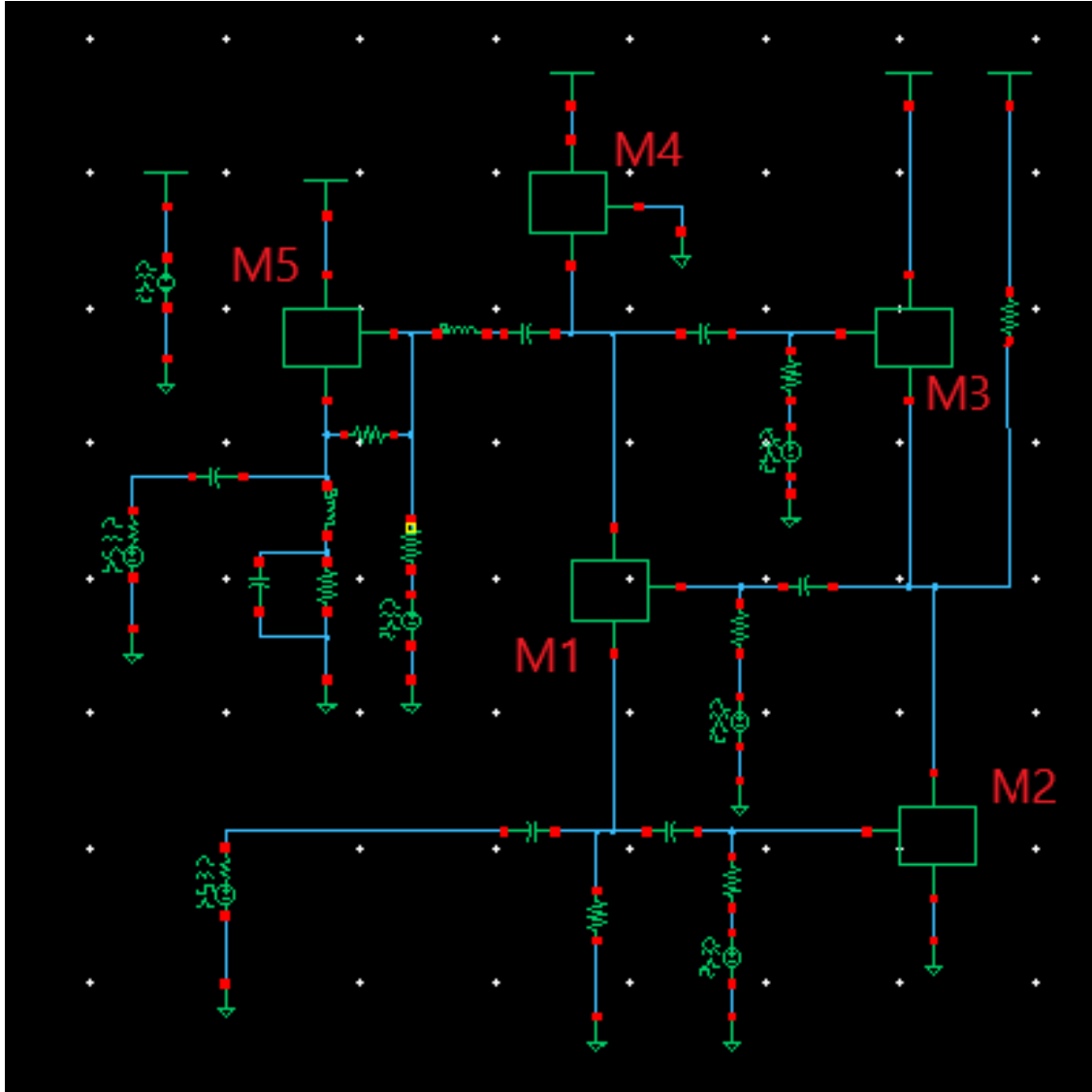


Figura 3.17: LNA inductor-less implementazione in Cadence Virtuoso

Di seguito vengono illustrati i parametri di progetto dell'amplificatore (larghezze di canale e tensioni di polarizzazione).

	M1	M2	M3	M4	M5	Unità di misura
W	70u	400u	1u	20u	30u	metri
V_g	1.142	0.5	0.9	0	2	Volt

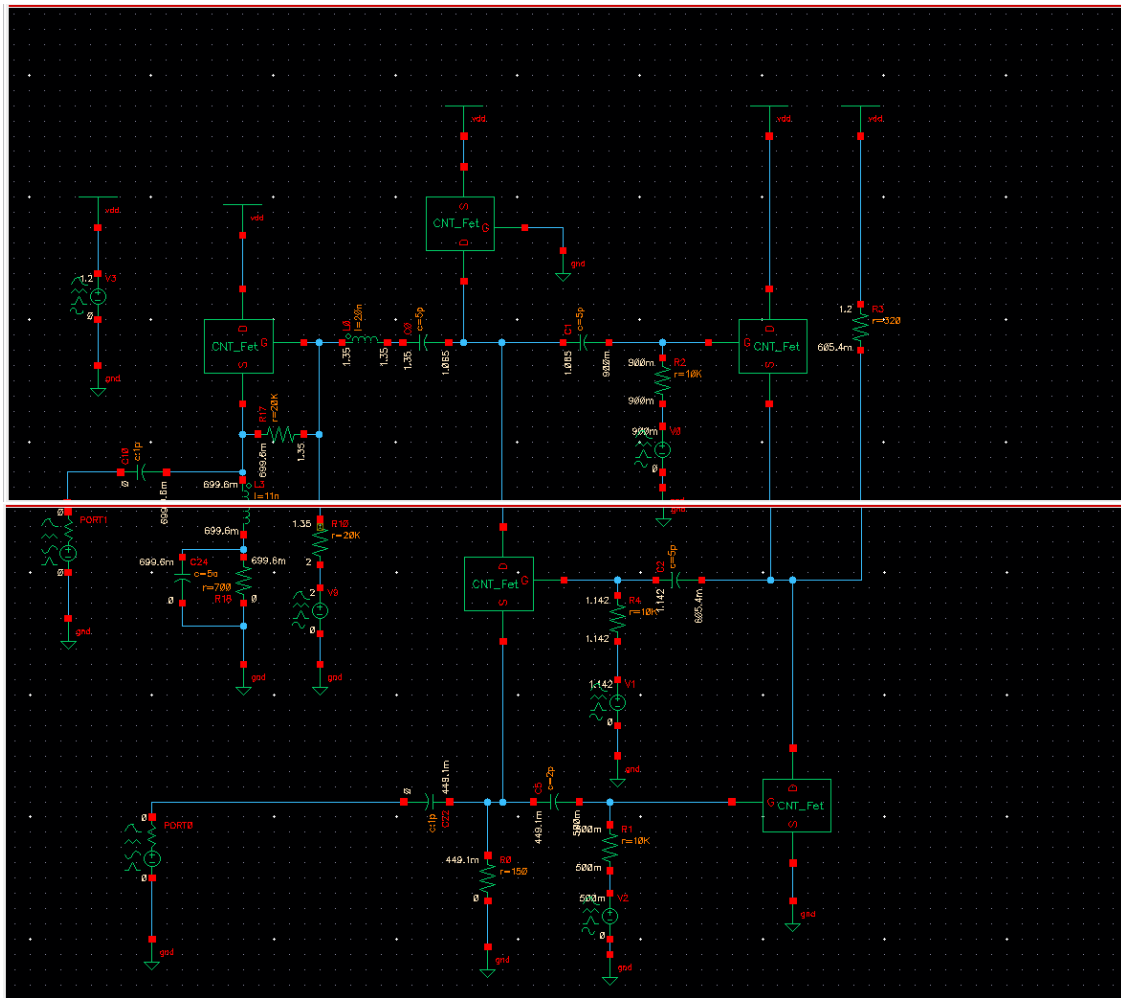


Figura 3.18: Schematico con valori dei componenti e delle tensioni DC ai nodi

Si è progettato l'amplificatore con una frequenza di lavoro pari a 10 GHz in modo da avere un guadagno di tensione in AC superiore ai 20 dB. L'idea iniziale era quella di implementare l'amplificatore senza l'utilizzo di induttori, in modo da avere un comportamento a banda larga ma a frequenze così elevate ci sono delle problematiche inerenti agli adattamenti ai carichi. Il circuito, infatti, implementa uno stadio di uscita buffer aggiuntivo che permette di ottenere l'adattamento, ma che fa utilizzo di un induttore per stabilizzare la corrente sul ramo del buffer. L'amplificatore presenta un valore accettabile della cifra di rumore, inoltre sono stati analizzati anche altri parametri fondamentali per valutare le prestazioni del LNA (quali punto di compressione a 1 dB, IP3, e posizione dei poli e zeri per valutare la stabilità), che vengono di seguito illustrati.

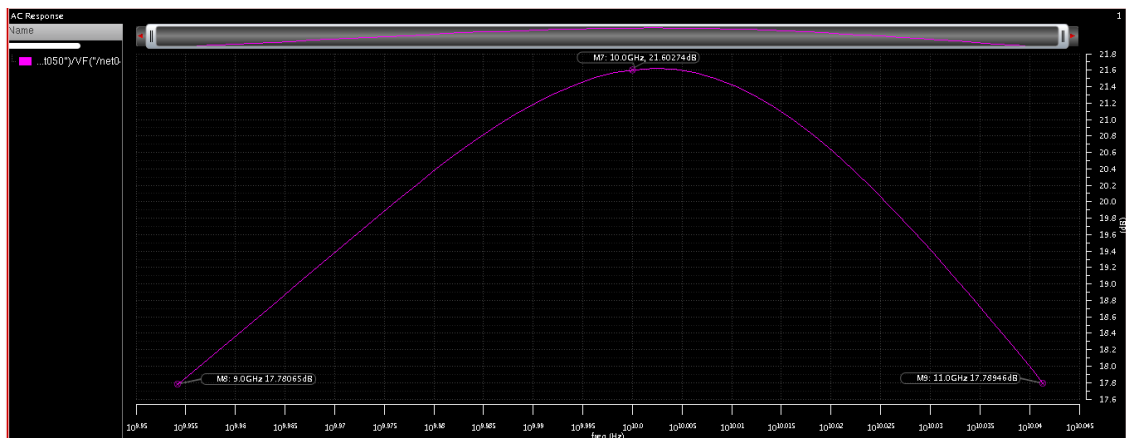


Figura 3.19: Guadagno di tensione in AC [dB]

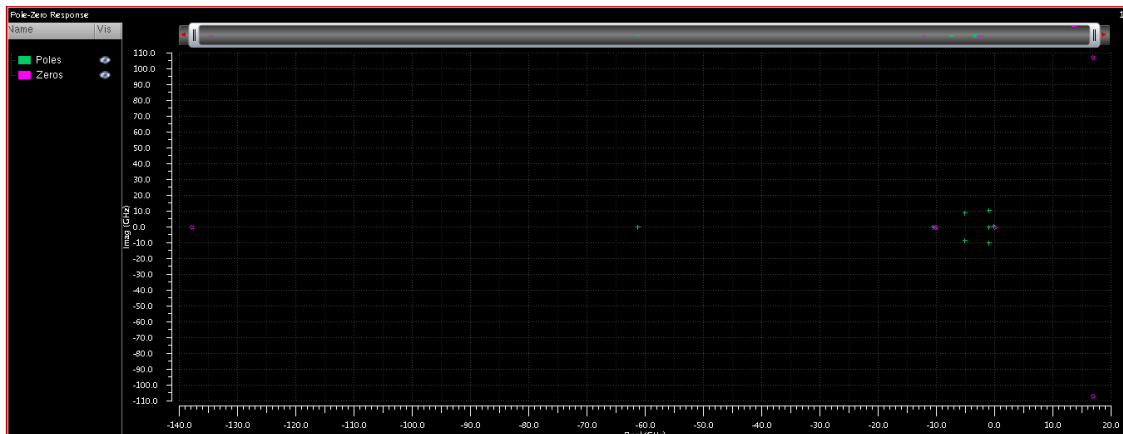


Figura 3.20: Posizioni dei poli e zeri

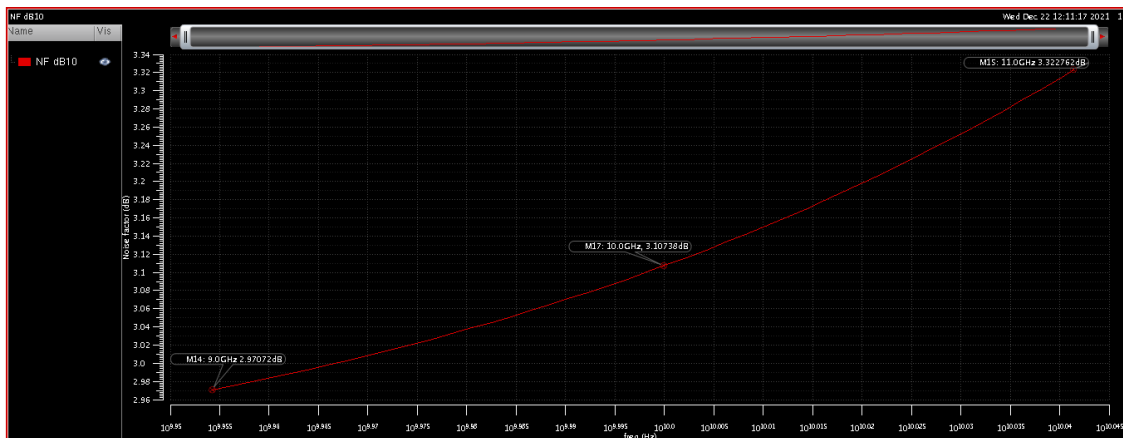


Figura 3.21: Cifra di rumore [dB]

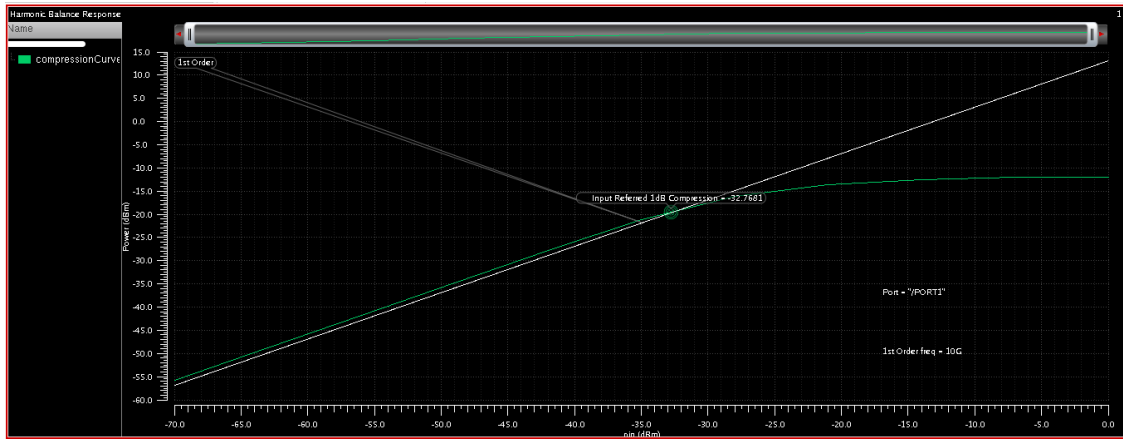


Figura 3.22: Punto di compressione a 1 dB

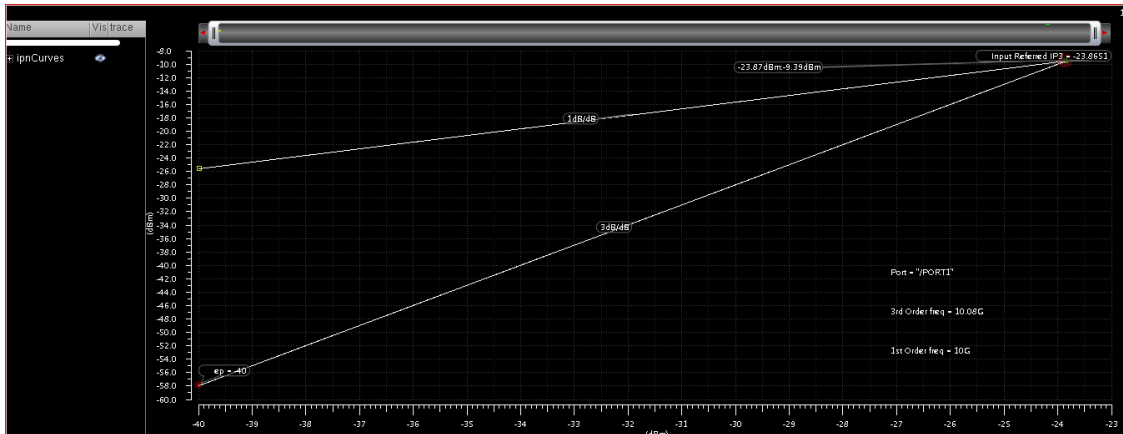


Figura 3.23: Intercetta al terzo ordine

Capitolo 4

Amplificatori a radiofrequenza con transistor innovativi in tecnologia al CNT

- 4.1 Progetto dell'amplificatore di potenza a 10 GHz : dispositivo innovativo con parametri $W=400\mu$, $L=200n$
Tensione di alimentazione $V_{cc} = 1.5 V$

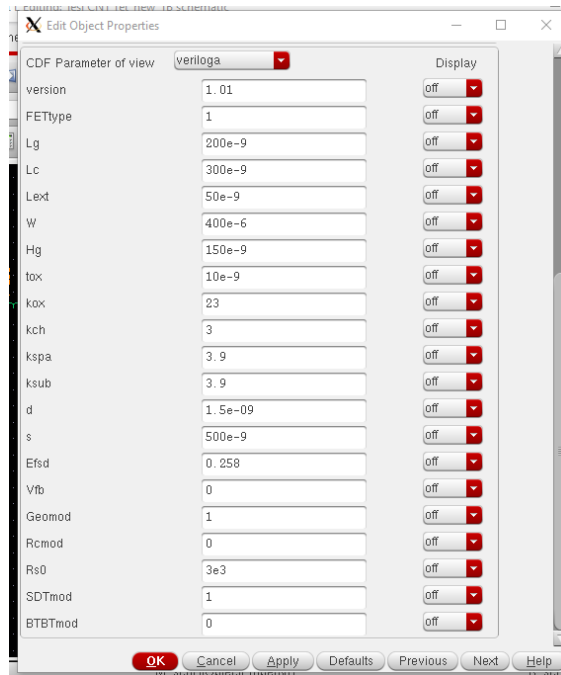


Figura 4.1: Implementazione CNT Fet in Cadence Virtuoso



Figura 4.2: Transcaratteristica del transistor

Il nuovo transistor presenta una frequenza di transizione di circa 53 Ghz, quindi si può utilizzare per progettare degli amplificatori con frequenza di lavoro pari a 10 GHz. A questo punto si procede con la realizzazione dell' HPA.

L'architettura proposta è una configurazione a doppio stadio [36] cascode (adattamenti realizzati con induttori e condensatori ideali) che garantiscono maggiore isolamento tra ingresso e uscita (come si può anche notare anche dal parametro S12 in Figura 4.6).

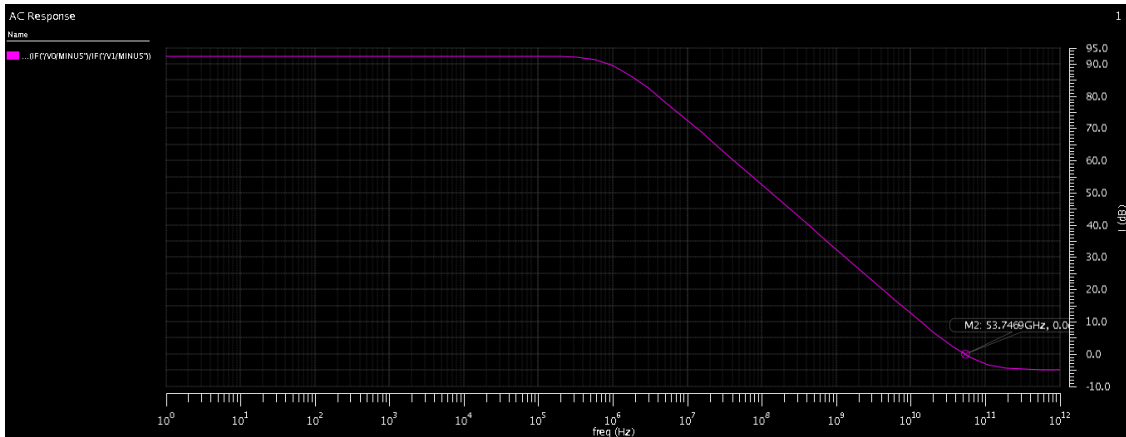


Figura 4.3: Guadagno di corrente in AC per lo studio della frequenza di transizione

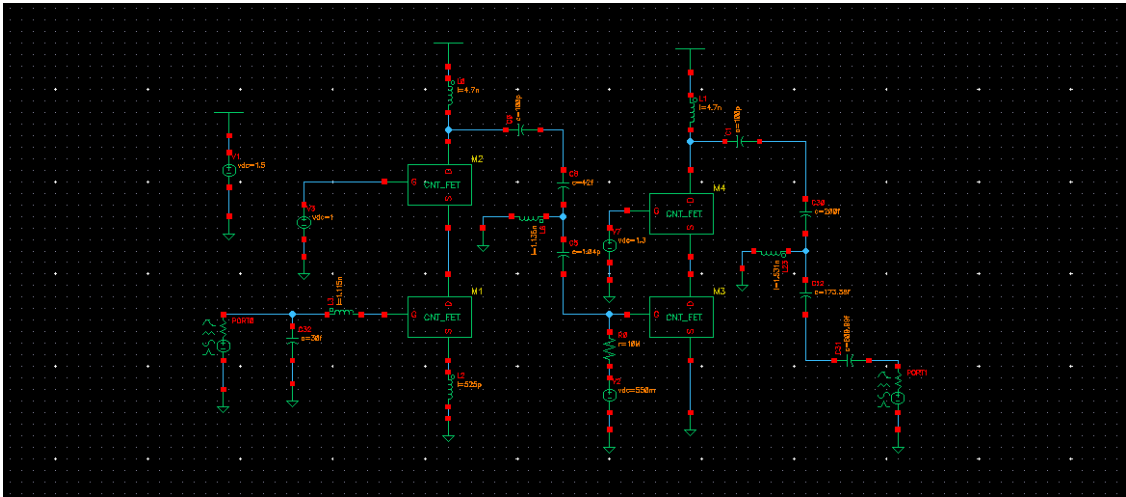


Figura 4.4: Amplificatore di potenza doppio stadio (2 stadi cascode)

Considerando la seguente espressione per la transconduttanza del transistor in tecnologia CNT

$$g_m \simeq \frac{I_D}{V_{GS} - V_{TH}} \quad (4.1)$$

Il primo stadio presenta una transconduttanza elevata essendo polarizzato ad una tensione di overdrive bassa (ΔV di circa 50 mV), in questo modo si ha un ottimo valore valore di guadagno di tensione in uscita al primo stadio. Il secondo stadio invece è polarizzato in modo da massimizzare lo swing di tensione in uscita e quindi anche il punto di compressione a 1 dB. In questo modo si riesce ad ottenere una configurazione di amplificatore stabile (adattamenti vanno comunque realizzati con

degli induttori reali che devono presentare un fattore di merito $Q < 20$) e con ottimi valori di return loss e di isolamento ingresso-uscita, ma che allo stesso tempo riesce ad erogare un potenza a radiofrequenza superiore a 1 mW con soli 1.5 V di alimentazione e una corrente di alimentazione limitata nell'intorno dei 10 mA.

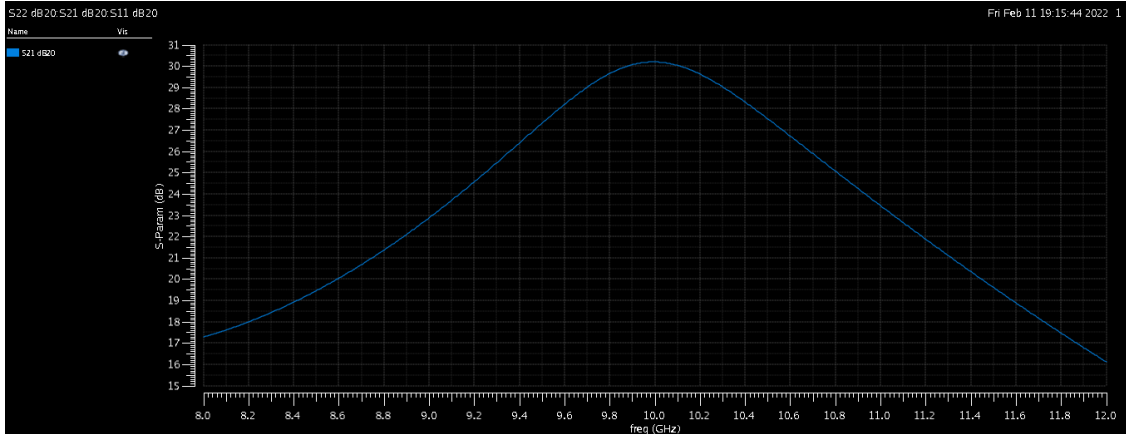


Figura 4.5: Parametro S21 [dB20] in funzione della frequenza

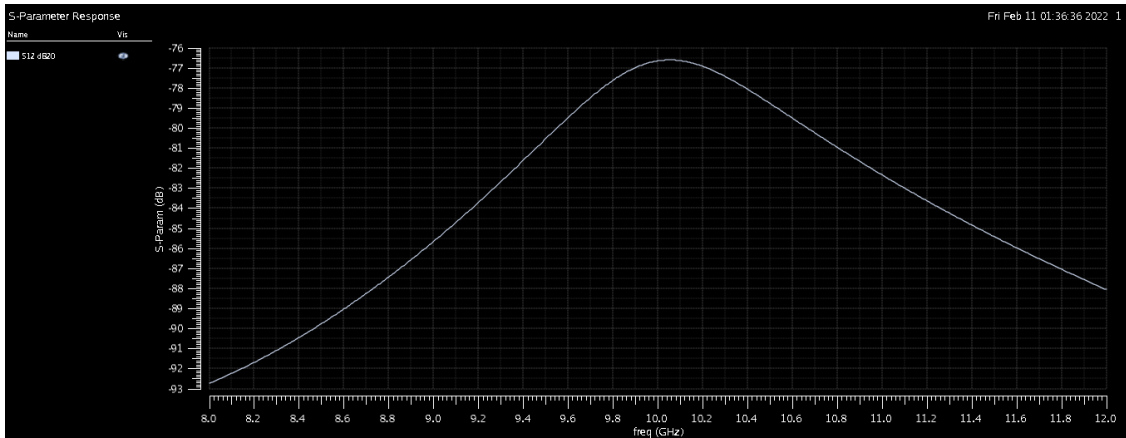


Figura 4.6: Parametro S12 [dB20] in funzione della frequenza

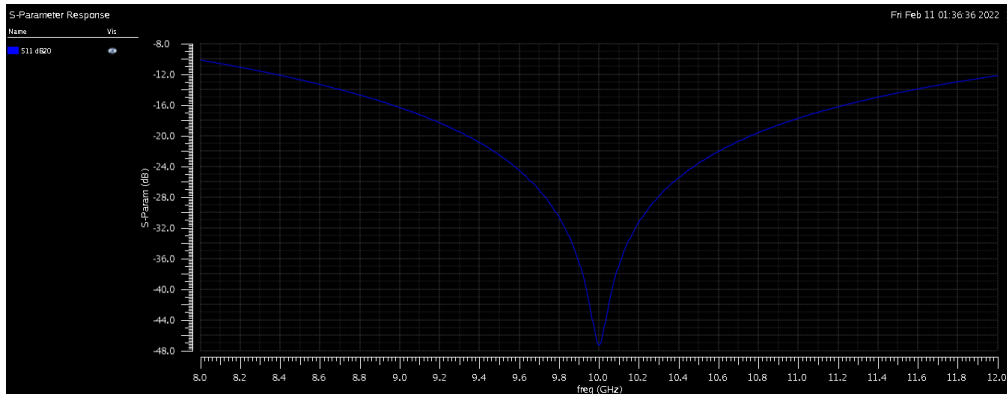


Figura 4.7: Parametro S11 [dB20] in funzione della frequenza

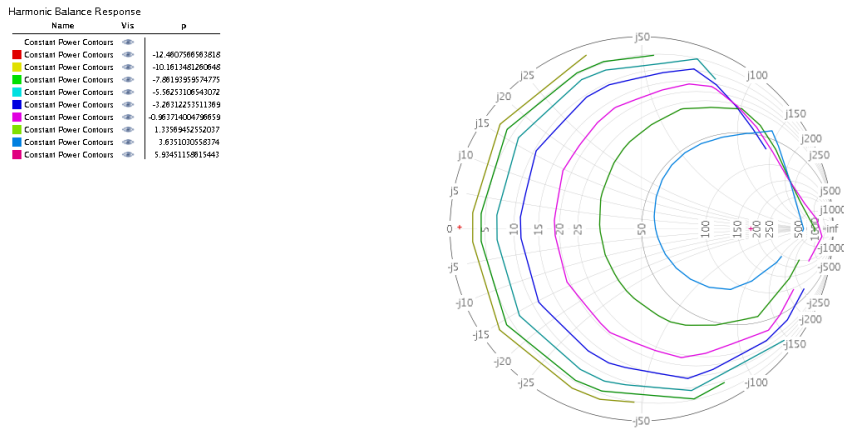


Figura 4.8: Simulazione load-pull impedenza $Z_d \simeq 182.55\Omega$

Il massimo valore di potenza in uscita si ottiene con un'impedenza di carico pari Z_{LOAD} pari a 182.55Ω .

Per ottenere il massimo valore di potenza erogata dall'amplificatore $P_{OUT}^{MAX} \simeq 6$ dBm su un carico di 50Ω è necessario aggiungere un'ulteriore rete di adattamento in uscita all'amplificatore. A questo punto si aggiunge uno stadio a T per far avvicinare il punto di convergenza della simulazione load-pull al centro della carta di smith in modo da garantire la massima potenza erogabile dall'amplificatore su di un carico che presenta un valore di impedenza di circa 50Ω

N.B. La potenza massima in uscita calcolata corrisponde ad una potenza di ingresso pari a $P_{in}^{Max} \simeq -10$ dBm

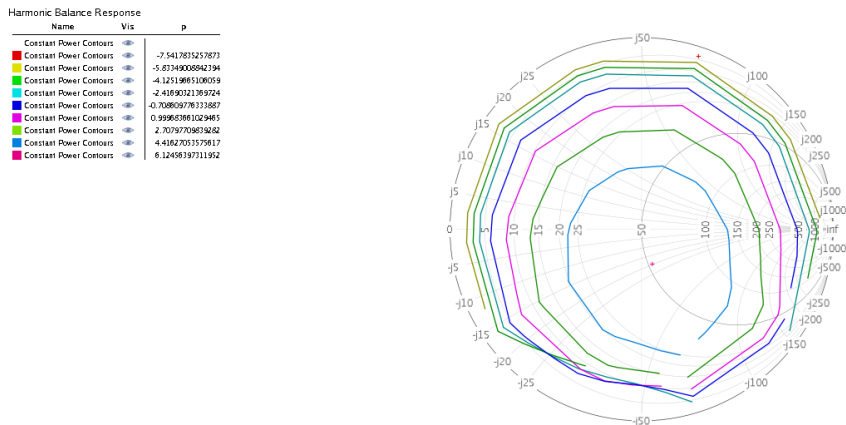


Figura 4.9: Simulazione load-pull dopo l'aggiunta di uno stadio di adattamento in uscita impedenza $Z_d \simeq 52.1743 - j19.6489\Omega$

Successivamente si aggiunge un ulteriore stadio di adattamento sull'uscita dell'amplificatore con condensatore serie per effettuare una regolazione fine delle impedenze al fine di migliorare l'adattamento in termini di simulazione load-pull per far sì che la potenza venga per la maggior parte dissipata dal carico e non dai transistor.

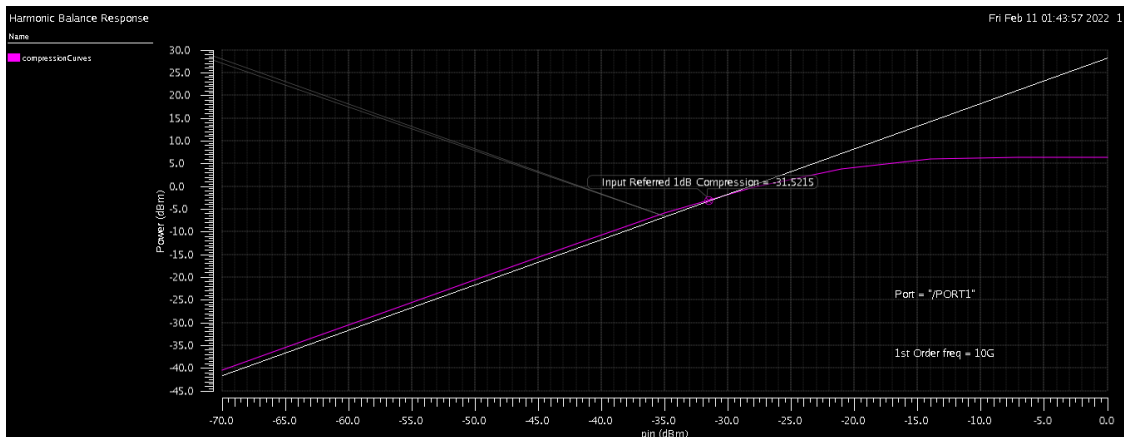


Figura 4.10: Punto di compressione a 1 dB

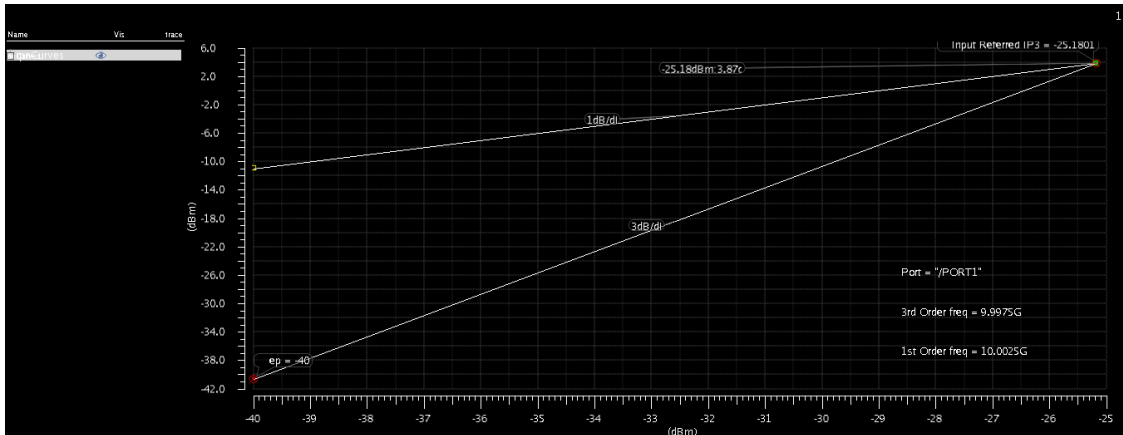


Figura 4.11: Simulazione IP3

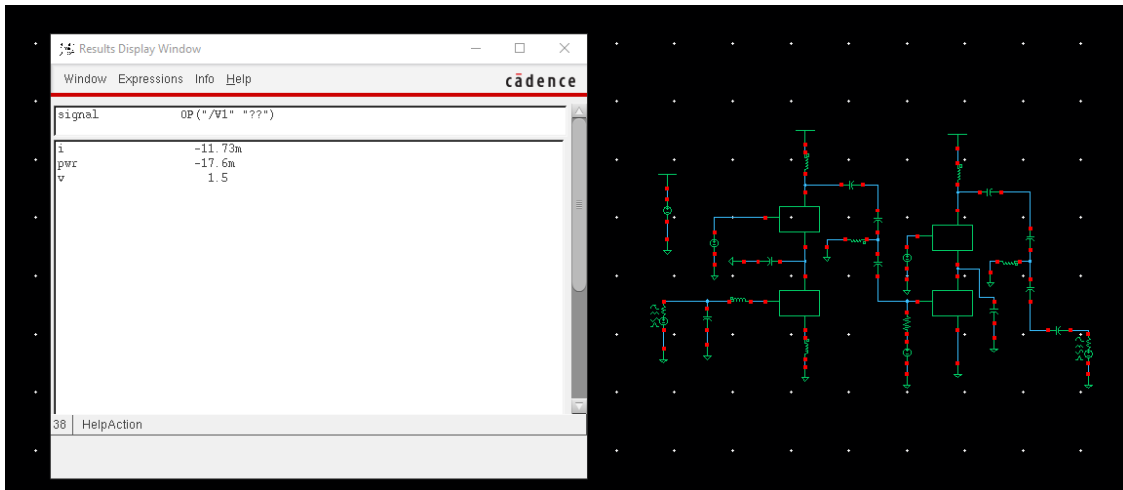


Figura 4.12: Misura della corrente DC del circuito completo

Tenendo conto dei seguenti valori di corrente e tensione in DC si calcola il PAE (power added efficiency):

$V_{cc} = 1.5 \text{ V}$: Tensione di alimentazione

$I_{cc} = 11.73 \text{ mA}$: Corrente in DC complessiva del circuito completo

$$PAE = \frac{P_{OUT}^{RF} - P_{IN}^{RF}}{P_{DC}^{TOTAL}} = \frac{3.996 \times 10^{-3}}{1.5 \times 11.73 \times 10^{-3}} \approx 22.7\%$$

Considerando l'architettura dell'amplificatore a doppio stadio cascode in classe A,

la tecnologia ai nanotubi di carbonio ha permesso di ottenere un valore della PAE conforme allo stato dell'arte.

Lo swing di tensione in uscita all'amplificatore (parametro fondamentale per ottenere potenze elevate in uscita) è vincolato dalla tensione di alimentazione che, in questo progetto, presenta un valore contenuto (1.5 V) ed è limitato dalla presenza dello stadio cascode finale a cui corrisponde una tensione minima (che deve tenere conto di 2 transistor in serie) corrispondente a 2 volte la tensione di overdrive $\Delta V = V_{gs} - V_{TH} = V_{ds}^{sat}$. Lo swing di tensione di uscita, dunque, è pari a 0.55 V. Tenendo conto di questi limiti, si può confermare la fattibilità della realizzazione di amplificatori di potenza con tecnologia al CNT.

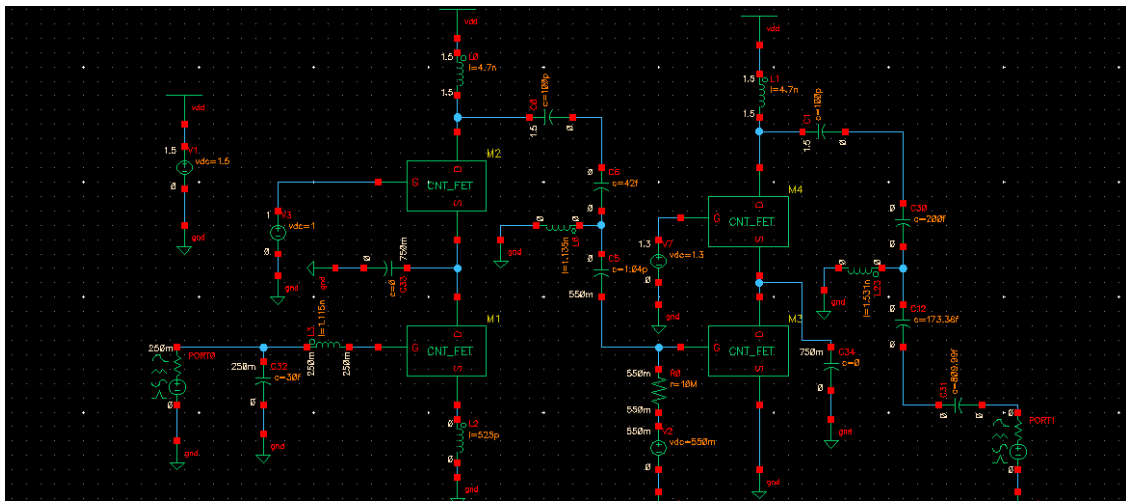


Figura 4.13: Schematico con valori dei componenti e delle tensioni DC ai nodi

4.2 Progetto dell'amplificatore di potenza a 24 GHz : dispositivo innovativo con parametri $W=400\mu$, $L=200n$ Tensione di alimentazione $V_{cc} = 1.5 V$

Con gli stessi criteri di progetto, si è realizzata anche la versione a 24 GHz del medesimo amplificatore.

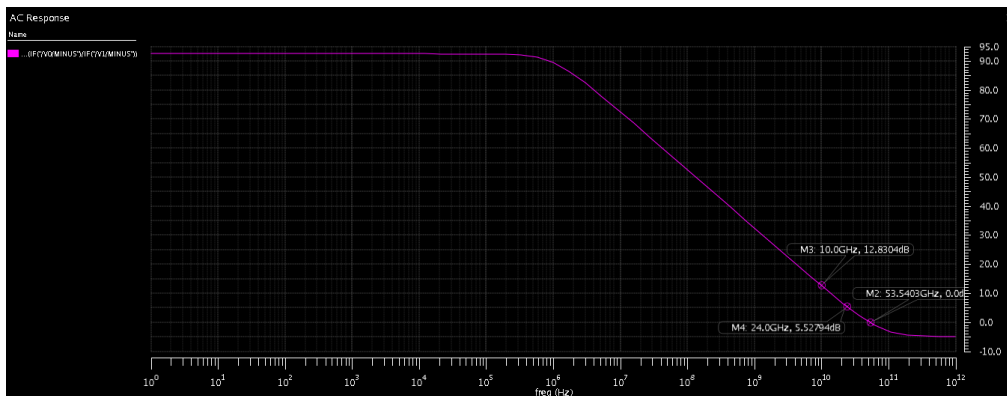


Figura 4.14: Frequenza di transizione del transistor CNT Forth, comparazione tra i valori di guadagno in corrente a 10 GHz e 24 GHz

Tenendo conto del guadagno di corrente di cortocircuito del singolo transistor in configurazione a source comune all'incirca dimezzato, è comunque possibile realizzare l'amplificatore a questo valore di frequenza $f_0 = 24 \text{ GHz}$ essendo $f_0 < f_T$ (frequenza di funzionamento all'incirca di un ottava al di sotto della frequenza di transizione), ciò implica un guadagno di potenza minore rispetto la versione a 10 GHz e quindi anche un'efficienza PAE peggiore.

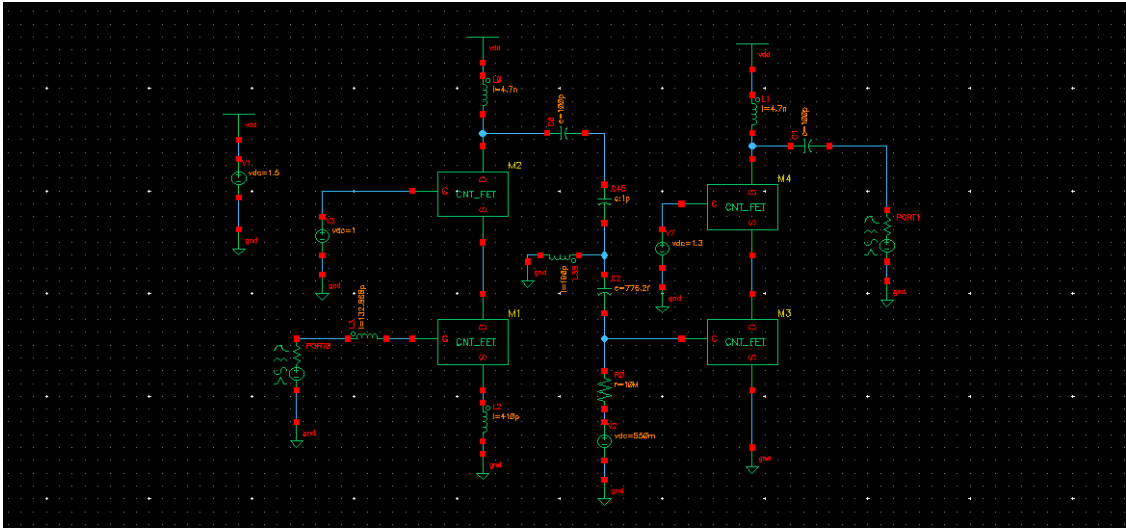


Figura 4.15: Amplificatore di potenza doppio stadio (2 stadi cascode)

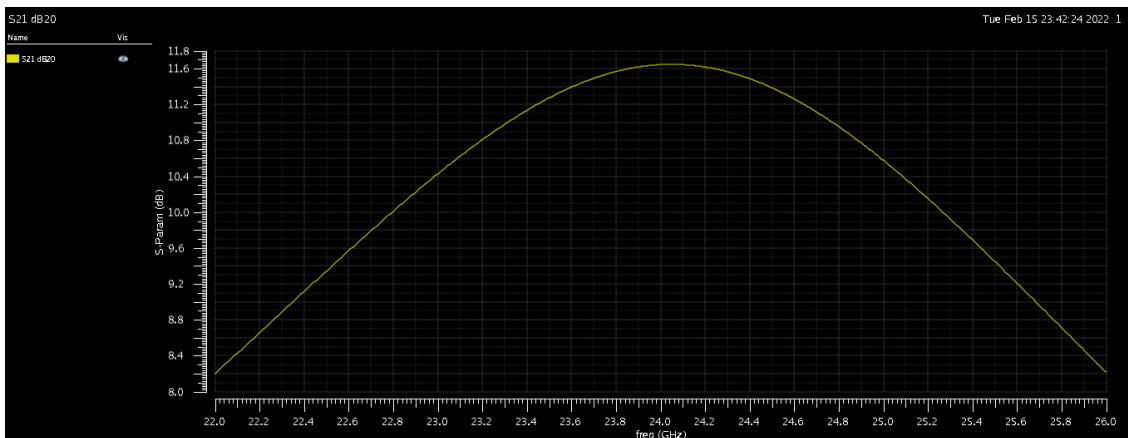


Figura 4.16: Parametro S21 [dB20] in funzione della frequenza

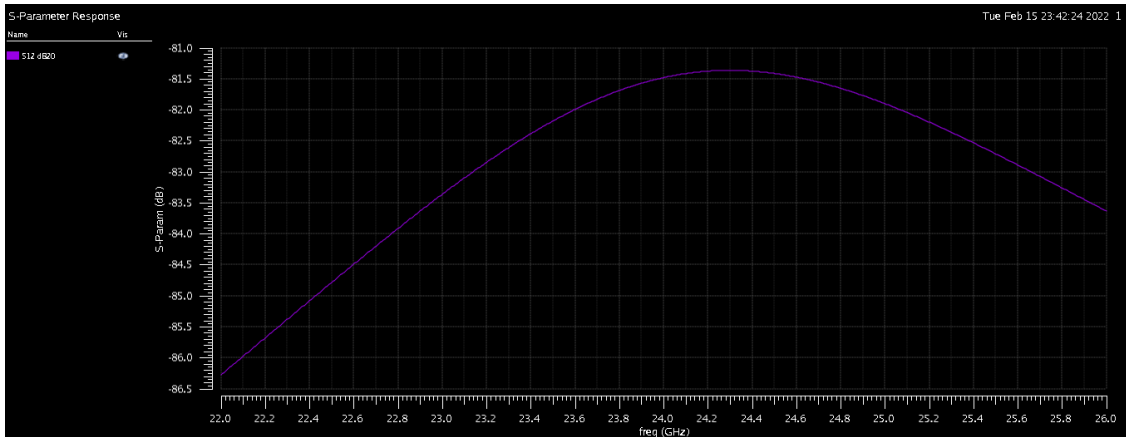


Figura 4.17: Parametro S12 [dB20] in funzione della frequenza

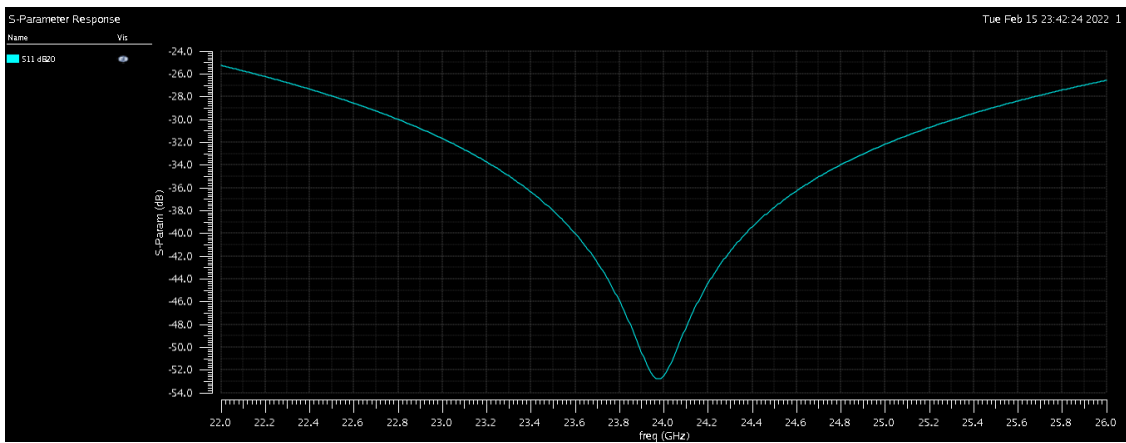


Figura 4.18: Parametro S11 [dB20] in funzione della frequenza

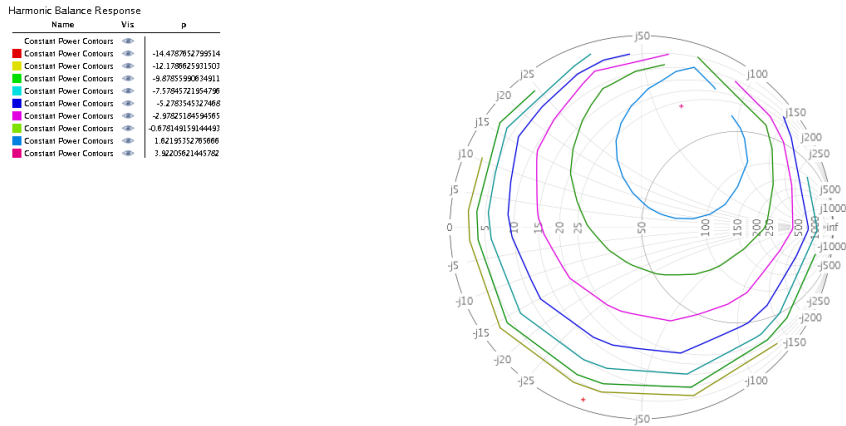


Figura 4.19: Simulazione load-pull

Il massimo valore di potenza in uscita si ottiene con un carico di impedenza pari Z_{LOAD} pari a $82.16 + j61.52 \Omega$.

Per ottenere il massimo valore di potenza erogata dall'amplificatore $P_{OUT}^{MAX} \simeq 3.9$ dBm su un carico di 50Ω è necessario aggiungere un'ulteriore rete di adattamento in uscita all'amplificatore per far avvicinare il punto di convergenza della simulazione load-pull al centro della carta di smith in modo da garantire la massima potenza erogabile dall'amplificatore su di un carico che presenta un valore di impedenza di circa 50Ω .

N.B. La potenza massima in uscita calcolata corrisponde ad una potenza di ingresso pari a $P_{in}^{Max} \simeq -5$ dBm

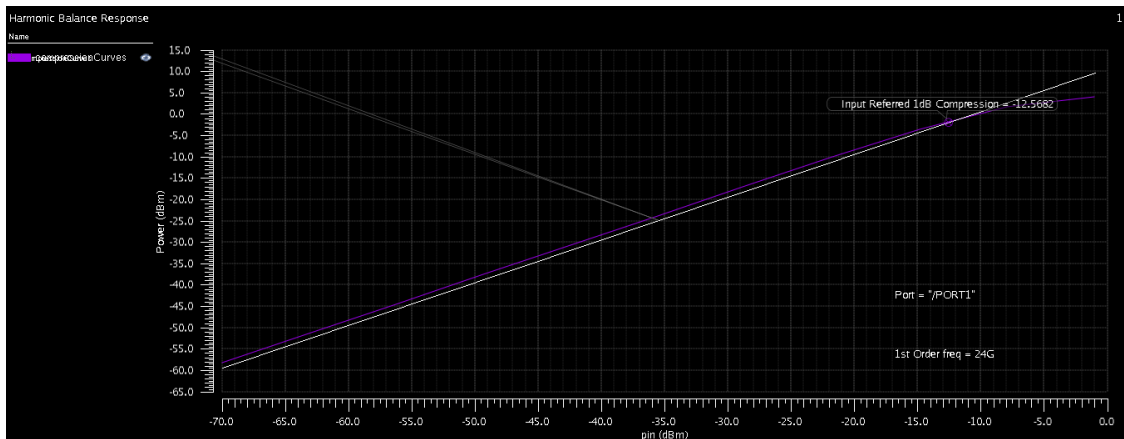


Figura 4.20: Punto di compressione a 1 dB

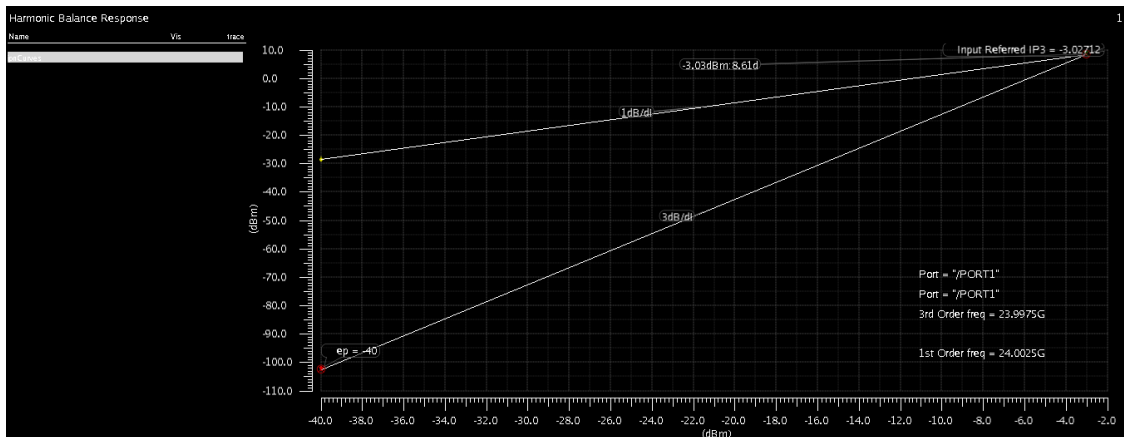


Figura 4.21: Simulazione IP3

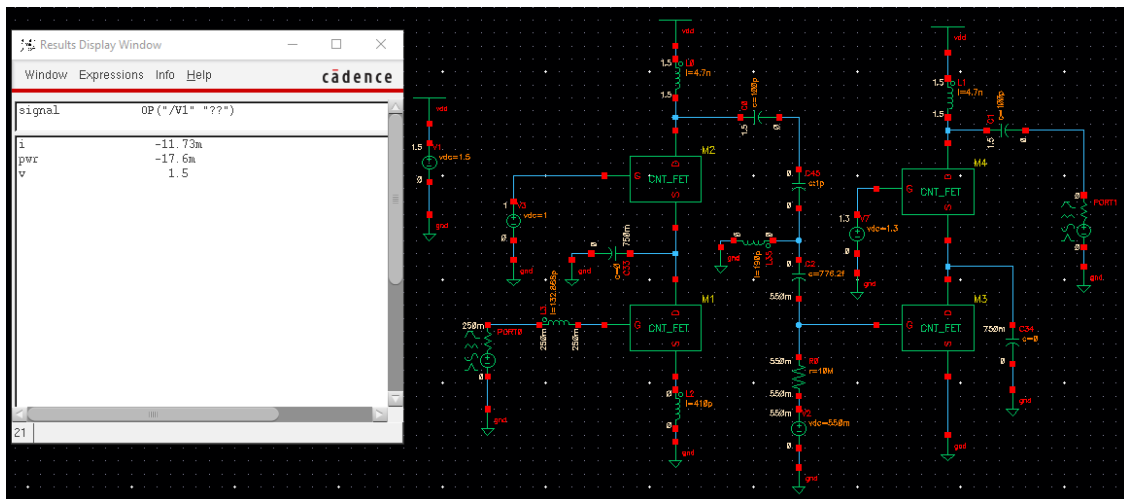


Figura 4.22: Misura della corrente DC del circuito completo

Tenendo conto dei seguenti valori di corrente e tensione in DC si calcola il PAE (power added efficiency):

$V_{cc} = 1.5 \text{ V}$: Tensione di alimentazione

$I_{cc} = 11.73 \text{ mA}$: Corrente in DC complessiva del circuito completo

$$PAE = \frac{P_{OUT}^{RF} - P_{IN}^{RF}}{P_{DC}^{TOTAL}} = \frac{2.14 \times 10^{-3}}{1.5 \times 11.73 \times 10^{-3}} \approx 12.16\%$$

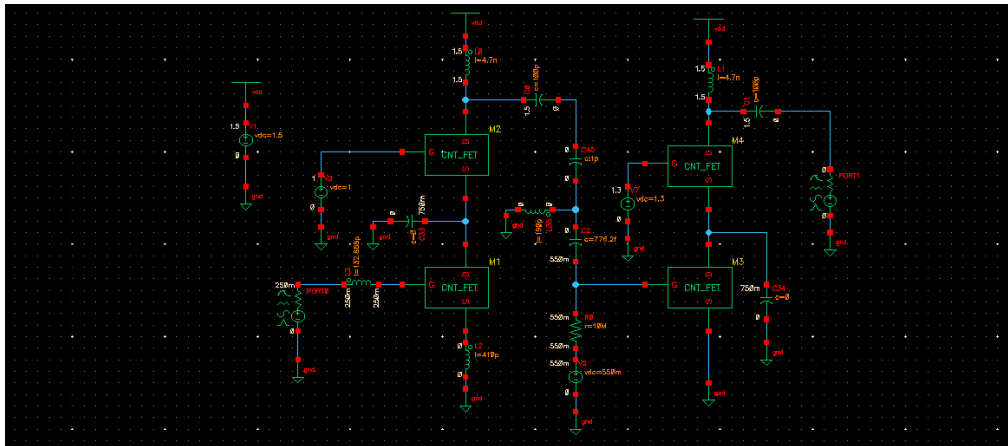


Figura 4.23: Schematico con valori dei componenti e delle tensioni DC ai nodi

4.3 Progetto dell'amplificatore a bassa cifra di rumore a 10 GHz: dispositivo innovativo con parametri $W=200\mu$, $L=200\text{n}$

L'architettura circuitale proposta è una configurazione cascode (minimizzando così l'effetto miller) con induttori che presentano un fattore di merito $Q \simeq 10$. In questo caso si è tenuto conto di limiti più stringenti per quanto riguarda l'alimentazione:

- $V_{DD} = 1.5 \text{ V}$
- $I_{DC} = 6.572 \text{ mA}$
- $P_{DC} = 9.858 \text{ mW}$

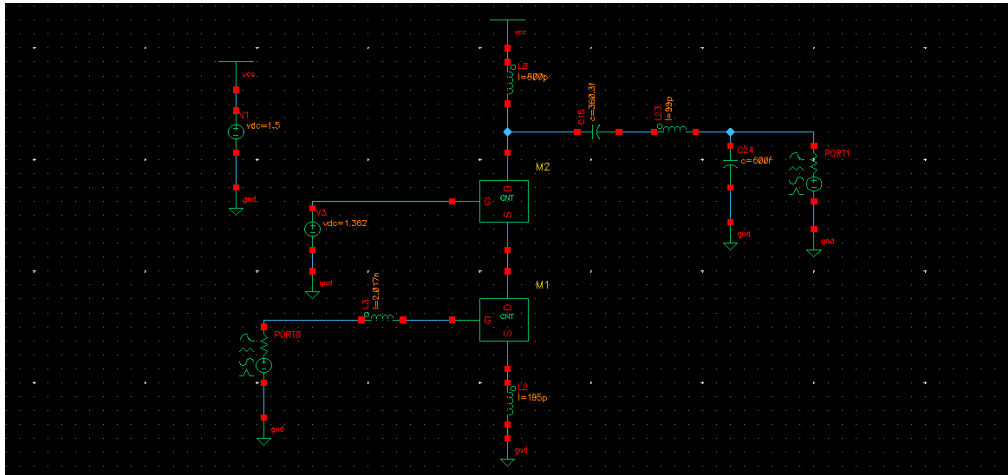


Figura 4.24: LNA cascode (tecnologia CNT)

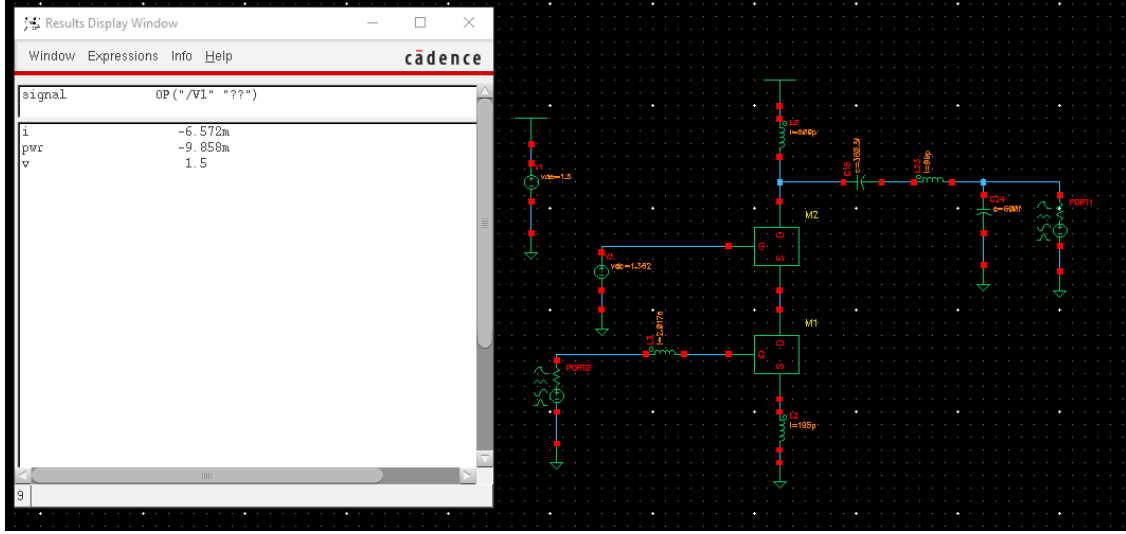


Figura 4.25: Misura della corrente in DC

Si è progettato l'amplificatore con una frequenza di lavoro pari a 10 GHz in modo da avere un guadagno di tensione in AC di almeno 10 dB e polarizzando i transistor con una tensione di overdrive $\Delta V = V_{gs} - V_{TH} = V_{ds}^{sat}$ in corrispondenza di $\frac{V_{OUT}^{Max} + V_{OUT}^{Min}}{2}$ in maniera tale da poter massimizzare lo swing di tensione in uscita e quindi di aumentare significativamente il punto di compressione a 1 dB della caratteristica ingresso-uscita di potenza. Allo stesso tempo si è cercato di massimizzare la cifra di rumore dell'amplificatore tenendo conto della seguente relazione di proporzionalità:

$$F - 1 \propto \frac{(V_{GS} - V_{TH})^2}{I_D} \quad (4.2)$$

impostando la larghezza di canale W dei transistor in modo da massimizzare la corrente, ma cercando comunque di rientrare nel limite di corrente massima erogabile di qualche mA. Il parametro di stabilità

$$K_f = \frac{1 - |S_{11}|^2 - |S_{22}|^2 - ||S_{11}||S_{22} - |S_{12}||S_{21}||^2}{2|S_{12}||S_{21}|} \quad (4.3)$$

risulta essere maggiore di 1 per via degli ottimi adattamenti in ingresso e in uscita e del buon isolamento di cui gode il circuito. L'amplificatore presenta un valore accettabile della cifra di rumore, inoltre sono stati analizzati anche altri parametri fondamentali per valutare le prestazioni del LNA (quali punto di compressione a 1 dB, IP3, e posizione dei poli e zeri per valutare la stabilità), che vengono di seguito illustrati.

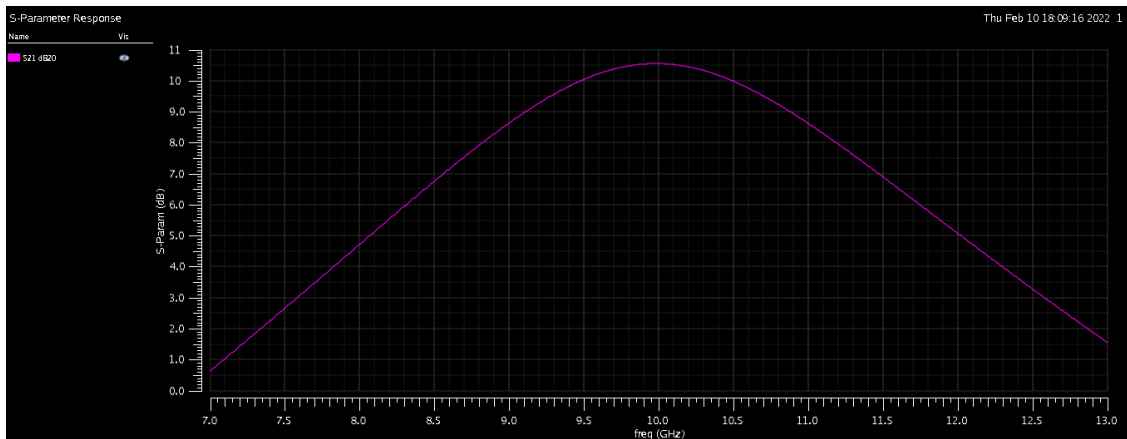


Figura 4.26: Parametro S₂₁ [dB₂₀] in funzione della frequenza

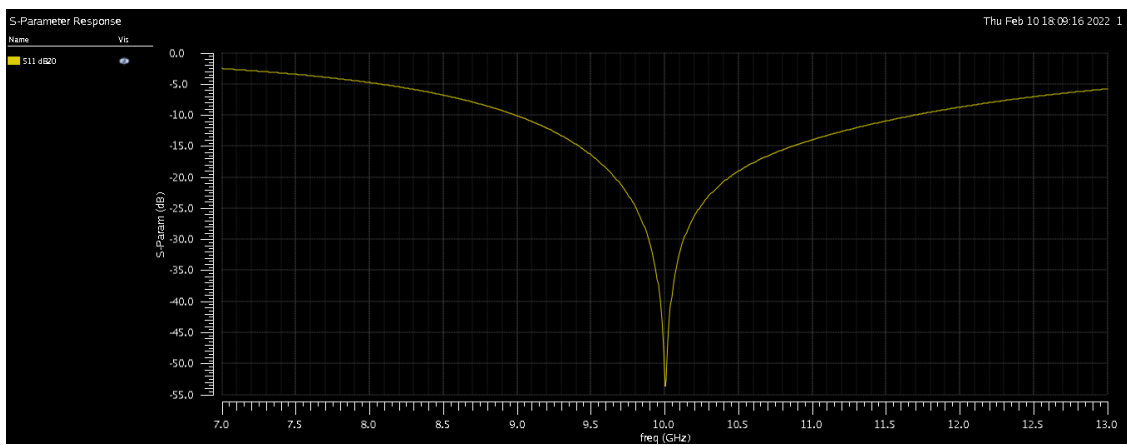


Figura 4.27: Parametro S₁₁ [dB₂₀] in funzione della frequenza

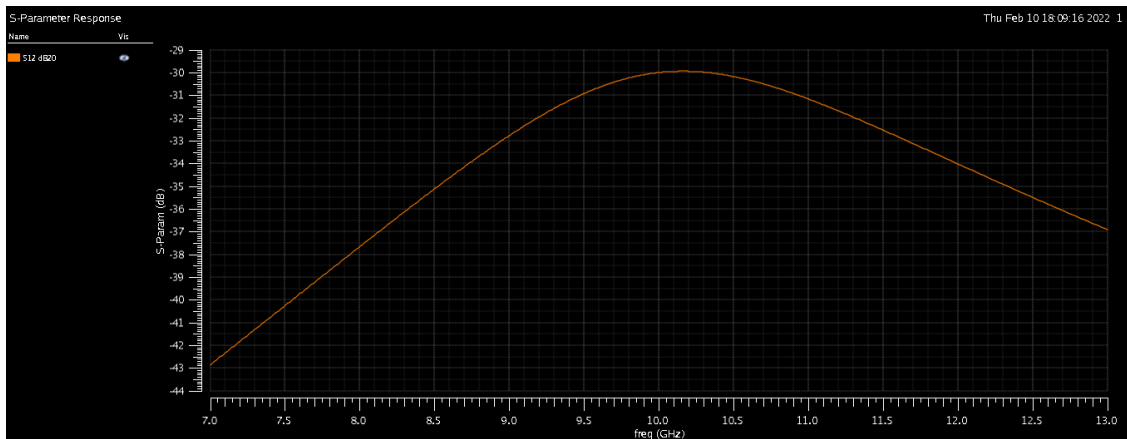


Figura 4.28: Parametro S12 [dB20] in funzione della frequenza

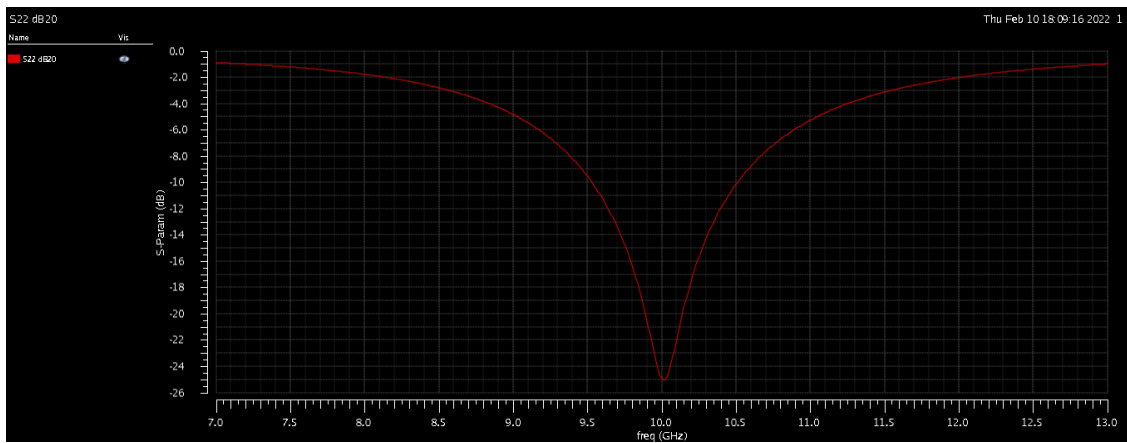


Figura 4.29: Parametro S22 [dB20] in funzione della frequenza

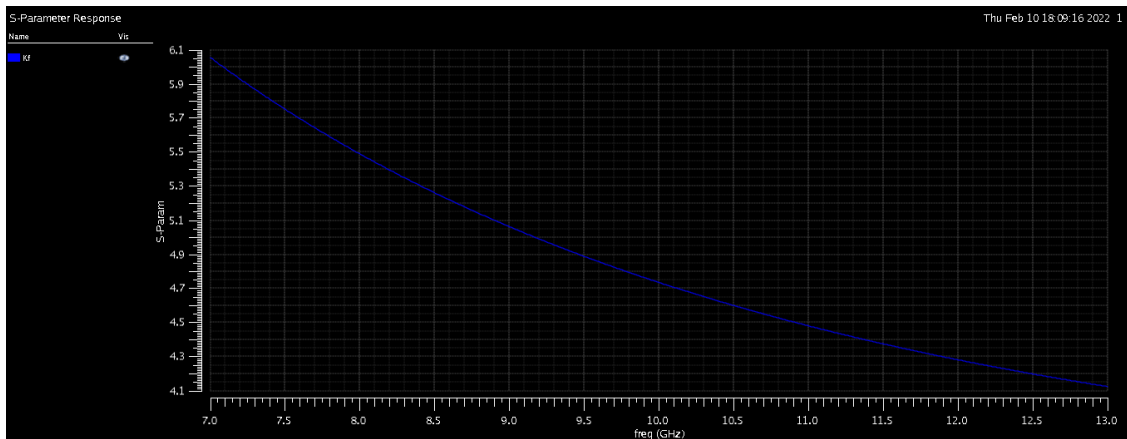


Figura 4.30: Parametro di stabilità incondizionata K_f in funzione della frequenza

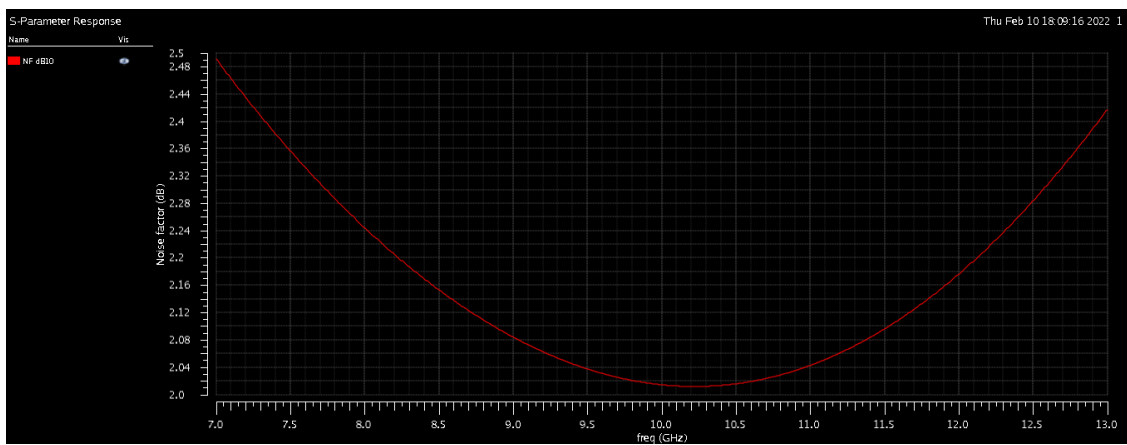


Figura 4.31: Cifra di rumore [dB] in funzione della frequenza

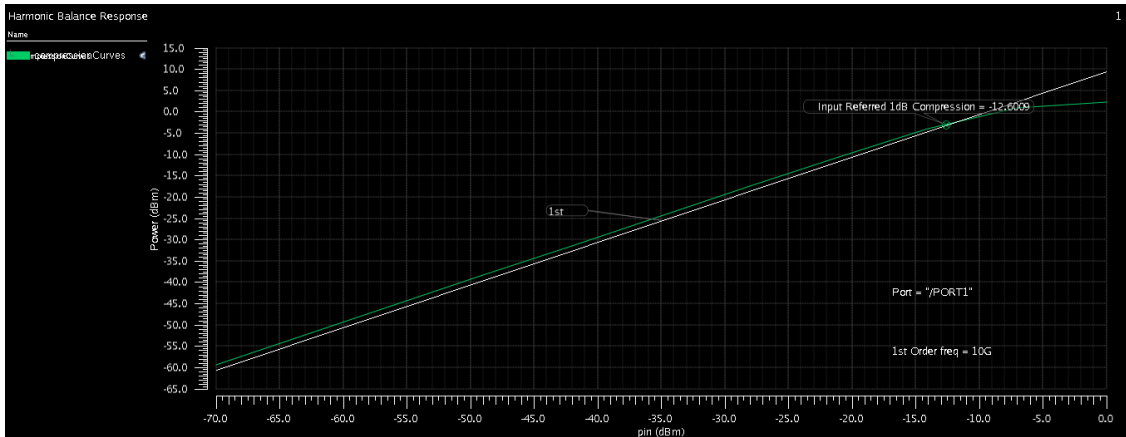


Figura 4.32: Punto di compressione a 1 dB

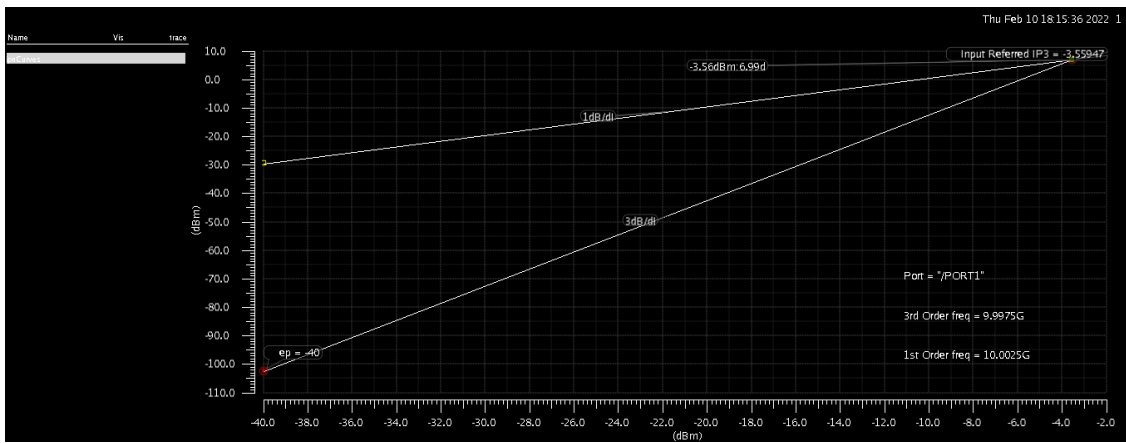


Figura 4.33: Intercetta al terzo ordine

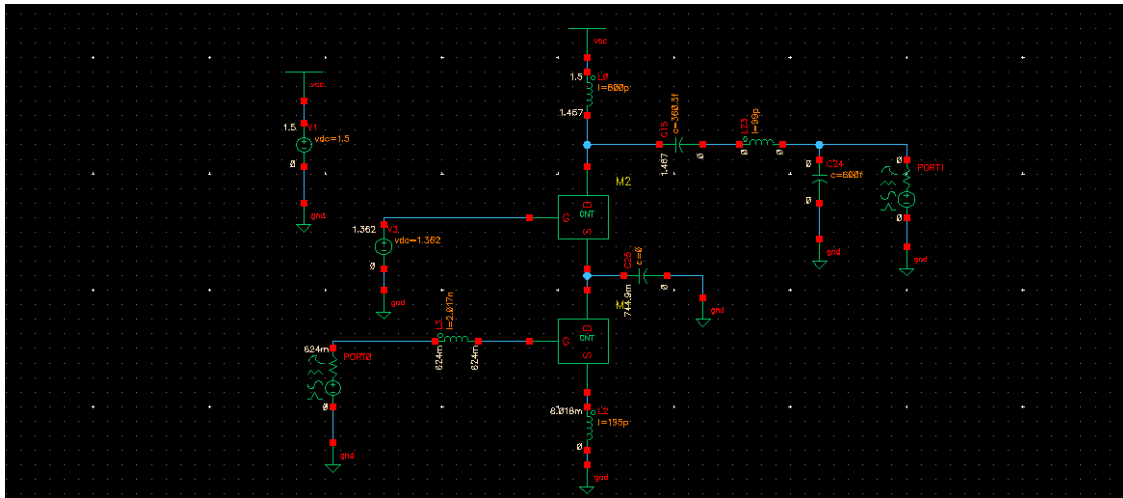


Figura 4.34: Schematico con valori dei componenti e delle tensioni DC ai nodi

4.4 Progetto dell'amplificatore a bassa cifra di rumore a 24 GHz: dispositivo innovativo con parametri $W=200\mu$, $L=200n$

Con gli stessi criteri di progetto, si è realizzata anche la versione a 24 GHz del medesimo amplificatore.

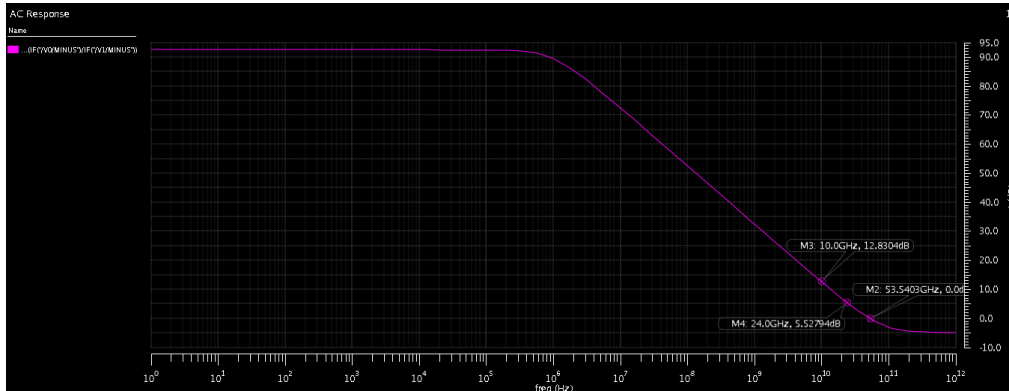


Figura 4.35: Frequenza di transizione del transistor CNT Forth, comparazione tra i valori di guadagno in corrente a 10 GHz e 24 GHz

Così come per l'amplificatore di potenza si tiene conto del valore di frequenza $f_0 = 24$ GHz essendo $f_0 < f_T$ (frequenza di funzionamento all'incirca di un'ottava al di sotto della frequenza di transizione), il circuito si trova ad una frequenza di lavoro prossima alla frequenza di transizione, di conseguenza l'approssimazione a guadagno di corrente di corcocircuito che tende all'infinito non è più valida, per questo avremo un valore del parametro S21 all'incirca dimezzato rispetto la versione a 10 GHz (anch'essa di fatto presenta un guadagno di corrente ridotto ma comunque maggiore rispetto il funzionamento a 24 GHz).

In questo caso l'alimentazione presenta i seguenti valori delle grandezze elettriche:

- $V_{DD} = 1.5$ V
- $I_{DC} = 5.215$ mA
- $P_{DC} = 7.823$ mW

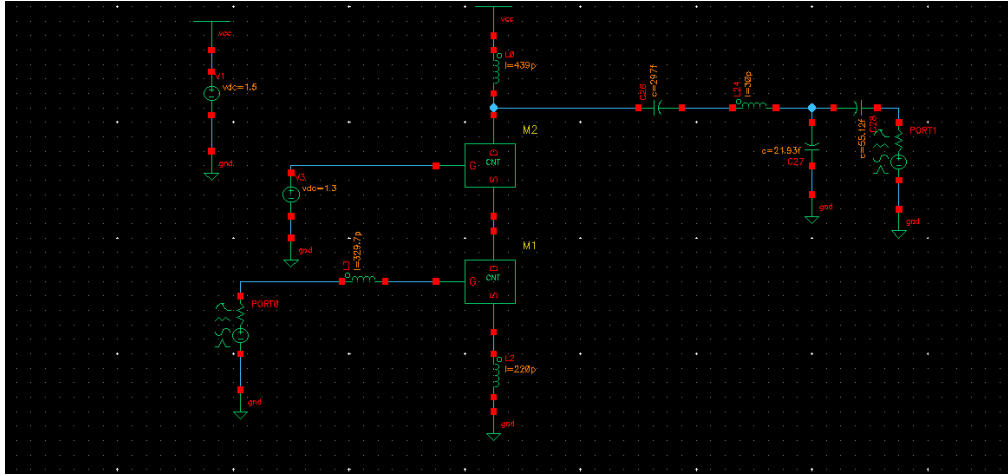


Figura 4.36: LNA cascode (tecnologia CNT)

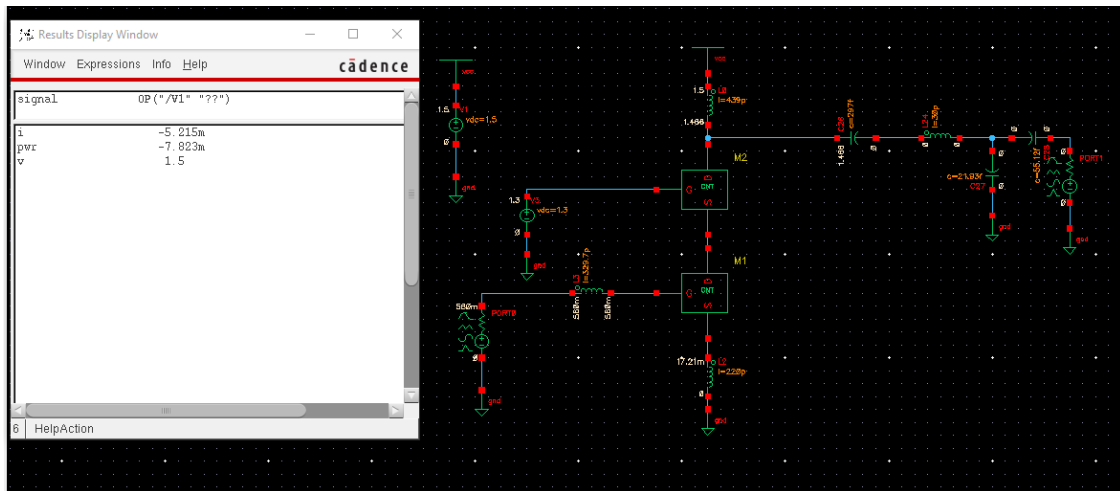


Figura 4.37: Misura della corrente in DC

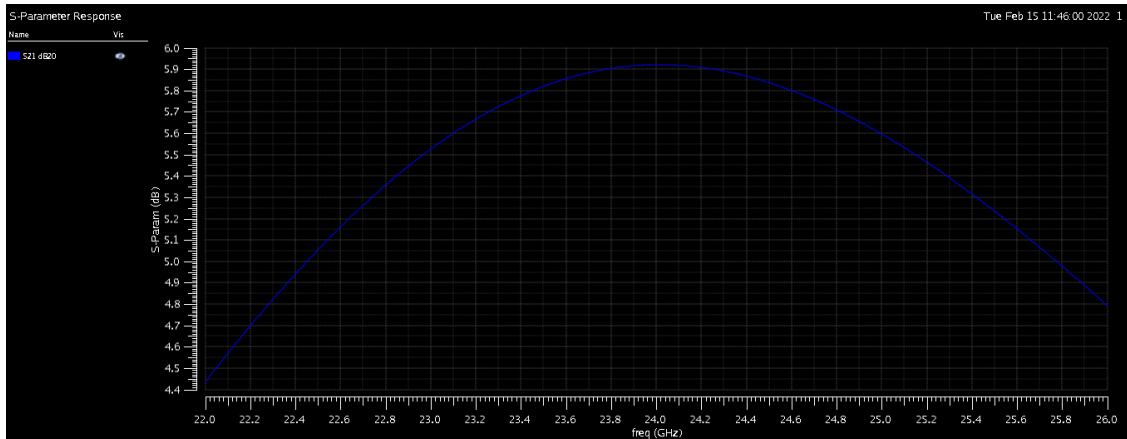


Figura 4.38: Parametro S21 [dB20] in funzione della frequenza

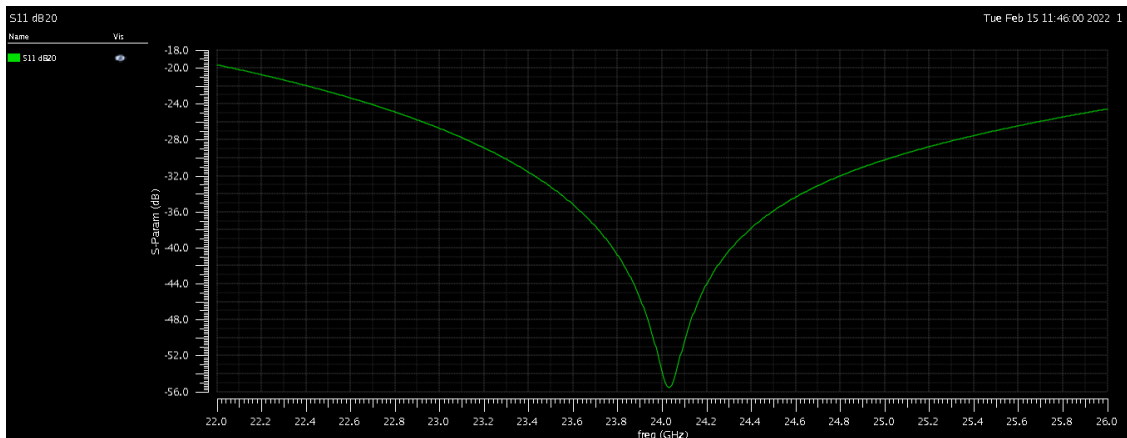


Figura 4.39: Parametro S11 [dB20] in funzione della frequenza

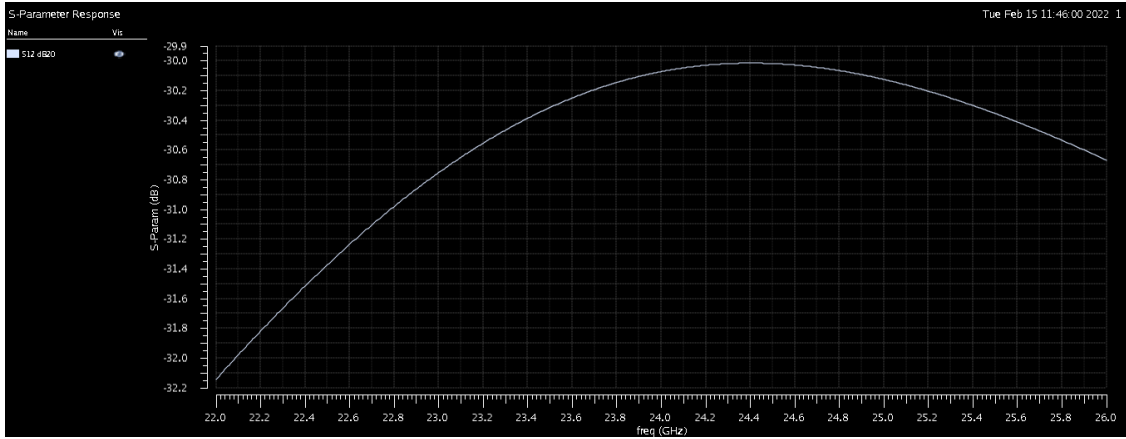


Figura 4.40: Parametro S12 [dB20] in funzione della frequenza

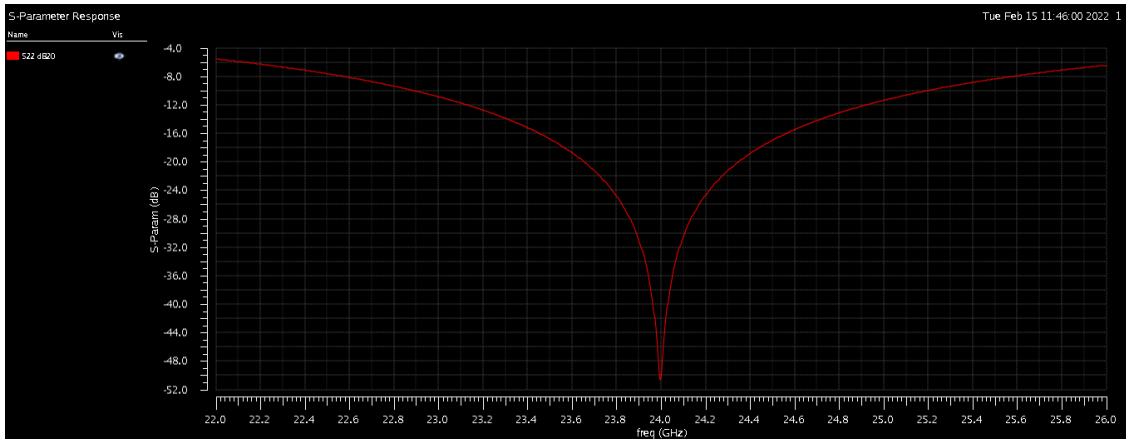


Figura 4.41: Parametro S22 [dB20] in funzione della frequenza

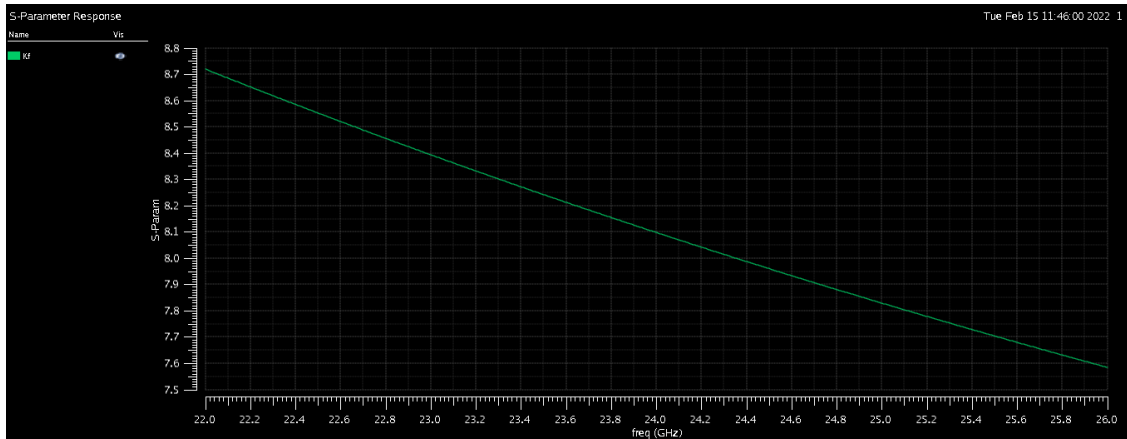


Figura 4.42: Parametro di stabilità incondizionata K_f in funzione della frequenza

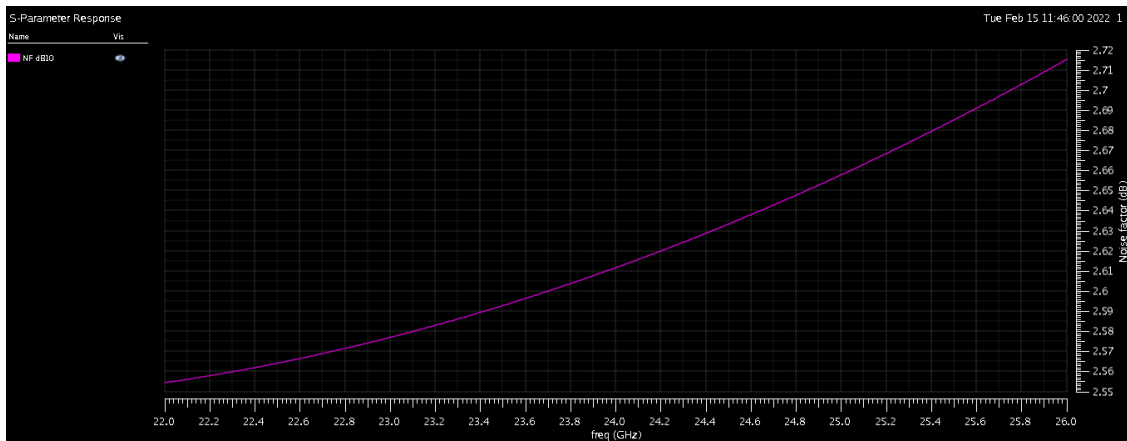


Figura 4.43: Cifra di rumore [dB] in funzione della frequenza

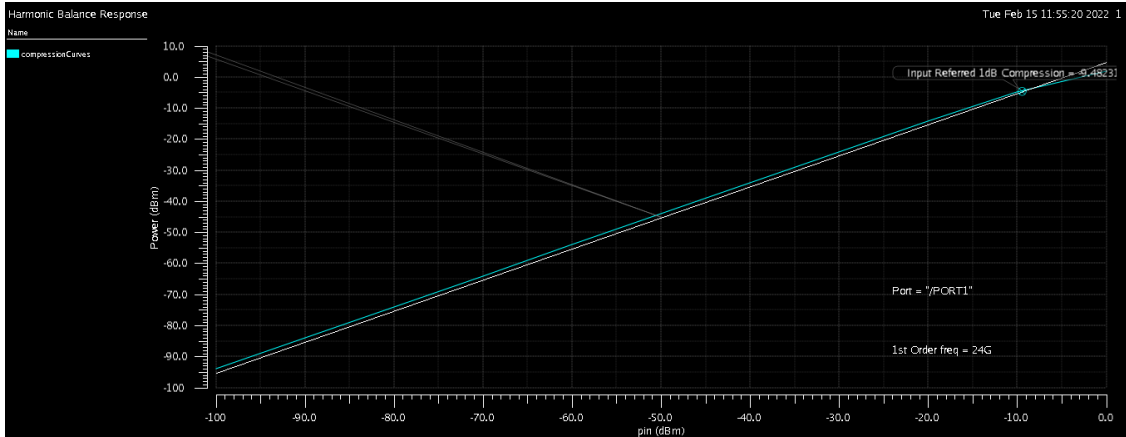


Figura 4.44: Punto di compressione a 1 dB

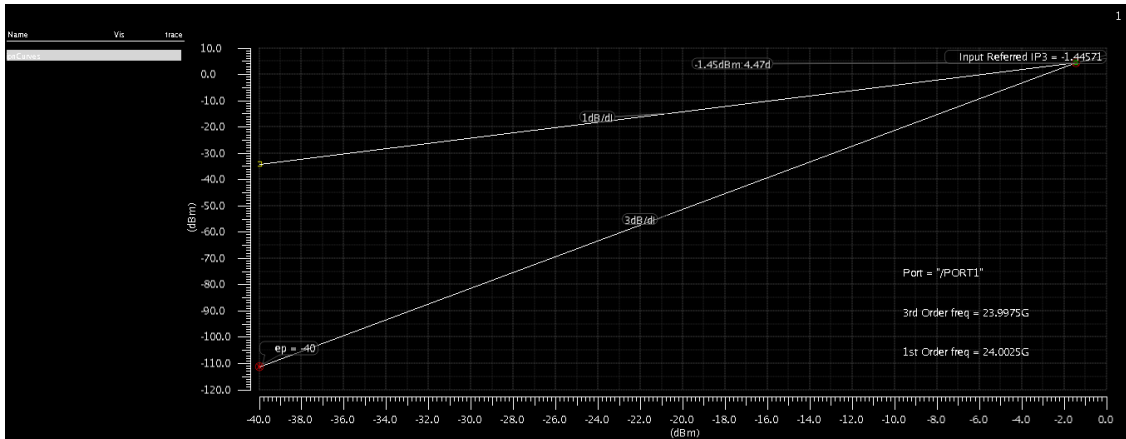


Figura 4.45: Intercetta al terzo ordine

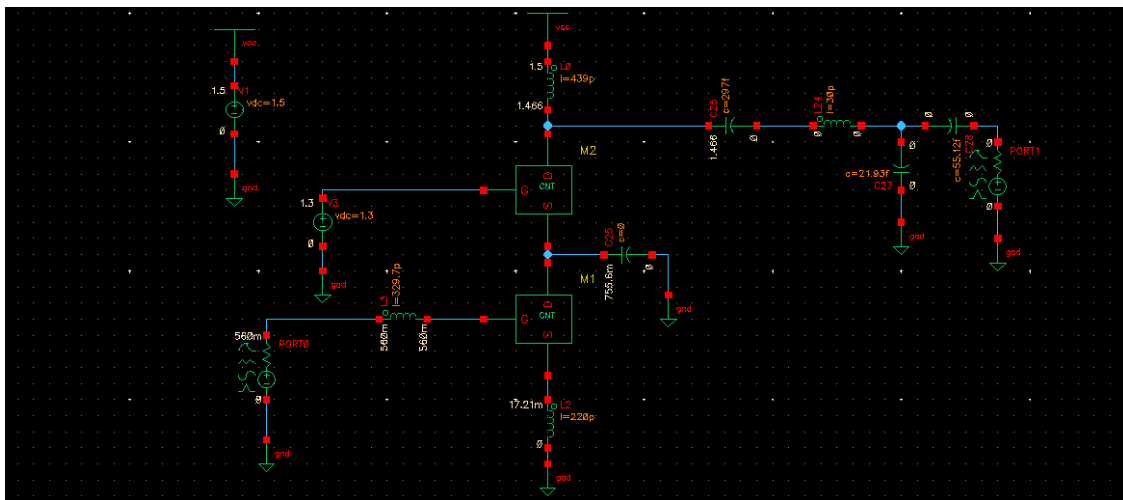


Figura 4.46: Schematico con valori dei componenti e delle tensioni DC ai nodi

Capitolo 5

Conclusioni

Il progetto di tesi correlato al lavoro svolto in dipartimento mi ha permesso di approfondire la conoscenza di un'area di ricerca all'intersezione di micro- e nano-elettronica e nanotecnologia per le ICT. Tale area di ricerca risulta sempre più al centro delle dinamiche aziendali visto l'avanzamento di industria 4.0 e IOT.

Nondimeno, il lavoro di tesi mi ha permesso di imparare ad usare avanzati strumenti di simulazione numerica dedicati alla progettazione di circuiti integrati, come Cadence Virtuoso. Oltre ad una crescita personale nell'ambito di un settore altamente professionalizzante, il progetto, seppur nei limiti intrinseci della simulazione in quanto tale, ha permesso di delineare azioni migliorative da apportare ai componenti elettronici che costituiscono il core delle moderne piattaforme tecnologiche. L'analisi di materiali nanostrutturati e la loro implementazione circuitale costituiscono, infatti, una sfida importante per le moderne tecnologie di trasmissione digitale.

Come è stato mostrato in questo lavoro di tesi, è possibile realizzare dei circuiti integrati che, almeno a livello di modellazione, sono altamente performanti e che al tempo stesso soddisfano le specifiche dei moderni protocolli di telecomunicazione. La maggior parte dei limiti implementativi delle nanotecnologie sono, ad oggi, dovuti dal processo tecnologico per la realizzazione fisica dei circuiti integrati.

Questi sistemi elettronici, infatti, presentano dei limiti di performance dovuti soprattutto da valori elevati delle resistenze di contatto (dovuti da una differenza non trascurabile dei valori del livello di Fermi) tra il materiale nanostrutturato inserito nel dispositivo elettronico / circuito integrato e il metallo utilizzato per le interconnessioni circuitali del circuito stesso.

Nonostante i limiti sopra descritti, i sistemi elettronici che implementano questa tecnologia innovativa si dimostrano più performanti rispetto lo stato dell'arte della micro- e nano-elettronica attuale sia in termini di performance che di efficienza. L'utilizzo dei materiali nanostrutturati permette, infatti, la realizzazione di piattaforme tecnologiche altamente performanti che garantiscono prestazioni in linea con i requisiti dei sistemi che costituiscono le moderne tecnologie di trasmissione.

L'utilizzo di una soluzione hardware basata su materiali nanostrutturati fornisce un margine di scalabilità che va ben oltre quello del silicio o di qualsiasi altro semiconduttore convenzionale, in questo modo si ottengono dei sistemi elettronici in grado di scalare a frequenze più elevate rispetto alle soluzioni esistenti.

Il problema attuale con i sistemi transceiver esistenti è che sono monitorati e controllati esternamente. Grazie alla bassa dimensionalità caratterizzante i componenti basati su materiali nanostrutturati, si riescono a realizzare dei moduli del ricevitore wireless completamente integrati che includono al loro interno anche la parte circuitale dedicata alla gestione dell'alimentazione e sensoristica per temperatura e umidità, andando così ad aumentare drasticamente l'efficienza energetica e a ridurre la rumorosità dei circuiti analogici.

Tramite questi miglioramenti è possibile stabilire una nuova generazione dell'elettronica analogica basata su sistemi più intelligenti, più efficienti, a basso costo e in grado di operare a radiofrequenza. Questi moderni sistemi di trasmissione permettono quindi di aumentare la capacità di servizio e di andare quindi a colmare il cosiddetto divario digitale.

Ringraziamenti

Questo elaborato di tesi ha potuto prendere forma e sostanza grazie al tirocinio curriculare svolto presso il Dipartimento di Ingegneria dell'Informazione dell'Università Politecnica delle Marche. Un ringraziamento speciale va quindi al mio relatore, il Prof. Luca Pierantoni, che mi ha accolto nella sua proposta di tirocinio, soddisfacendo le mie esigenze riguardo l'argomento nel quale ho voluto svolgere il lavoro di tesi e dandomi fiducia sin dal primo momento, permettendomi così di formarmi in questo ambito che reputo fondamentale e affascinante. Poi vorrei ringraziare il Prof. Paolo Crippa e il Prof. Giorgio Biagetti che si sono gentilmente offerti disponibili, avendomi dato una mano durante tutta l'esperienza di tirocinio nello svolgimento del progetto di tesi.

Se concludo il mio percorso di studi lo devo alla mia famiglia che da sempre mi ha sostenuto in tutte le mie decisioni, credendo in me fino alla fine e senza la quale non sarei neanche qui a scrivere questa tesi.

Ringrazio inoltre i miei amici di una vita per avermi regalato momenti di spensieratezza e per il bene che mi hanno sempre dimostrato e che raramente si riceve da un gruppo di amici.

Questi anni di studi sono stati per me molto importanti perchè mi hanno permesso di crescere non soltanto dal punto di vista professionale, ma anche dal punto di vista personale, ringrazio quindi anche me stesso per aver trovato sempre la forza di affrontare i momenti più bui e la volontà di voler puntare sempre più in alto, credendo in me più di quanto non lo abbia mai fatto nessun'altro, permettendomi così di migliorarmi giorno dopo giorno.

Come spesso si è soliti dire, mi piace ricordare che questo non è un traguardo, ma un importante inizio verso quella che sarà la mia vita futura.

Bibliografia

- [1] Bing-Sui Lu. «The Casimir effect in topological matter». In: *Universe* 7.7 (2021), p. 237.
- [2] *What is Graphene?* <https://www.youtube.com/watch?v=EX8C1PVkD1g>.
- [3] Andre K Geim e Konstantin S Novoselov. «The rise of graphene». In: *Nano-science and technology: a collection of reviews from nature journals*. World Scientific, 2010, pp. 11–19.
- [4] Kostya S Novoselov et al. «Two-dimensional gas of massless Dirac fermions in graphene». In: *nature* 438.7065 (2005), pp. 197–200.
- [5] Yanwu Zhu et al. «Graphene and graphene oxide: synthesis, properties, and applications». In: *Advanced materials* 22.35 (2010), pp. 3906–3924.
- [6] Paul L McEuen, Michael S Fuhrer e Hongkun Park. «Single-walled carbon nanotube electronics». In: *IEEE transactions on nanotechnology* 1.1 (2002), pp. 78–85.
- [7] B Obradovic et al. «Analysis of graphene nanoribbons as a channel material for field-effect transistors». In: *Applied Physics Letters* 88.14 (2006), p. 142102.
- [8] Shailendra Kumar Tripathi, Mohd Ansari, Amit M Joshi et al. «Carbon Nanotubes-Based Digitally Programmable Current Follower.» In: *VLSI Design* (2018).
- [9] *Americans' Data Usage More Than Doubled in 2015*. <https://www.prnewswire.com/news-releases/americans-data-usage-more-than-doubled-in-2015-300272913.html>.
- [10] Afif Osseiran et al. «Scenarios for 5G mobile and wireless communications: the vision of the METIS project». In: *IEEE communications magazine* 52.5 (2014), pp. 26–35.
- [11] *Nano components for electronic smart wireless systems*. <https://project-nanosmart.com/>.
- [12] *4G Transceiver Chip*. https://www.globalspec.com/industrial-directory/4g_transceiver_chip.

-
- [13] JPB Janssen et al. «Robust X-band LNAs in AlGaN/GaN technology». In: *2009 European Microwave Integrated Circuits Conference (EuMIC)*. IEEE. 2009, pp. 101–104.
- [14] *D.Schnauffer whitepaper*. <https://www.qorvo.com/>.
- [15] Ammar A Majeed, Ismail Hburi e AL-Shaeli Intisar. «RF-Chains Reduction by BeamSpace MIMO to Achieve Near-Optimal Performance: An Overview». In: *2022 International Conference on Computer Science and Software Engineering (CSASE)*. IEEE. 2022, pp. 138–143.
- [16] Ulf Gustavsson et al. «On the impact of hardware impairments on massive MIMO». In: *2014 IEEE Globecom Workshops (GC Wkshps)*. IEEE. 2014, pp. 294–300.
- [17] Florian Kaltenberger et al. «Relative channel reciprocity calibration in MIMO/TDD systems». In: *2010 Future Network & Mobile Summit*. IEEE. 2010, pp. 1–10.
- [18] Bodhisatwa Sadhu et al. «7.2 A 28GHz 32-element phased-array transceiver IC with concurrent dual polarized beams and 1.4 degree beam-steering resolution for 5G communication». In: *2017 IEEE International Solid-State Circuits Conference (ISSCC)*. IEEE. 2017, pp. 128–129.
- [19] Jan Marcin Kelner e Cezary Henryk Ziółkowski. «Interference in multi-beam antenna system of 5G network». In: *International Journal of Electronics and Telecommunications* 66.1 (2020).
- [20] *Solid State Broadband High Power Amplifier*. https://www.empowerrf.com/datasheet/Empower_RF_Amplifier_1142.pdf.
- [21] M Mitchell Waldrop. «The chips are down for Moore’s law». In: *Nature News* 530.7589 (2016), p. 144.
- [22] Lian-Mao Peng, Zhiyong Zhang e Sheng Wang. «Carbon nanotube electronics: recent advances». In: *Materials today* 17.9 (2014), pp. 433–442.
- [23] John C Zolper. «Status, challenges, and future opportunities for compound semiconductor electronics». In: *25th Annual Technical Digest 2003. IEEE Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 2003*. IEEE. 2003, pp. 3–6.
- [24] Peter J Burke. «Carbon nanotube devices for GHz to THz applications». In: *Nanosensing: Materials and Devices*. Vol. 5593. Spie. 2004, pp. 52–61.
- [25] Lingming Yang et al. «Chloride molecular doping technique on 2D materials: WS₂ and MoS₂». In: *Nano letters* 14.11 (2014), pp. 6275–6280.
- [26] David Jiménez. «Drift-diffusion model for single layer transition metal dichalcogenide field-effect transistors». In: *Applied Physics Letters* 101.24 (2012), p. 243501.

- [27] Saurabh V. Suryavanshi e Eric Pop. *Stanford 2D Semiconductor (S2DS) model*. Version 1.2.0. Stanford Electrical Engineering, 2018. URL: <https://nanohub.org/publications/18/3>.
- [28] Saurabh V. Suryavanshi e Eric Pop. «S2DS: Physics-based compact model for circuit simulation of two-dimensional semiconductor devices including non-idealities». In: *Journal of Applied Physics* 120.22 (2016), p. 224503.
- [29] Hareesh Chandrasekar et al. «Optical-Phonon-Limited High-Field Transport in Layered Materials». In: *IEEE Transactions on Electron Devices* 63.2 (2015), pp. 767–772.
- [30] Chi-Shuen Lee e H.-S. Philip Wong. *Virtual-Source Carbon Nanotube Field-Effect Transistors Model*. Version 1.0.1. Stanford Electrical Engineering, 2015. URL: <https://nanohub.org/publications/42/2>.
- [31] Chi-Shuen Lee et al. «A compact virtual-source model for carbon nanotube field-effect transistors in the sub-10-nm regime-part II extrinsic elements, performance assessment, and design optimization». In: *arXiv preprint arXiv:1503.04398* (2015).
- [32] Javier N Ramos-Silva et al. «Multifunctional high-frequency circuit capabilities of ambipolar carbon nanotube FETs». In: *IEEE Transactions on Nanotechnology* 20 (2021), pp. 474–480.
- [33] Nilufer Tonga et al. «Power Amplifier Design for IEEE 802.11 a Standard Using AMS 0.35 SiGe BiCMOS Technology». In: *Sabanci University, Faculty of Engineering and Natural Sciences, Orhanli, Tuzla* 34956 ().
- [34] Alireza Saberkari et al. «Design of broadband CNFET LNA based on extracted I–V closed-form equation». In: *IEEE Transactions on Nanotechnology* 17.4 (2018), pp. 731–742.
- [35] Paolo Crippa et al. «A High-Gain CNTFET-Based LNA Developed Using a Compact Design-Oriented Device Model». In: *Electronics* 10.22 (2021), p. 2835.
- [36] Philipp Neiningner et al. «Broadband 100-W Ka-band SSPA based on GaN power amplifiers». In: *IEEE Microwave and Wireless Components Letters* (2022).