



**UNIVERSITA' POLITECNICA DELLE MARCHE**  
**FACOLTA DI INGEGNERIA**

---

Corso di Laurea in Ingegneria Elettronica

**“Convertitori DC-AC multilivello per amplificatori in classe  
D con controllo sigma-delta”**

Relatore: Chiar.mo  
Prof. Simone Orcioni

Tesi di Laurea di:  
Giacomo Di Filippo

A.A. 2018/2019

# INDICE

<b>INTRODUZIONE</b>	1
<b>1. DESCRIZIONE DELL'AMPLIFICATORE</b>	2
1.1. Struttura dell'amplificatore in classe D	2
<b>2. INVERTER MULTILIVELLO</b>	6
2.1. Struttura realizzativa	6
2.2. Vantaggi dell'architettura multilivello	8
2.3. Tipologie	9
2.3.1. Diode clamped inverter	10
2.3.2. Floating capacitor inverter	15
2.3.3. Cascaded cell inverter	20
2.3.4. Inverter T-Type	23
<b>3. MODULAZIONE SIGMA-DELTA</b>	26
3.1. Introduzione al sigma-delta	26
3.2. Modulazione sigma-delta del primo ordine	28
3.3. Modulazione sigma-delta di ordine superiore	30
<b>4. ARCHITETTURA DEL MODULATORE SIGMA-DELTA</b>	33
4.1. Modello del modulatore	33
4.2. Simulazioni del modulatore	37
4.2.1. Risultati simulazioni a 1 MHz	39
4.2.2. Risultati simulazioni a 2 MHz	42
<b>5. ARCHITETTURA DELL'AMPLIFICATORE</b>	44
5.1. Modello dell'amplificatore	44
5.2. Simulazioni dell'amplificatore	47
<b>6. CONCLUSIONI</b>	49
<b>APPENDICE</b>	51
<b>BIBLIOGRAFIA</b>	58

## ELENCO DELLE FIGURE

- Figura 1.1 Schema generale rappresentativo dell'amplificatore in classe D qui proposto.
- Figura 1.2 Circuito di un inverter DC-AC a ponte intero o "a ponte H" da [3].
- Figura 1.3 Modello Simulink dell'altoparlante.
- Figura 2.1 Schema generale di un convertitore da tensione continua ad alternata.
- Figura 2.2 Circuito di un inverter a mezzo ponte.
- Figura 2.3 Circuito del diode clamped inverter da [6].
- Figura 2.4 Circuito del floating capacitor inverter da [6].
- Figura 2.5 Circuito del cascaded cell inverter da [6].
- Figura 2.6 Circuito dell'inverter T-Type da [4].
- Figura 3.1 Densità spettrale di potenza del rumore di quantizzazione per una conversione PCM alla frequenza di Nyquist e con sovra campionamento.
- Figura 3.2 Modello generale del sigma-delta da [15].
- Figura 3.3 Convertitore A/D con modulatore sigma-delta del primo ordine da [13].
- Figura 3.4 NTF sigma-delta primo ordine: scala lineare (a), logaritmica in dB (b), da [13].
- Figura 3.5 Densità spettrale di potenza del rumore di quantizzazione per una conversione PCM alla frequenza di Nyquist e per una conversione PCM con sovracampionamento e noise-shaping.
- Figura 3.6 Modulatore sigma-delta del secondo ordine da [13].
- Figura 3.7 NTF per modulatori sigma-delta dal I al III ordine: spettri di ampiezza su scala lineare a confronto con la NTF del convertitore PCM a sovracampionamento con guadagno unitario; (a) scala lineare, (b) scala logaritmica in dB, da [13].
- Figura 3.8 SNR teorico per modulatore di ordine n da [14].
- Figura 4.1 Architettura sigma-delta a più livelli da [16].
- Figura 4.2 SNR massimo utilizzando posizionamento ottimo per gli zeri da [15].
- Figura 4.3 Scalatura dell'ingresso u di un fattore  $\beta$  da [16].
- Figura 4.4 Caratteristica del quantizzatore a cinque livelli.

- Figura 4.5 Quantizzatore utilizzato per il modello in Simulink.
- Figura 4.6 Filtro digitale realizzato in Simulink.
- Figura 4.7 Modello Simulink del modulatore sigma-delta.
- Figura 4.8 Uscita (sopra) e ingresso (sotto) del sigma delta con quantizzatore a cinque livelli.
- Figura 4.9 Grafico della funzione di trasferimento del segnale o STF a 1 MHz.
- Figura 4.10 Grafico della funzione di trasferimento del rumore o NTF a 1 MHz.
- Figura 4.11 Grafico della funzione di trasferimento del segnale o STF a 2 MHz.
- Figura 4.12 Grafico della funzione di trasferimento del rumore o NTF a 2 MHz.
- Figura 5.1 Modello Simulink dell'inverter utilizzato.
- Figura 5.2 Modello LTSpice del carico con filtro e altoparlante.
- Figura 5.3 Comportamento in frequenza della tensione sul carico: la linea continua è il modulo, la linea tratteggiata è la fase.
- Figura 5.4 Filtro utilizzato per il calcolo del rumore in uscita dall'amplificatore.

## **ELENCO DELLE TABELLE**

- Tabella 1.1 Tabella rappresentativa degli stati assunti dal convertitore a ponte intero.
- Tabella 2.1 Tabella rappresentativa degli stati assunti dal convertitore a mezzo ponte.
- Tabella 2.2 Tabella rappresentativa degli stati assunti dal diode clamped inverter.
- Tabella 2.3 Tabella rappresentativa degli stati assunti dal floating capacitor inverter.
- Tabella 2.4 Tabella rappresentativa degli stati assunti dal cascaded cell inverter.
- Tabella 2.5 Tabella rappresentativa degli stati assunti dall'inverter T-Type.
- Tabella 4.1 Posizionamento ottimo degli zeri per aumentare l'SNR da [14].
- Tabella 4.2 Tabella degli SNR ottenuti nelle simulazioni a 2 MHz.

## INTRODUZIONE

In questa tesi si propone un modello di amplificatore audio in classe D, introdotto nel Capitolo 1, realizzato utilizzando una architettura multilivello a cinque livelli, in modo da migliorare il contenuto armonico dell'uscita grazie ad una maggiore risoluzione e utilizzando una modulazione sigma-delta invece della consueta PWM.

Nel Capitolo 2 vengono esposte le caratteristiche dell'inverter multilivello, del quale sono mostrate le architetture maggiormente impiegate per realizzarli, con particolare accezione per la topologia scelta per questa tesi, presentata nel paragrafo 2.3.4. Successivamente viene analizzata nel Capitolo 3 la modulazione sigma-delta, che è utilizzata in questo caso per il pilotaggio dell'inverter.

Viene quindi proposto nei Capitoli 4 e 5 il modello circuitale di questo amplificatore, realizzato utilizzando la piattaforma MATLAB/Simulink, in particolare il Simscape, e simulazioni di esso utilizzando una sinusoide come segnale di ingresso. Vengono mostrati anche i grafici delle tensioni di uscita che evidenziano un corretto funzionamento del circuito e nell'ultimo capitolo vengono esposte le conclusioni sul progetto.

## I DESCRIZIONE DELL'AMPLIFICATORE

In elettronica sono presenti diversi tipi di amplificatori audio [1] che differiscono tra di loro per alcuni fattori come il tempo di accensione degli interruttori e l'efficienza di lavoro dello stesso. Essi si distinguono in due grandi categorie: amplificatori analogici e digitali.

I più diffusi amplificatori analogici sono gli stadi di classe A, B, AB e sono anche definiti amplificatori lineari data la presenza di transistor in uscita che operano sempre linearmente. Questi stadi prendono in ingresso un segnale analogico per produrne in uscita uno ancora analogico e presentano come svantaggio il ridotto guadagno e le elevate perdite di potenza, dovute ai lunghi tempi di accensione dei transistor.

Al contrario gli amplificatori digitali, rappresentati in particolare dall'amplificatore in classe D, utilizzano dei transistor che lavorano come semplici interruttori in cui, dato un segnale digitale in ingresso, ne riproducono uno in uscita. Presentano quindi perdite molto minori e guadagni molto elevati, con un'efficienza che nella pratica si aggira intorno al 92-93%, e per questi motivi rappresenta la tipologia di amplificatore scelta.

### 1.1 STRUTTURA DELL'AMPLIFICATORE IN CLASSE D

La struttura dell'amplificatore in classe D realizzato in questa tesi è mostrata in Figura 1.1 e può essere vista principalmente come una struttura a due stadi connessi tra di loro.

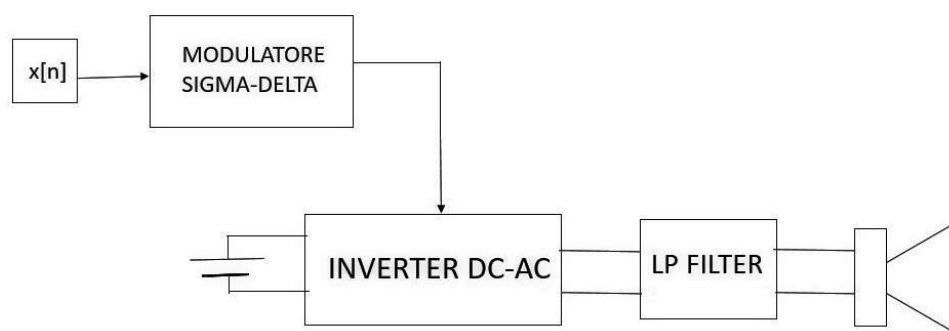


Figura 1.1 - Schema generale rappresentativo dell'amplificatore in classe D qui proposto.

Il primo stadio è composto da un modulatore sigma-delta, un componente che realizza una modulazione del segnale di ingresso a tempo discreto, dando ancora in uscita un

segnale a tempo discreto. La caratteristica principale è data dal fatto che presenta alle basse frequenze il segnale stesso, con il rumore invece spostato alle alte frequenze, grazie al noise-shaping effettuato dal modulatore. Inoltre, si comporta anche come driver del circuito, permettendo il pilotaggio dei transistor dell'inverter.

Il secondo stadio dell'amplificatore è costituito da un inverter DC-AC, cioè un circuito che, data una tensione continua in ingresso, ne genera una alternata in uscita.

Solitamente viene utilizzata una architettura con quattro transistor posti a due a due in due rami, chiamata inverter a ponte intero [2], che permette di ottenere una uscita a tre livelli, in genere  $+V_{dd}$ ,  $0$ ,  $-V_{dd}$ , dove  $V_{dd}$  rappresenta l'alimentazione in continua.

Un esempio di convertitore a ponte intero è mostrato in Figura 1.2:

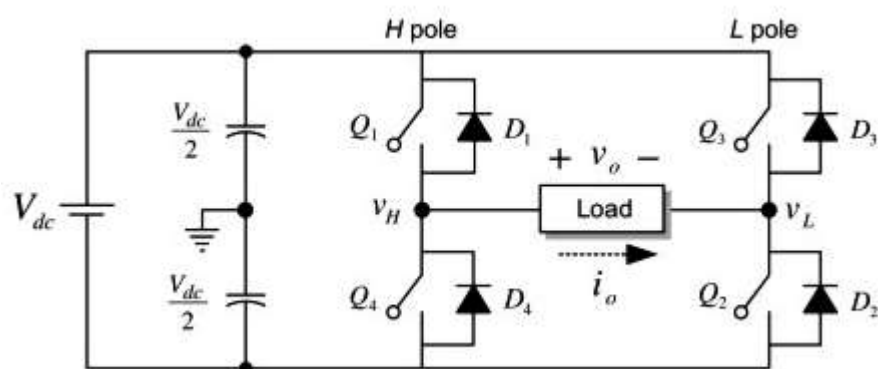


Figura 1.2 - Circuito di un inverter DC-AC a ponte intero o “a ponte H”.

Questo circuito è composto da quattro interruttori e una alimentazione in DC, in cui è presente anche un condensatore per effettuare il DC-link. Il funzionamento è piuttosto semplice e consiste nel pilotaggio dei transistor in modo da tenerne sempre due accesi contemporaneamente e si effettua un cambiamento dello stato in uscita effettuando la commutazione di due interruttori ogni volta. Gli stati ottenibili si trovano nella Tabella 1.1, dove si mostra solo lo stato di  $Q_1$  e  $Q_3$ , considerando che gli interruttori nello stesso ramo, rispettivamente  $Q_4$  e  $Q_2$  hanno comportamento opposto, quindi se  $Q_1$  è acceso allora  $Q_4$  è spento.



Stato	Q1	Q3	Vo
00	OFF	OFF	0
01	OFF	ON	-Vdc
10	ON	OFF	+Vdc
11	ON	ON	0

Tabella 1.1 - Tabella rappresentativa degli stati assunti dal convertitore a ponte intero.

In questa configurazione sono presenti due rami in cui non sono mai accesi insieme i due transistor, cosa che creerebbe un cortocircuito e quindi un malfunzionamento che può portare anche alla rottura.

Nel primo stato 00 si hanno i due interruttori superiori spenti e i due inferiori accesi, ottenendo in uscita il livello di tensione nullo. Questo avviene poiché la corrente circola nella maglia di Q4 e D2, diodo di ricircolo di Q2, oppure nella maglia di Q2 e D4 e genera una differenza di tensione in uscita che vale zero. Questa ambiguità nel percorso della corrente dipende dalla direzione della stessa, rispettivamente in senso antiorario e senso orario.

Si ha la stessa situazione per lo stato 11, in cui sono accesi gli interruttori Q1 e Q3, ottenendo in uscita una tensione nulla. Il percorso della corrente in questo caso ha luogo nella maglia attraverso Q1 e D3 oppure Q3 e D1.

Nello stato 01 si genera il livello di tensione  $-V_{dc}$  tenendo accesi i transistor Q4 e Q3, facendo attenzione che, durante la commutazione, non si abbia un istante in cui siano accesi insieme i due interruttori nello stesso ramo per preservare il circuito.

Infine, nello stato 10 si accendono gli interruttori Q1 e Q2 e risulta in uscita una differenza di tensione pari a  $V_{dc}$ , dal momento che dal primo ramo esce una tensione di  $V_{dc}$  e dal secondo una nulla. Nella commutazione per ottenere questo valore bisogna sempre prendere le precauzioni appena dette per il corretto funzionamento del circuito.

Al contrario, per realizzare l'inverter usato in questa tesi è utilizzata un'architettura a cinque livelli, già presentata in [4] e mostrata nel paragrafo 2.3.4. Questa è ottenuta con un totale di cinque transistor, diversamente dal solito inverter a ponte intero a tre livelli.

Questa topologia è costituita da un ponte intero, quindi quattro transistor, più un quinto, che serve per generare ulteriori due livelli, in modo da ottenere un totale di cinque livelli e quindi una maggiore risoluzione e una minore distorsione armonica dell'uscita, quindi un contenuto armonico più pulito che permetta una riduzione nella complessità del filtro in uscita.

Infine, si trova il carico dell'inverter costituito da un filtro passa basso, realizzato con una rete LC a scala, e l'altoparlante. In particolare, questo dispositivo permette, dato un segnale elettrico in ingresso, di generare un segnale meccanico, cioè l'audio. Questo apparecchio può anche essere studiato in termini di comportamento elettrico ed approssimato utilizzando la rete RLC di Figura 1.3.

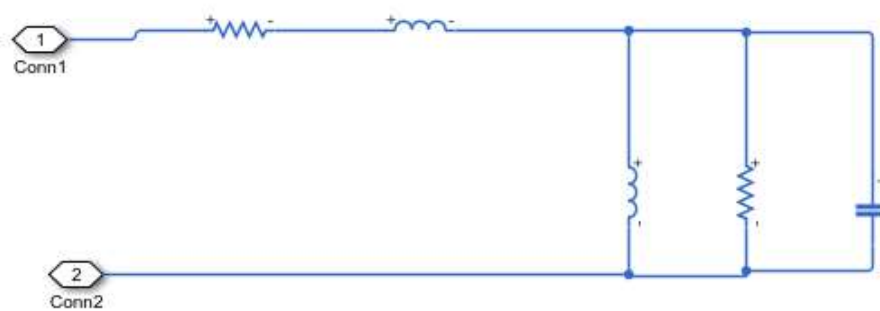


Figura 1.3 - Modello Simulink dell'altoparlante.

Una volta mostrata la struttura generale di questo amplificatore, si procede a descrivere ogni singola parte nel dettaglio, cominciando dall'inverter. Verranno mostrate le principali architetture usate e quella scelta in questa tesi, per poi analizzare il modulatore scelto, costituito dal modulatore sigma-delta.

## II INVERTER MULTILIVELLO

Gli inverter multilivello sono dei convertitori DC-AC che sviluppano una tensione di uscita su più livelli, portando con sé numerosi vantaggi rispetto ai classici inverter a mezzo ponte e a ponte intero. In particolare, si sta diffondendo molto l'uso nel mondo di queste nuove topologie e nella letteratura sono presenti molti tipi di inverter.

Ora andremo a presentare la struttura di questi circuiti per poi passare alla descrizione delle architetture maggiormente usate, tra cui, nel paragrafo 2.3.4, si trova quella scelta per la realizzazione dell'amplificatore presentato in questa tesi [4].

Infine, vengono spiegati i vantaggi e gli svantaggi degli inverter multilivello rispetto alla tecnologia precedentemente utilizzata.

### 2.1 STRUTTURA REALIZZATIVA

La struttura tipica dell'inverter è presente in Figura 2.1.

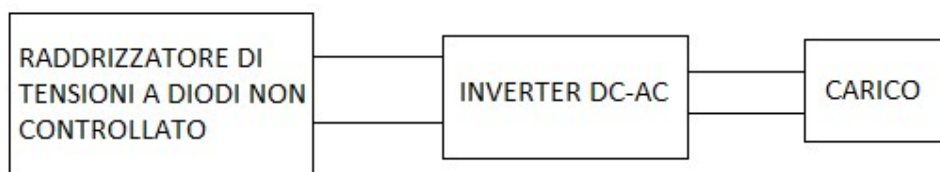


Figura 2.1 - Schema generale di un convertitore da tensione continua ad alternata.

L'inverter è un circuito che svolge il ruolo di convertitore DC-AC, cioè trasforma una tensione continua in ingresso in una tensione alternata di uscita, perciò presenta innanzitutto una alimentazione in continua, spesso ottenuta rettificando la tensione alternata di rete.

Questa va poi a fornire la tensione per l'architettura utilizzata, in genere costituita da diversi circuiti, denominati 'half-bridge', o mezzo ponte, opportunamente posizionati.

L' half-bridge costituisce la base di tutte le topologie presentate ed è mostrato in Figura 2.2. Esso è composto da due soli transistor, con i rispettivi diodi di ricircolo in antiparallelo, che permettono di produrre in uscita una tensione alternata a due livelli,

$+V_{in}/2$  e  $-V_{in}/2$ . Questa architettura a due livelli è molto usata per un accoppiamento perfetto con la PWM, dal momento che quest'ultima genera appunto proprio due livelli.

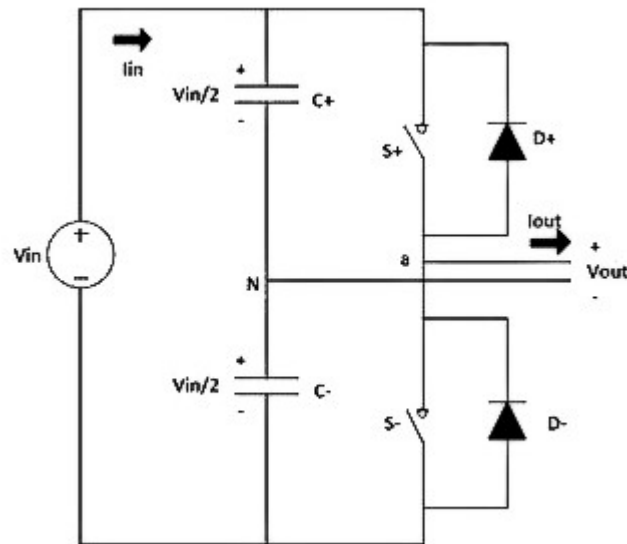


Figura 2.2 - Circuito di un inverter a mezzo ponte.

Il funzionamento è piuttosto semplice e dipende dallo stato dei transistor presenti, se accesi o spenti. Quindi in tutto sono possibili 4 stati, mostrati nella Tabella 2.1.

S+	S-	STATO	Vout	Componenti ON
ON	ON	X (indesiderato)	-	-
ON	OFF	1	$V_{dc}/2$	S+ se $i_{out} > 0$ , D+ se $i_{out} < 0$
OFF	ON	2	$-V_{dc}/2$	D- se $i_{out} > 0$ , S- se $i_{out} < 0$
OFF	OFF	3	0	D- se $i_{out} > 0$ , D+ se $i_{out} < 0$

Tabella 2.1 - Tabella rappresentativa degli stati assunti dal convertitore a mezzo ponte.

Nel caso in cui vengano accesi entrambi i transistor, si genera uno stato indesiderato che cortocircuita la sorgente DC. Perciò bisogna evitare, settando correttamente il driver, che il circuito finisca in questo stato.

Al contrario con S+ acceso e S- spento si ottiene sul carico una tensione di  $+V_{in}/2$ , dove il verso della corrente  $i_{out}$  dipende da quale componente conduce. Infatti, se S+ conduce, la corrente ha verso positivo, se invece è D+ a condurre, sarà negativa.

Invece con S+ spento e S- acceso si ha in uscita una tensione di  $-V_{in}/2$  con la corrente che può scorrere in entrambi i versi in base al dispositivo che conduce come mostrato nella tabella.

Infine, se entrambi i transistor S+ e S- sono spenti, la corrente, a seconda del verso, scorre su uno dei due diodi, generando la tensione in uscita di una determinata polarità. Nel caso  $i_{out}$  sia positiva scorrerebbe su D- e si avrebbe sul carico  $+V_{in}/2$ , mentre se la corrente fosse negativa passerebbe su D+, provocando sul carico una tensione di  $-V_{in}/2$ .

Questo circuito fornisce il punto di partenza per le altre architetture descritte successivamente, ponendo le basi sul funzionamento e sul comportamento della tensione in uscita. Quest'ultima è perciò una tensione alternata dato che, presa una corrente continua in ingresso, si genera una tensione a più livelli sul carico. Il carico varia in base agli utilizzi e potrebbe essere composto da componenti puramente resistivi oppure sia resistivi che reattivi, come l'altoparlante di Figura 1.3.

## **2.2 VANTAGGI DELL'ARCHITETTURA MULTILIVELLO**

Il circuito tipico realizzativo di un inverter è il mezzo-ponte descritto nel paragrafo precedente e rappresenta un esempio di inverter a due livelli, quindi l'uscita è descritta utilizzando due diversi livelli di tensione:  $+V_{dc}/2$  e  $-V_{dc}/2$ . Successivamente sono state sviluppate anche topologie che presentano un maggior numero di livelli, di cui le più utilizzate verranno descritte nel paragrafo successivo, che offrono vantaggi e svantaggi rispetto a questa architettura [5].

Innanzitutto, gli inverter multilivello consentono di superare i limiti sulle tensioni massime applicabili al sistema di conversione, altrimenti imposti dai valori massimi applicabili ai singoli dispositivi di potenza utilizzati. Questo significa che lo stress di tensione sul singolo dispositivo, rispetto al totale in uscita, è molto minore e si può generare una tensione maggiore. Pertanto, permettono la realizzazione di apparati che possono essere collegati alle reti di distribuzione in media tensione senza l'interposizione di trasformatori, oppure alimentare grandi macchine elettriche rotanti di decine e

centinaia di kW, quali i motori dei locomotori o di grandi impianti industriali, i generatori eolici ecc.

Se da un lato i convertitori multilivello superano i vincoli sulle tensioni massime ai morsetti, dall'altro, essi danno luogo ad una considerevole riduzione sia del contenuto armonico nelle grandezze elettriche in uscita e in ingresso, sia della frequenza di commutazione dei dispositivi a semiconduttore impiegati, che consente di ridurre le perdite di commutazione. Ciò permette di ottenere significativi incrementi di efficienza ed una riduzione delle dimensioni o la totale eliminazione dei filtri in uscita e/o in ingresso. Infatti, le tensioni presenti ai morsetti di uscita dell'inverter presentano forme d'onda che si possono approssimare a delle sinusoidi, inoltre hanno un basso contenuto di armoniche di tensione e corrente.

La possibilità di utilizzare dispositivi di potenza a bassa tensione (relativamente alle tensioni ai morsetti) incrementa ulteriormente i vantaggi in quanto essi hanno bassissime resistenze di conduzione e, operando a frequenze più basse, sono affetti da perdite per commutazione trascurabili o minime.

Da tutto ciò, derivano ulteriori vantaggi: per esempio, i dissipatori termici e i filtri in ingresso e/o in uscita sono notevolmente più piccoli, quindi i convertitori sono più compatti e leggeri e i materiali isolanti sono soggetti a tensioni e frequenze più basse, quindi a stress inferiori, a tutto vantaggio dell'affidabilità e della durata all'intero sistema. Ovviamente, il prezzo da pagare è una maggiore complessità dei circuiti, infatti sono necessari molti più componenti e un sistema di pilotaggio maggiormente difficoltoso, difficoltà che cresce in modo più che lineare con il numero di livelli scelto.

Infine, un'altra caratteristica degli inverter multilivello è la possibile presenza di stati ridondanti, cioè più combinazioni di pilotaggio dei transistor che portano ad avere la stessa tensione di uscita, cosa che permette ad esempio di creare un sistema tollerante agli errori.

### **2.3 TIPOLOGIE**

Nella letteratura sono descritte molte tipologie [6, 7, 8] sviluppate nel corso degli anni e queste si differenziano tra loro per numero di componenti, numero di sorgenti in DC e caratteristiche di funzionamento.

Le architetture più utilizzate e più note al momento sono il diode clamped inverter, il floating capacitor inverter e il cascaded H-bridge inverter, ma numerose altre sono state sviluppate e sono in fase di studio, promettendo numerosi vantaggi su più punti di vista, come la riduzione del numero di componenti, cosa che promette l'inverter T-Type, presentato nel paragrafo 2.3.4 e rappresentante delle nuove topologie in corso di perfezionamento.

### 2.3.1 DIODE CLAMPED INVERTER

Questa configurazione è stata proposta nel 1981 da Nabae [9] e viene anche chiamata 'neutral point clamped'. Questo nome deriva dal fatto che presenta un 'neutral point', cioè una connessione ad un punto a tensione nulla. Questo punto, in aggiunta al DC-bus, permette di creare più livelli in uscita, dove il DC-bus è in genere costituito da un numero pari di condensatori, i quali permettono di suddividere la tensione di ingresso. Inoltre, utilizzano anche numerosi diodi di 'clamping', che sono diodi che permettono il passaggio della corrente dall'ingresso all'uscita e di bloccare un certo livello di tensione.

La struttura tipica di un inverter a cinque livelli è rappresentata in Figura 2.3.

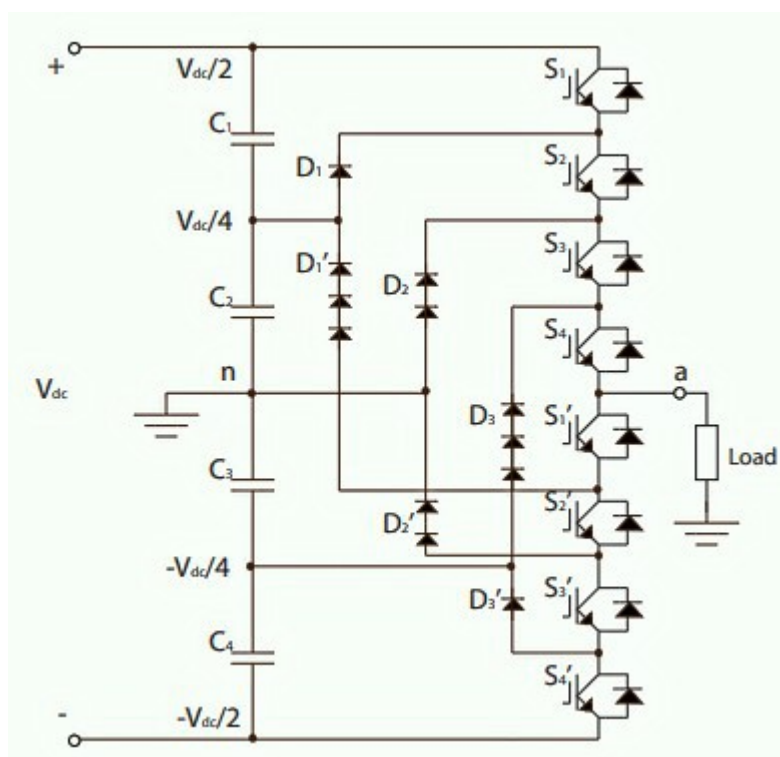


Figura 2.3 - Circuito del diode clamped inverter.

Questa consiste di quattro condensatori e otto interruttori, necessari per generare i cinque livelli della tensione di uscita. Infatti, generalizzando per un inverter a  $n$  livelli, servono  $(n-1)$  condensatori, in modo da suddividere l'ingresso in  $(n-1)$  parti e ai quali si aggiunge il livello zero, dato dal punto neutro. Oltre a questo, sono presenti  $(2n-1)$  interruttori e la tensione che ognuno di loro deve sopportare è pari a  $2V_{dc}/(n-1)$ . Ad ogni modo, un problema che non esiste nell'inverter a due livelli e che invece si presenta in questa configurazione è la necessità di assicurarsi che la tensione tra i due (o  $(n-1)$  nel caso di  $n$  livelli) condensatori in serie del bus di ingresso sia equilibrata.

In questa topologia, come in quelle che vedremo successivamente, la funzione di interruttore viene realizzata da degli IGBT, ai quali è collegato un diodo in antiparallelo, necessario in quanto il dispositivo può essere danneggiato definitivamente quando in esso viene forzata una corrente inversa.

La caratteristica principale di questa architettura è la numerosa presenza di diodi di clamping che sono però soggetti a stress ad alta tensione pari a  $V_{dc}(n-2)/(n-1)$ . Di conseguenza, è richiesto il collegamento in serie dei diodi, in cui il numero di diodi richiesti sarà di  $(n-1) \cdot (n-2)$ , in modo da ridurre il carico di tensione sul singolo componente.

Per avere cinque possibili livelli di tensione sui rami dell'inverter, gli IGBT sono controllati in modo tale che in ogni momento solo quattro degli otto interruttori siano in conduzione, tenendo in considerazione che in un ciclo completo un interruttore può commutare una sola volta.

La Tabella 2.2 presenta tutti gli stati possibili, attraverso i transistor nella parte superiore  $S_1, S_2, S_3, S_4$ , dato che i corrispondenti interruttori nella parte inferiore  $S_1', S_2', S_3', S_4'$  hanno un comportamento opposto. Sotto ogni colonna degli interruttori vengono inseriti degli 1 e 0 che segnalano se sono accesi o spenti: un 1 indica che l'interruttore viene acceso ma non obbligatoriamente conduce, infatti, in base al verso della corrente, conduce il transistor o il suo diodo di ricircolo. Uno 0 segnala al contrario che il l'interruttore è spento. Questo schema è poi utilizzato anche per le architetture che seguono.

Nella tabella sono presenti tutte le 16 combinazioni possibili di funzionamento del circuito al variare del pilotaggio. Tra queste, solo cinque producono stati ammissibili e



sono corrispondenti ai livelli di tensione possibili in uscita:  $-V_{dc}/2$ ,  $-V_{dc}/4$ ,  $0$ ,  $V_{dc}/4$  e  $V_{dc}/2$ .

Nelle altre situazioni si hanno invece degli stati cosiddetti ‘proibiti’, così definiti per il fatto che la tensione di uscita cambia al variare del verso della corrente, perciò non possono essere utilizzati nel pilotaggio per via di questa indeterminatezza. Negli stati definiti ammissibili, al contrario, ciò non avviene.

S1	S2	S3	S4	$V_o$
0	0	0	0	$-V_{dc}/2$
0	0	0	1	$-V_{dc}/4$
0	0	1	0	Stato proibito
0	0	1	1	0
0	1	0	0	Stato proibito
0	1	0	1	Stato proibito
0	1	1	0	Stato proibito
0	1	1	1	$V_{dc}/4$
1	0	0	0	Stato proibito
1	0	0	1	Stato proibito
1	0	1	0	Stato proibito
1	0	1	1	Stato proibito
1	1	0	0	Stato proibito
1	1	0	1	Stato proibito
1	1	1	0	Stato proibito
1	1	1	1	$V_{dc}/2$

Tabella 2.2 - Tabella rappresentativa degli stati assunti dal diode clamped inverter.

Procedendo alla descrizione del funzionamento, iniziamo con lo stato  $-V_{dc}/2$ . Questo è ottenuto spegnendo i quattro transistor nella parte superiore S1, S2, S3 e S4, e di conseguenza accendendo i quattro nella parte inferiore, S1', S2', S3', S4'.

In questo modo si ottiene un percorso conduttivo attraverso i quattro transistor, o i rispettivi diodi di ricircolo, che connette il punto a tensione  $-V_{dc}/2$  dell'ingresso all'uscita. Infatti, nel caso di corrente entrante nel carico, questa circola attraverso i diodi di ricircolo dei transistor nella parte inferiore, ottenendo in uscita proprio  $-V_{dc}/2$ . Ciò che lo rende uno stato utilizzabile è il fatto che, avendo una corrente di verso opposto al precedente, perciò uscente dal carico, si ottiene ancora la stessa tensione, con l'unica differenza data da quali dispositivi conducono. Altrimenti si ha infatti passaggio di corrente attraverso gli interruttori  $S1'$ ,  $S2'$ ,  $S3'$ ,  $S4'$ .

Se invece abbiamo accesi  $S4$ ,  $S1'$ ,  $S2'$  e  $S3'$  si ha un nuovo stato utilizzabile in uscita, corrispondente al livello di tensione  $-V_{dc}/4$ . Il percorso della corrente è infatti ininfluente ai termini del potenziale di uscita e, nel caso di corrente entrante, essa fluisce attraverso  $C1$ ,  $C2$ ,  $C3$ ,  $D3$  e  $S4$ . Al contrario, con la corrente uscente, scorre sui diodi di ricircolo di  $S1'$ ,  $S2'$ ,  $S3'$  e  $D3'$  e  $C4$ .

Un terzo stato lecito si ha accendendo i quattro transistor centrali  $S3$ ,  $S4$ ,  $S1'$ ,  $S2'$  e provoca una tensione nulla sul carico, connettendo l'uscita con il neutro presente nel circuito. Nel caso di corrente entrante, essa passa per  $C1$ ,  $C2$ ,  $D2$ ,  $S3$  e  $S4$ , creando un percorso connettivo con il carico. Se invece la corrente è uscente, passa attraverso  $S1'$ ,  $S2'$ ,  $D2'$ ,  $C3$  e  $C4$ .

Il penultimo stato possibile è rappresentato da  $V_{dc}/4$  che si ottiene dando un ingresso alto ai transistor  $S2$ ,  $S3$ ,  $S4$ ,  $S1'$ , in questo modo si fraziona la tensione attraverso il condensatore  $C1$  e si ottiene il livello desiderato di tensione. Analizzando lo scorrimento della corrente, se essa scorre con verso entrante, allora conducono  $C1$ ,  $D1$ ,  $S2$ ,  $S3$ ,  $S4$ , in modo da unire l'ingresso con l'uscita. Nel caso opposto di corrente uscente dal carico si troveranno a condurre invece  $S1'$ ,  $D1'$ ,  $C2$ ,  $C3$  e  $C4$ .

L'ultimo stato ottenibile in uscita corrisponde a  $V_{dc}/2$ , facendo di esso il valore più alto possibile. Per raggiungere questo livello di tensione occorre accendere i transistor  $S1$ ,  $S2$ ,  $S3$  e  $S4$ , cioè quelli nella parte superiore, tenendo invece spenti quelli inferiori. La corrente si trova quindi a scorrere, nel caso di corrente verso il carico, attraverso  $S1$ ,  $S2$ ,  $S3$ ,  $S4$ ; quando la corrente scorre invece nel verso opposto, passa per i diodi di ricircolo dei transistor superiori e poi nei condensatori  $C1$ ,  $C2$ ,  $C3$  e  $C4$ , dato che rappresenta il massimo raggiungibile.

Questa struttura presenta quindi una topologia piuttosto semplice, che presenta dei vantaggi e svantaggi nell'utilizzo, anche in base al numero di livelli richiesto per l'uscita.

Il maggiore beneficio è che, prevedendo per ogni ramo un numero doppio di interruttori rispetto al normale inverter a due livelli, ognuno di questi deve bloccare solo metà della tensione DC del bus di ingresso.

Inoltre, un altro punto di forza risiede nella semplicità costruttiva con pochi e robusti componenti allo stato solido (interruttori e diodi di ricircolo), nel limitato utilizzo di condensatori e nella costruzione modulare che permette l'accoppiamento back to back.

Lo svantaggio di questa topologia è nella difficoltà di correzione dinamica delle tensioni, nella mancanza di stati ridondanti, in una certa complessità della modulazione e nell'elevato numero di componenti nel caso di un numero di livelli elevato, in particolare dei diodi di clamping. Riferendoci a questo, il numero di diodi aumenta nell'ordine di  $n^2$ , con  $n$  numero di livelli, e questo aumento esponenziale diventa impegnativo nel caso di numeri alti.

Riguardo il bilanciamento delle tensioni, il problema nasce quando i condensatori, posti nel DC-link, si trovano a trasferire delle potenze attive. Questo provoca cariche e scariche di essi non uguali, in parte a causa di diversi carichi di lavoro, oppure la corrente viene assorbita dai nodi tra i condensatori. Questo fatto può provocare tensioni dei condensatori diverse, che vanno necessariamente corrette allo scopo di mantenere un equilibrio.

Per risolvere il problema è possibile aggiungere un circuito di bilanciamento aggiuntivo o implementando metodi di controllo più complessi [10]. A causa delle complicazioni del bilanciamento della tensione del condensatore, questa topologia con un numero elevato di livelli di tensione è insolita. La presenza di eventuali stati ridondanti, cioè stati che forniscono la stessa tensione in uscita con combinazioni di pilotaggio diverse, permetterebbe di poter sistemare questo problema. Infatti, utilizzando combinazioni diverse si generano anche cariche e scariche diverse sui condensatori interessati, dando la possibilità, variando gli stati utilizzati ma lasciando invariata la tensione di uscita, di bilanciare le tensioni dei condensatori. Però questa soluzione non è utilizzabile per questa topologia data la mancanza di questi stati, mentre viene utilizzata per altre architetture.

### 2.3.2 FLOATING CAPACITOR INVERTER

Questa topologia è stata sviluppata da Maynard [11] nel 1992 e presenta una struttura molto simile al diode clamping inverter, con delle opportune differenze.

La caratteristica principale è data dal fatto che la suddivisione della tensione in ingresso è effettuata attraverso dei condensatori flottanti rispetto al collegamento a massa, infatti sono in grado di caricarsi e in questo modo mantengono la tensione al valore desiderato. Questo permette in uscita la generazione dei diversi livelli, in base a quali condensatori vengono caricati.

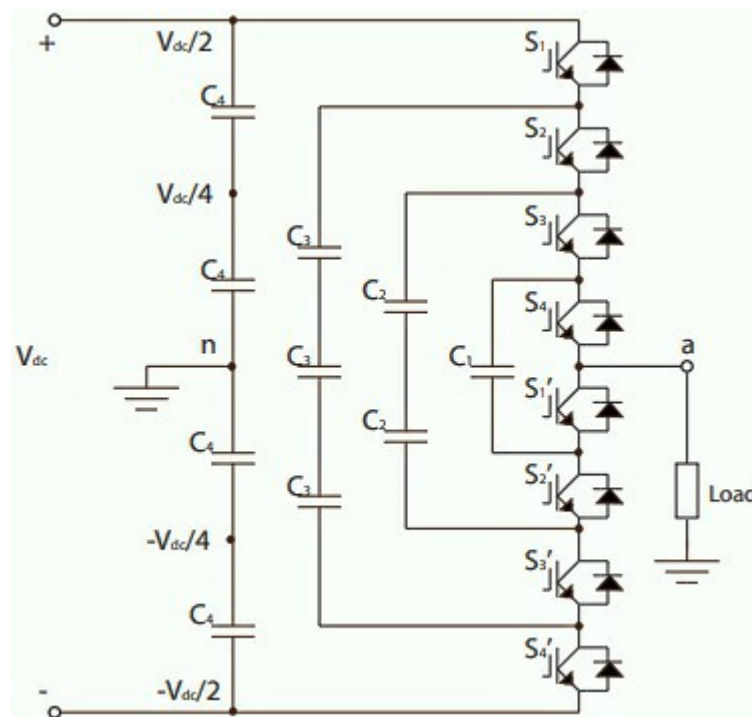


Figura 2.4 - Circuito del floating capacitor inverter.

Questa architettura presenta  $(n-1)$  condensatori nel DC-bus condiviso, dove  $n$  è il numero di livelli dell'inverter, e vengono utilizzati  $2(n-1)$  interruttori, con il proprio diodo di ricircolo, per permettere il passaggio della corrente in entrambi i versi. Questa rappresenta una caratteristica condivisa con la topologia mostrata nel paragrafo precedente ma, come grande differenza, utilizza dei condensatori al posto dei diodi e aumenta il numero di possibili combinazioni di commutazione poiché permettono il passaggio della corrente in entrambi i versi, cosa che non fanno i diodi. Si ottiene perciò che diversi stati di

commutazione saranno in grado di generare lo stesso livello di tensione generando una ridondanza che porta a diversi vantaggi. Bisogna tenere conto però, riguardo il dimensionamento e il numero dei componenti, che ogni condensatore deve mantenere una tensione pari a  $V_{dc}/(n-1)$  e quindi sarà necessario un numero molto elevato di capacità, rappresentato da  $n*(n-1)/2$ .

In Figura 2.4 è mostrato lo schema di questo convertitore a cinque livelli, nella configurazione in cui presenta il punto a tensione nulla nel mezzo del DC-bus, come il diode clamping converter.

Questo circuito presenta, secondo ciò enunciato precedentemente, un DC-bus costituito da quattro condensatori, i quali suddividono l'ingresso potendo tenere ciascuno una tensione pari a  $V_{dc}/4$ . Inoltre, sono necessari anche otto interruttori, pilotati da un driver in modo da tenerne sempre accesi quattro, e sei condensatori, che permettono il passaggio della corrente dall'ingresso al carico. In questo modo si ottengono 16 possibili stati in uscita dalle combinazioni di accensione dei transistor e sono anche considerati tutti stati permessi. Infatti, non si presentano ambiguità di valori in uscita dovute al verso della corrente e si ha la presenza di molti stati ridondanti.

Ora procediamo alla descrizione degli stati ottenibili in uscita, mostrati nella Tabella 2.3, in cui è utilizzata la stessa metodologia della topologia prima analizzata.

Analizzando il comportamento al variare del pilotaggio, si osserva la presenza di diversi stati ridondanti per i livelli intermedi, mentre non sono presenti per i livelli esterni. Questo fatto non va però ad influire sul corretto bilanciamento delle tensioni nei condensatori, che verrà successivamente descritto.

In ogni stato qui rappresentato si può osservare un percorso conduttivo tra ingresso e uscita, che ora viene spiegato nel dettaglio per tutti i casi possibili, nell'ipotesi di corrente entrante nel carico. Questo poiché si tiene conto del fatto che, con corrente uscente, si ottiene lo stesso valore di tensione, dove l'unica differenza è data dall'inversione del comportamento dei condensatori; questo significa che, in base al verso della corrente, le capacità si caricano o si scaricano.

S1	S2	S3	S4	V <sub>o</sub>
0	0	0	0	-V <sub>dc</sub> /2
0	0	0	1	-V <sub>dc</sub> /4
0	0	1	0	-V <sub>dc</sub> /4
0	0	1	1	0
0	1	0	0	-V <sub>dc</sub> /4
0	1	0	1	0
0	1	1	0	0
0	1	1	1	V <sub>dc</sub> /4
1	0	0	0	-V <sub>dc</sub> /4
1	0	0	1	0
1	0	1	0	0
1	0	1	1	V <sub>dc</sub> /4
1	1	0	0	V <sub>dc</sub> /4
1	1	0	1	0
1	1	1	0	V <sub>dc</sub> /4
1	1	1	1	V <sub>dc</sub> /2

Tabella 2.3 - Tabella rappresentativa degli stati assunti dal floating capacitor inverter.

- Stato 0000: Sono spenti gli interruttori nella parte superiore S1, S2, S3 e S4, mentre sono accesi quelli nella parte inferiore. Qui la corrente procede dal nodo inferiore a tensione -V<sub>dc</sub>/2 direttamente nel carico attraverso i diodi di ricircolo di S1', S2', S3', S4', senza caricare o scaricare alcun condensatore. In questo modo si ottiene -V<sub>dc</sub>/2 in uscita.
- Stato 0001: In questo stato sono accesi S4, S1', S2', S3' e si ha in uscita il valore di tensione -V<sub>dc</sub>/4. Si ha il passaggio della corrente attraverso i diodi di ricircolo di S2', S3', S4' partendo dal nodo a -V<sub>dc</sub>/2. Successivamente passa attraverso C1, che viene scaricata, e si guadagna il valore di tensione che si trovava su quel condensatore, corrispondente a V<sub>dc</sub>/(m-1), che qui vale V<sub>dc</sub>/4. Si ha ora la corrente sull'interruttore S4 e sul carico arriva una tensione di -V<sub>dc</sub>/4.

- Stato 0010: Sono accesi S3, S1', S2' e S4' e in questo caso la corrente scorre sui condensatori C2 e C1. In particolare, C2 è costituito da due capacità che vengono scaricate, provocando un aumento di tensione pari a  $V_{dc}/2$ , mentre C1 viene caricata, diminuendo la tensione di  $V_{dc}/4$ . In uscita si ottiene infine il valore di  $-V_{dc}/4$ .
- Stato 0011: Gli interruttori S3, S4, S1', S2' sono accesi e generano in uscita una tensione nulla. Questo si ottiene poiché la corrente si trova a scaricare C2, passando su di esso e provoca un aumento della tensione di  $V_{dc}/2$ , infatti, partendo dal nodo  $-V_{dc}/2$ , grazie a questo guadagno, arriva al livello zero.
- Stato 0100: Sono accesi S2, S1', S3', S4' e si ha la corrente che scorre attraverso i condensatori C3 e C2. Questi ultimi vengono rispettivamente scaricati e caricati e generano in uscita la tensione  $-V_{dc}/4$ .
- Stato 0101: Gli interruttori S2, S4, S1', S3' sono accesi e in uscita si ha una tensione nulla provocata dalla scarica di C3 e C1 e la carica di C2. Questi cambiamenti combinati generano un aumento della tensione di  $V_{dc}/2$  dall'iniziale  $-V_{dc}/2$ , in modo da avere livello nullo.
- Stato 0110: Sono accesi gli interruttori S2, S3, S1', S4' e provoca il passaggio della corrente che genera la tensione nulla all'uscita. Durante il transito sui dispositivi interessati, in questo caso C3 e C1, si osserva in uscita il livello zero di tensione. In particolare, C3 viene scaricata e C1 viene caricata e insieme producono un aumento della tensione pari a  $V_{dc}/2$ .
- Stato 0111: In questo stato si hanno S2, S3, S4, S1' accesi e si ha transito di corrente, partendo dal nodo d'ingresso a tensione  $-V_{dc}/2$ , attraverso C3, S2, S3 e S4 e durante il quale i condensatori vengono scaricati. Essendo ognuno di essi capace di contenere un valore pari a  $V_{dc}/4$ , si ottiene in uscita proprio il valore di  $V_{dc}/4$ .
- Stato 1000: Gli interruttori S1, S2', S3', S4' sono tenuti accesi e si ha in uscita il valore di  $-V_{dc}/4$ . Questo valore si ottiene poiché la corrente parte dal nodo d'ingresso a  $V_{dc}/2$ , da lì passa per l'interruttore S1 e va sui condensatori C3. Queste capacità vengono caricate e si ha una perdita di tensione equivalente a  $V_{dc}/4$  per ognuno dei condensatori. Dato che sono presenti tre di essi in quel ramo si ha una perdita totale di  $3V_{dc}/4$ .
- Stato 1001: Sono accesi S1, S4, S2', S3' in modo da avere passaggio di corrente su C3 e C1. Infatti, C3 si carica e C1 si scarica, in modo da produrre una perdita pari a  $V_{dc}/2$  e, partendo da un valore di  $V_{dc}/2$ , si ha ai capi del carico una tensione nulla.

- Stato 1010: Gli interruttori S1, S3, S2', S4' sono accesi e ai capi del carico si ha la tensione nulla, poiché la corrente, partendo dal nodo a potenziale  $V_{dc}/2$ , si trova a scorrere attraverso C3, C1 e C2. Nel passaggio, C1 e C3 si caricano mentre C2 si scarica e si ha un calo di tensione di  $V_{dc}/2$  che genera tensione nulla in uscita.
- Stato 1011: Gli interruttori S1, S3, S4, S2' sono accesi e la corrente segue un percorso che va dal potenziale  $V_{dc}/2$  di ingresso al carico, attraversando i condensatori C3 e C2. Questi ultimi vengono rispettivamente caricati e scaricati producendo una tensione pari a  $V_{dc}/4$  in uscita.
- Stato 1100: Gli interruttori S1, S2, S3', S4' sono accesi e in uscita si ha la tensione di  $V_{dc}/4$ . Questo è dovuto al fatto che C2 viene caricata e C1 scaricata e si ha una perdita di  $V_{dc}/4$  dall'ingresso.
- Stato 1101: Gli interruttori S1, S2, S4, S3' sono accesi e si ha la corrente che passa attraverso C2, provocando la carica dei condensatori di questi. Nel passaggio si perde una tensione pari a  $V_{dc}/2$  e in uscita si ha il livello neutro di tensione.
- Stato 1110: Gli interruttori S1, S2, S3, S4' sono accesi e si produce ai capi del carico una tensione pari a  $V_{dc}/4$  poiché la corrente, partita dal nodo a potenziale  $V_{dc}/2$ , scorre lungo S1, S2, S3 e successivamente su C1. In questo passaggio questa capacità si carica e assorbe una tensione pari a  $V_{dc}/4$ .
- Stato 1111: Gli interruttori S1, S2, S3, S4 sono accesi e si ha un percorso diretto che collega il potenziale  $V_{dc}/2$  al carico passando attraverso i transistori nella parte superiore, senza caricare o scaricare alcun condensatore. Infatti, si ottiene in uscita proprio  $V_{dc}/2$ , dato che non ci sono variazioni di tensione dovute alle capacità.

Sono quindi presenti molti stati ridondanti il cui scopo è quello di bilanciare le cariche sui condensatori. Infatti, per il corretto funzionamento del circuito è necessario che, effettuato un ciclo completo di commutazione, la variazione totale di tensione su un condensatore sia nulla. Questo si ottiene facendo in modo che in un ciclo intero avvenga lo stesso numero di cariche e scariche su ogni condensatore, in modo da mantenere la tensione media al valore desiderato, nel caso a cinque livelli corrispondente a  $V_{dc}/4$ .

In assenza di questi stati non si potrebbero infatti avere più combinazioni nel comportamento dei condensatori e si arriverebbe ad uno sbilanciamento della carica, al contrario, utilizzando metodi di pilotaggio diversi per produrre lo stesso stato all'interno di un ciclo, è permesso regolare il verso della corrente sui condensatori e quindi regolare le cariche e scariche di essi. Infatti, uno sbilanciamento della tensione produce



un'asimmetria che introduce componenti armoniche, maggiore tensione di blocco per gli interruttori di potenza e i diodi del convertitore.

Uno dei vantaggi di questa topologia è dato dal numero contenuto di elementi attivi presenti per un numero di livelli basso. Inoltre, l'utilizzo degli stati ridondanti permette un impiego equo di tutti gli interruttori e una modulazione semplice e robusta. I dispositivi sono anche attraversati da una corrente media molto simile e hanno anche una temperatura di regime simile.

Lo svantaggio principale risiede nel gran numero di condensatori necessari, e il fatto che la tensione ai loro capi debba essere molto stabile per un funzionamento affidabile e sono inoltre necessari circuiti correttivi della deriva. All'aumentare del numero di livelli è necessario un maggior numero di condensatori, pertanto le specifiche di questi ultimi dovranno essere sempre più stringenti. Inoltre, presenta anche un ingombro maggiore rispetto alla tipologia con i diodi di clamping, presentata nel paragrafo precedente.

### *2.3.3 CASCADED CELL MULTILEVEL INVERTER*

Una terza topologia qui descritta è rappresentata dal convertitore multilivello a celle in cascata [12] e presenta delle notevoli differenze rispetto ai due precedentemente descritti.

Innanzitutto, presenta una struttura modulare, dove ogni modulo è costituito da un inverter a ponte intero ed essi vengono posti in cascata, in modo da creare un convertitore multilivello. Infatti, replicando  $n$ -volte la cella costitutiva si ottiene un numero di livelli  $L=2n+1$ . Si nota quindi come ognuno di essi va ad aggiungere due livelli in uscita in aggiunta al livello nullo e il totale è sempre un numero dispari.

Una seconda differenza è la necessità di più sorgenti in DC separate e isolate, in particolare una per ogni cella del convertitore e questo è un fattore di cui tenere conto in quanto potrebbe impedirne l'uso in alcune applicazioni, favorendone invece per altre come i pannelli fotovoltaici e i generatori eolici.

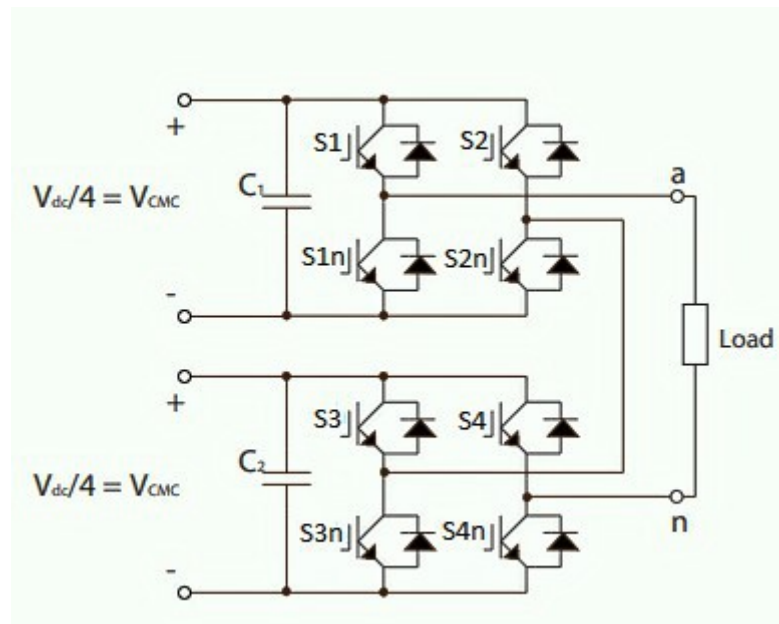


Figura 2.5 - Circuito del cascaded cell inverter.

In Figura 2.5 è mostrato il convertitore a cinque livelli, costituito da due ponti interi connessi tra di loro in cascata e ognuno con la propria alimentazione pari a  $V_{dc}/4$ . L'uscita totale di tensione è la somma di quelle dei singoli moduli e, considerando che un singolo stadio può produrre tre diversi valori di tensione  $V_{dc}/4$ ,  $0$ ,  $-V_{dc}/4$ , questa può oscillare tra  $V_{dc}/2$  e  $-V_{dc}/2$  con un passo di  $V_{dc}/4$ , ottenendo proprio cinque livelli di tensione.

Generalizzando, questa architettura a  $n$  livelli ha  $(n-1)/2$  stadi, corrispondenti a  $4n$  interruttori, e presenta  $n$  sorgenti DC isolate. Inoltre, questa caratteristica di sommare le tensioni dei vari stadi in cascata permette di ottenere in uscita livelli di tensione regolabili a piacere, solo differenziando la tensione dell'alimentazione delle singole celle.

Ritornando al caso a cinque livelli con i due stadi in cascata, in ogni momento sono accesi quattro transistor, due per ogni modulo, e per passare da uno stato all'altro è sufficiente accendere un interruttore e/o spegnerne un altro, ottenendo in questo modo un totale di 16 stati possibili, mostrati nella Tabella 2.4. Il funzionamento di ogni modulo è descritto dalla Tabella 1.1 e quindi in ogni ramo è acceso solo un interruttore per volta, ad esempio se  $S1$  è spento si ha  $S1n$  acceso, e le tensioni  $V1$  e  $V2$  rappresentano rispettivamente le uscite del primo e del secondo stadio, mentre  $V_o$  è la somma delle due.

Stato	S1	S2	S3	S4	V1	V2	V <sub>o</sub>
0000	OFF	OFF	OFF	OFF	0	0	0
0001	OFF	OFF	OFF	ON	0	-V <sub>dc</sub> /4	-V <sub>dc</sub> /4
0010	OFF	OFF	ON	OFF	0	+V <sub>dc</sub> /4	+V <sub>dc</sub> /4
0011	OFF	OFF	ON	ON	0	0	0
0100	OFF	ON	OFF	OFF	-V <sub>dc</sub> /4	0	-V <sub>dc</sub> /4
0101	OFF	ON	OFF	ON	-V <sub>dc</sub> /4	-V <sub>dc</sub> /4	-V <sub>dc</sub> /2
0110	OFF	ON	ON	OFF	-V <sub>dc</sub> /4	+V <sub>dc</sub> /4	0
0111	OFF	ON	ON	ON	-V <sub>dc</sub> /4	0	-V <sub>dc</sub> /4
1000	ON	OFF	OFF	OFF	+V <sub>dc</sub> /4	0	+V <sub>dc</sub> /4
1001	ON	OFF	OFF	ON	+V <sub>dc</sub> /4	-V <sub>dc</sub> /4	0
1010	ON	OFF	ON	OFF	+V <sub>dc</sub> /4	+V <sub>dc</sub> /4	+V <sub>dc</sub> /2
1011	ON	OFF	ON	ON	+V <sub>dc</sub> /4	0	+V <sub>dc</sub> /4
1100	ON	ON	OFF	OFF	0	0	0
1101	ON	ON	OFF	ON	0	-V <sub>dc</sub> /4	-V <sub>dc</sub> /4
1110	ON	ON	ON	OFF	0	+V <sub>dc</sub> /4	+V <sub>dc</sub> /4
1111	ON	ON	ON	ON	0	0	0

Tabella 2.4 - Tabella rappresentativa degli stati assunti dal cascaded cell inverter.

Qui sono elencati tutti gli stati possibili ottenuti dalle combinazioni delle uscite dei singoli stadi e si ottengono numerosi stati ridondanti per i livelli intermedi, cioè tutti esclusi  $+V_{dc}/4$  e  $-V_{dc}/4$ , rendendo più semplice il pilotaggio.

L'uscita totale è data dalla somma delle uscite dei singoli stadi, come si evidenzia nella tabella, quindi per ottenere il livello  $+V_{dc}/2$  è necessario che entrambi i ponti generino una tensione di  $+V_{dc}/4$  in uscita. Questa cosa avviene nel caso in cui S1 è acceso e S2 è spento nel primo stadio e S3 acceso e S4 spento nel secondo.

Per avere il livello  $-V_{dc}/2$  serve invece tenere acceso S2 e spento S1 nel primo ponte e S4 acceso e S3 spento nel secondo, in modo da avere all'uscita di ogni stadio una tensione di  $-V_{dc}/4$ , che sommata tra tutte genera proprio  $-V_{dc}/2$ .

Nei casi intermedi, come detto, si hanno numerose combinazioni possibili e per avere il livello  $+V_{dc}/4$  bisogna che uno dei due stadi produca una tensione pari proprio a  $+V_{dc}/4$ , mentre l'altro una tensione nulla. Stessa cosa si ha per il livello  $-V_{dc}/4$ , in cui ancora una

volta è sufficiente avere da uno dei due la tensione  $-V_{dc}/4$ , dove l'altro genera il livello zero.

Infine, il livello di tensione nullo può essere generato in due diversi modi: il primo consiste in entrambi i ponti che producono in uscita proprio una tensione pari a zero, cosa che si ottiene con entrambi gli interruttori superiori o inferiori accesi, oppure il secondo metodo è il risultato di uno dei due stadi che produce in uscita il livello  $+V_{dc}/4$ , mentre l'altro  $-V_{dc}/4$ , in modo che, sommandosi, si ha proprio il livello nullo.

Questa tipologia presenta come vantaggio la perfetta modularità con cui si presta per un uso in larga scala e con un numero elevato di livelli. Infatti, nelle due architetture precedentemente presentate, la crescita del numero di componenti al variare del numero di livelli era esponenziale mentre ora il rapporto è lineare, permettendo un notevole guadagno nella quantità di dispositivi necessari per la costruzione, anche se sono necessarie più sorgenti di tensione.

Una ulteriore peculiarità di questo circuito è il fatto di poter ottenere in uscita tensioni maggiori di quelle del DC-link, sfruttando il fatto che i livelli di tensione finali si ottengono come somma dei singoli stadi. Ad esempio, nel nostro caso a cinque livelli ogni modulo ha un'alimentazione pari a  $V_{dc}/4$  e in uscita si riescono ad avere tensioni di  $\pm V_{dc}/2$ .

Presenta come svantaggio il bisogno di più sorgenti in DC isolate per motivi di bilanciamento della tensione, infatti, sono necessarie in modo che possano ricaricare sempre i condensatori presenti nel DC-link. Perciò presenta come campo principale di applicazione quello delle energie rinnovabili, dove è possibile isolare tutte le fonti di tensione.

#### *2.3.4 INVERTER T-TYPE*

Negli ultimi anni è apparsa in letteratura una nuova tipologia di inverter con l'obiettivo primario di ridurre al minimo il numero di interruttori necessari per realizzarlo. Questa architettura, chiamata T-type, è stata presentata da Ceglia in [4] ed è anche quella utilizzata per la realizzazione dell'inverter sviluppato in questa tesi, attraverso la piattaforma Simulink, e che viene mostrata nel paragrafo 5.1.

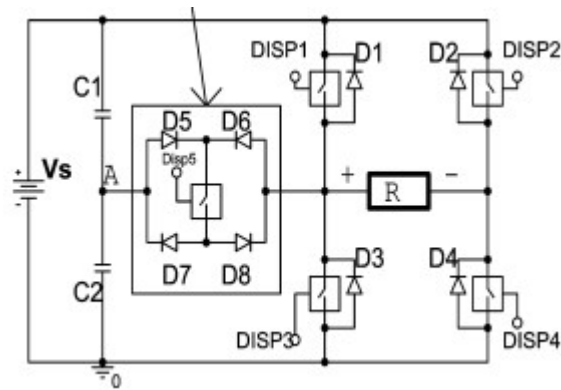


Figura 2.6 - Circuito dell'inverter T-Type.

Questa architettura, mostrata in Figura 2.6, è costituita da un interruttore bidirezionale in corrente e bidirezionale nel bloccaggio delle tensioni, qui chiamato Disp5, e da quattro interruttori bidirezionali in corrente e unidirezionali nel bloccaggio, rappresentati da Disp1, Disp2, Disp3 e Disp4. Si può anche vedere come un ponte intero a tre livelli, con il carico posto tra i due bracci di esso, e un ulteriore interruttore bidirezionale che permette di aggiungere due livelli alla tensione di uscita.

Questo circuito è dunque molto semplice e presenta in uscita cinque livelli:  $\pm V_s$ ,  $\pm V_s/2$ , 0, ottenibili con una opportuna configurazione, presentando però il limite della mancanza di stati ridondanti, problema che potrebbe provocare uno sbilanciamento della tensione sui condensatori nel DC-link. In ogni momento sono accesi sempre due interruttori, dove per passare da uno stato all'altro è sufficiente spegnerne uno ed accenderne un altro. Gli stati sono mostrati nella Tabella 2.5.

Stati	Disp1	Disp2	Disp3	Disp4	Disp5	$V_o$
1	ON	OFF	OFF	ON	OFF	$V_s$
2	OFF	OFF	OFF	ON	ON	$V_s/2$
3	OFF	OFF	ON	ON	OFF	0
4	OFF	ON	OFF	OFF	ON	$-V_s/2$
5	OFF	ON	ON	OFF	OFF	$-V_s$

Tabella 2.5 - Tabella rappresentativa degli stati assunti dall'inverter T-Type.

- Stato 1: Questo è lo stato che genera il massimo valore positivo,  $V_s$ . Sono accesi Disp1, che connette il terminale positivo del carico al nodo a potenziale  $V_s$ , e Disp4, che invece unisce il terminale negativo del carico alla massa. Si ha quindi passaggio di corrente, nel caso di corrente entrante nel terminale positivo del carico, attraverso Disp1 e Disp4. Nel caso di direzione opposta scorre invece sui corrispondenti diodi di ricircolo, D1 e D4.
- Stato 2: Stato che produce il livello  $V_s/2$ . L'interruttore ausiliario Disp5 è acceso, collegando il terminale positivo del carico al punto A, e Disp4 pure è acceso, creando un collegamento tra il terminale negativo del carico e la terra, mentre tutti gli altri interruttori controllati sono spenti. La corrente scorre, nel caso di corrente entrante al nodo positivo del carico, attraverso D5, Disp5, D8 e Disp4; nella direzione opposta invece passa su D4, D6, Disp5 e D7.
- Stato 3: Sono accesi Disp3 e Disp4 e il carico viene cortocircuitato con la terra, ottenendo in uscita il livello neutro di tensione. La corrente si trova a scorrere attraverso i due interruttori che sono accesi.
- Stato 4: Questo stato produce in uscita la tensione  $-V_s/2$ . L'interruttore ausiliario Disp5 viene acceso, connettendo il terminale positivo del carico al punto A, insieme a Disp2, che connette il carico al nodo a potenziale  $-V_s$ . La corrente scorre in un verso attraverso Disp2, D6, Disp5 e D7; altrimenti passa su D5, Disp5, D8 e D2.
- Stato 5: Genera la massima tensione negativa,  $-V_s$ . Sono accesi Disp2, che connette il terminale negativo del carico a  $V_s$ , e Disp3, che invece unisce il terminale positivo del carico alla terra. I dispositivi che conducono sono, nel caso di corrente entrante nel carico, Disp2 e Disp3, mentre nella direzione opposta sono i rispettivi diodi di ricircolo D2 e D3.

In questa configurazione i due condensatori, predisposti alla divisione della tensione iniziale, sono connessi direttamente al DC-bus e, poiché tutte le combinazioni di commutazione sono utilizzate in un unico ciclo, l'equilibrio dinamico di tensione tra i due condensatori viene ripristinato automaticamente.

Ha come grande vantaggio il ridotto numero di interruttori, evidente nel circuito mostrato nel caso a cinque livelli, che si aggiunge inoltre al ridotto numero di diodi e capacità richieste, soprattutto se riferito in confronto alle tipologie precedentemente presentate.

### III MODULAZIONE SIGMA-DELTA

Ora procediamo con la trattazione di una delle tecniche di modulazione maggiormente usate, la modulazione sigma-delta [13, 14], che viene utilizzata per effettuare il pilotaggio dell'inverter multilivello testato.

Questa tecnica ha visto accrescere il proprio utilizzo in una vasta gamma di componenti elettronici moderni, come convertitori analogico-digitali, i sintetizzatori di frequenza, gli alimentatori switched, e il controllo dei motori.

Qui viene svolta innanzitutto una introduzione generale in cui si spiega cos'è e quali vantaggi propone, per poi passare alla descrizione dei circuiti del primo ordine e degli ordini successivi.

#### 3.1 INTRODUZIONE AL SIGMA-DELTA

La modulazione sigma-delta è una tecnica sviluppata nei primi anni '60 per rappresentare un convertitore analogico-digitale o digitale-analogico che sfruttava il sovracampionamento e il noise-shaping.

Il sovracampionamento consiste nel far lavorare il modulatore ad una frequenza superiore a quella del segnale entrante, in genere tra 48 e 512 volte maggiore, e produce dei vantaggi rispetto alla conversione fatta alla frequenza di Nyquist. Infatti, come mostrato nella Figura 3.1, si ha la stessa potenza di rumore per entrambi, ma ora è spalmata su una banda maggiore, migliorando la risoluzione e il rapporto segnale-rumore.

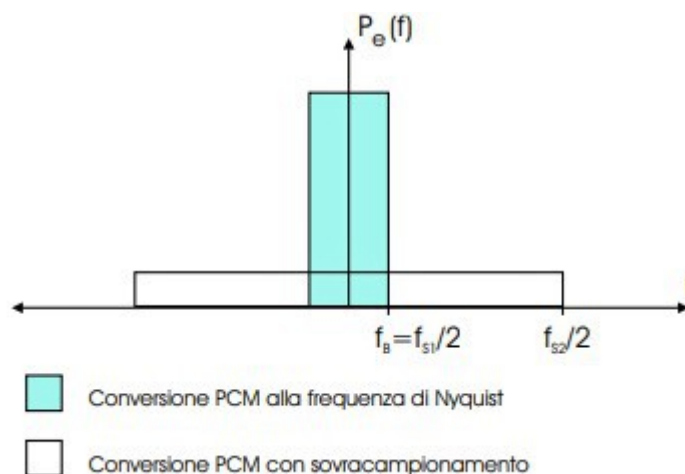


Figura 3.1 - Densità spettrale di potenza del rumore di quantizzazione per una conversione PCM alla frequenza di Nyquist e con sovracampionamento.

Oltre al sovracampionamento abbiamo anche parlato del noise-shaping, che rappresenta la caratteristica principale di questo modulatore. Questa tecnica consiste nel produrre una funzione di trasferimento del segnale, anche chiamata STF, e una del rumore, o NTF, in modo da mantenere inalterato il segnale e modellare lo spettro del rumore. Infatti, il rumore viene attenuato nella banda del segnale e amplificato fuori dalla banda.

Il modello generale di questa modulazione si può vedere in Figura 3.2 [15] ed è costituito da un ingresso  $u$  che entra in un sistema lineare, in genere costituito da uno o più integratori, insieme all'uscita retroazionata, producendo un segnale  $x$ . Questo viene poi quantizzato da un apposito circuito, producendo un segnale tipicamente su due livelli, quindi rappresentabile con un solo bit, e si ottiene l'uscita  $y$ .

La retroazione svolge un compito molto importante poiché permette di migliorare la risoluzione e le prestazioni migliorano al crescere del fattore di sovracampionamento.

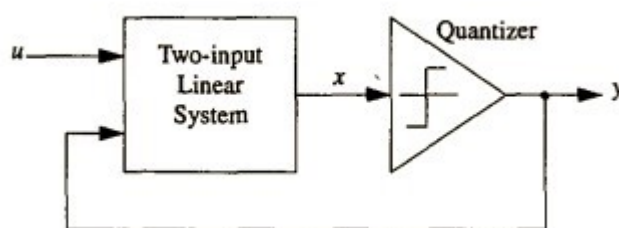


Figura 3.2 - Modello generale del sigma-delta.

Gli ADC e i DAC basati sul sigma-delta hanno raggiunto livelli eccezionali di prestazioni in alta risoluzione e applicazioni a bassa velocità ma hanno avuto meno successo in applicazioni ad alta velocità. La principale barriera all'uso delle tecniche di noise-shaping ad alta frequenza è data dal fatto che la frequenza di campionamento, o clock, deve essere molte volte superiore alla frequenza di interesse, cosa che la tecnologia esistente spesso non permette. La necessità di un elevato rapporto di sovracampionamento può essere alleviata in qualche modo usando un modulatore di ordine elevato, ma questo non sempre è possibile poiché le simulazioni rivelano che i modulatori che presentano funzioni di trasferimento del rumore, o NTF, di ordini elevati spesso sono instabili. Perciò occorre scegliere accuratamente l'architettura e i relativi coefficienti ed effettuare continue



simulazioni, dato che al momento ancora non è stata sviluppata una legge generale per verificare la stabilità.

### 3.2 MODULAZIONE SIGMA-DELTA DEL PRIMO ORDINE

L'architettura tipica di un modulatore sigma-delta del primo ordine è mostrata in Figura 3.3 [13]. Qui si trova lo schema di un convertitore analogico-digitale, ma può essere utilizzato anche in modo totalmente digitale, come avviene in questa tesi, semplicemente eliminando il DAC nella retroazione e dando in ingresso un segnale digitale.

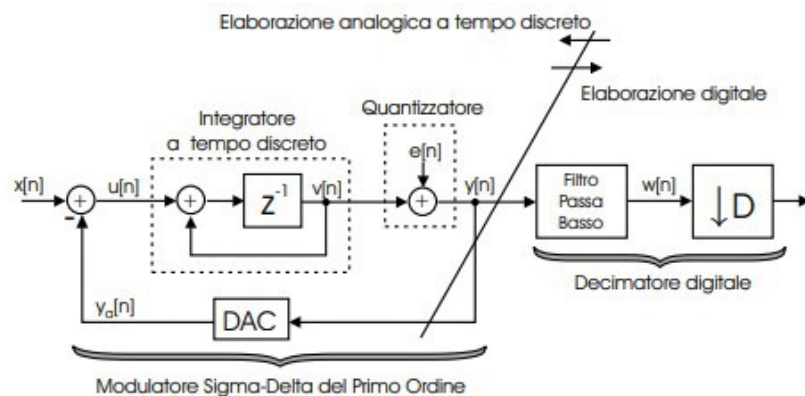


Figura 3.3 - Convertitore A/D con modulatore sigma-delta del primo ordine.

Il modulatore consiste di un integratore a tempo discreto, un quantizzatore ed un eventuale convertitore digitale-analogico in retroazione. Il segnale che viene quantizzato non è perciò l'ingresso  $x[n]$  ma una versione filtrata della differenza tra l'ingresso ed una rappresentazione analogica  $y_a[n]$  dell'uscita quantizzata  $y[n]$ . Il filtro, detto feedforward loop filter, è un integratore a tempo discreto la cui funzione di trasferimento è  $z^{-1}/(1-z^{-1})$ . Considerando il DAC ideale, allora può essere sostituito da una funzione di trasferimento unitaria, in modo da avere l'uscita del modulatore  $Y(z)$  data da:

$$Y(z) = X(z) z^{-1} + E(z) (1 - z^{-1}) \quad (3.1)$$

Da questa formula si possono poi ricavare le funzioni di trasferimento del segnale e del rumore, che risultano  $STF = z^{-1}$  e  $NTF = 1 - z^{-1}$ . La funzione del rumore di quantizzazione risulta quindi avere un comportamento passa alto, come evidenziato dalla Figura 3.4, in cui è rappresentata questa funzione, prima in scala lineare e poi in scala logaritmica, comparata con quella dei convertitori PCM con sovracampionamento.

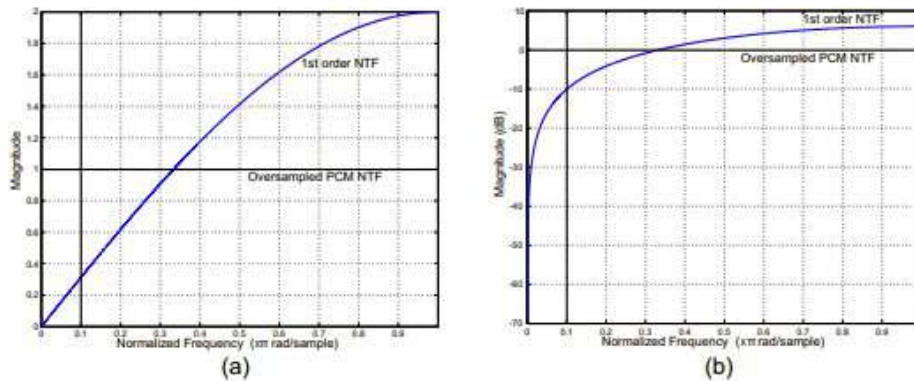


Figura 3.4 - NTF sigma-delta primo ordine: scala lineare (a), logaritmica in dB (b).

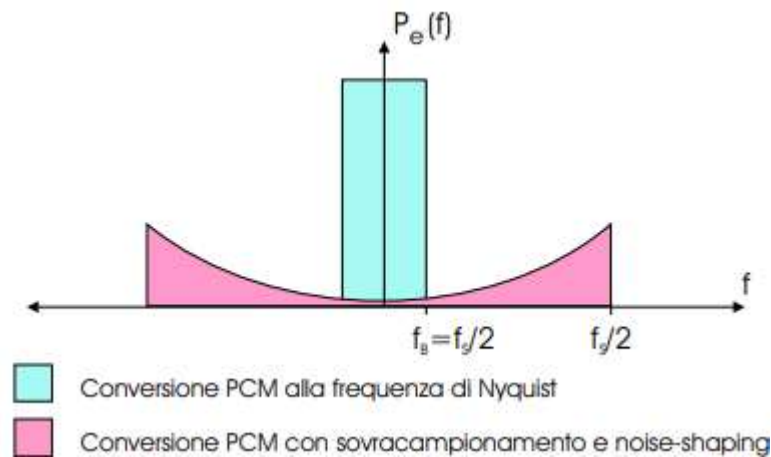


Figura 3.5 - Densità spettrale di potenza del rumore di quantizzazione per una conversione PCM alla frequenza di Nyquist e per una conversione PCM con sovracampionamento e noise-shaping.

L'effetto di tutto ciò è rappresentato dal noise-shaping, che in questo caso produce uno spettro di rumore molto attenuato nella banda del rumore, come visualizzato in Figura 3.5.

Analizzato lo spettro del rumore, si può ora procedere allo studio delle prestazioni di questo modulatore, considerando però il DAC come perfettamente lineare. Infatti, una eventuale non linearità potrebbe essere modellata come una sorgente di rumore che si somma direttamente all'ingresso, non venendo quindi influenzata dal noise-shaping.

Considerando inoltre come formule per STF e NTF rispettivamente  $z^{-1}$  e  $(1-z^{-1})$ , come precedentemente definito, si ha che la potenza del rumore in banda utile ha come formula:

$$\sigma_{ey} = \sigma_e^2 \frac{\pi^2}{3} \left(\frac{2f_s}{f_s}\right)^3 \quad (3.2)$$

Si ottiene quindi anche il modo per calcolare il rapporto segnale rumore o SNR:

$$\begin{aligned} SNR &= 10 \log(\sigma_x^2) - 10 \log(\sigma_e^2) - 10 \log\left(\frac{\pi^2}{3}\right) + 30 \log\left(\frac{f_s}{2f_B}\right) = \\ &= 10 \log(\sigma_x^2) - 10 \log(\sigma_e^2) - 10 \log\left(\frac{\pi^2}{3}\right) + 9.03r(dB). \end{aligned} \quad (3.3)$$

Si vede che ad ogni raddoppio della frequenza di campionamento questo rapporto migliora di 9 dB, cioè la risoluzione aumenta di  $1+\frac{1}{2}$  bit.

### 3.3 MODULAZIONE SIGMA-DELTA DI ORDINE SUPERIORE

A partire dal modulatore del primo ordine è possibile anche ottenere dei circuiti più complessi, in cui possono essere presenti più integratori o anche più quantizzatori. In particolare, viene definito ordine di un modulatore il numero di zeri che presenta la funzione di trasferimento del rumore e, riferendoci al circuito del modulatore del primo ordine in Figura 3.3, ogni integratore corrisponde ad uno zero, perciò, considerando quell'architettura, occorre aggiungere degli integratori per aumentare l'ordine, come si può vedere dalla Figura 3.6 in cui viene rappresentato un modulatore del secondo ordine.

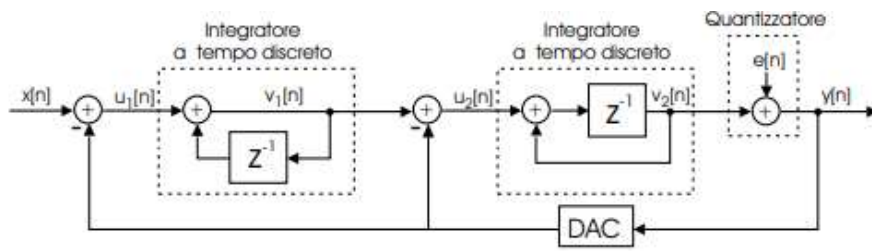


Figura - 3.6: Modulatore sigma-delta del secondo ordine.

Architetture di ordine superiore al primo permettono di avere dei vantaggi e degli svantaggi ed è una opzione da valutare in base alle necessità. Innanzitutto, ogni aumento corrisponde ad una risoluzione migliore a parità di fattore di interpolazione, oppure si può anche vedere come una diminuzione della frequenza di campionamento necessaria a parità di risoluzione. Presenta però come grosso svantaggio, a partire dal terzo ordine, il problema della stabilità. Questo problema consiste nel fatto che, dato un ingresso troppo elevato, il sistema può diventare instabile e comportarsi in modo non voluto, perciò è assolutamente fondamentale verificare che il modulatore sia stabile per poter funzionare correttamente.

Tornando alle formule, in sistemi di ordine superiore l'equazione (3.1) diventa:

$$Y(z) = X(z) z^{-1} + E(z) (1 - z^{-1})^L \quad (3.4)$$

Quindi la funzione di trasferimento del segnale diventa pari a  $z^{-(L-1)}$ , mentre la NTF invece sarà  $(1 - z^{-1})^L$ , con L ordine del modulatore. In particolare, questo fornisce una maggiore attenuazione del rumore di quantizzazione nella banda del segnale alle basse frequenze ed una maggiore amplificazione del rumore al di fuori della banda del segnale. Rispetto ad un sigma-delta del primo ordine, una parte maggiore di potenza del rumore è spinta fuori dalla banda utile, come si nota nei grafici di Figura 3.7 rappresentanti l'NTF del primo, secondo e terzo ordine.

Inoltre, cambiare l'ordine va a modificare anche la formula del rapporto segnale-rumore, dal momento che cambia lo spettro del rumore, e diventa nella sua forma generale:

$$\text{SNR} = 10 \log(\sigma_x^2) - 10 \log(\sigma_e^2) - 10 \log\left(\frac{\pi^{2L}}{2L+1}\right) + (20L + 10) \log\left(\frac{f_s}{2f_B}\right) \text{ (dB)} \quad (3.5)$$

Da questa formula si nota come ora raddoppiando il fattore di sovracampionamento si ottiene un miglioramento di  $(6L+3)$  db di SNR, equivalenti a  $(L+ \frac{1}{2})$  bit di risoluzione. Si può anche vedere il massimo SNR raggiungibile in funzione dell'OSR, però in forma teorica, in Figura 3.8, dove si intende forma teorica poiché, per ordini superiori al secondo, per raggiungerla occorre un posizionamento degli zeri della NTF che porta all'instabilità.

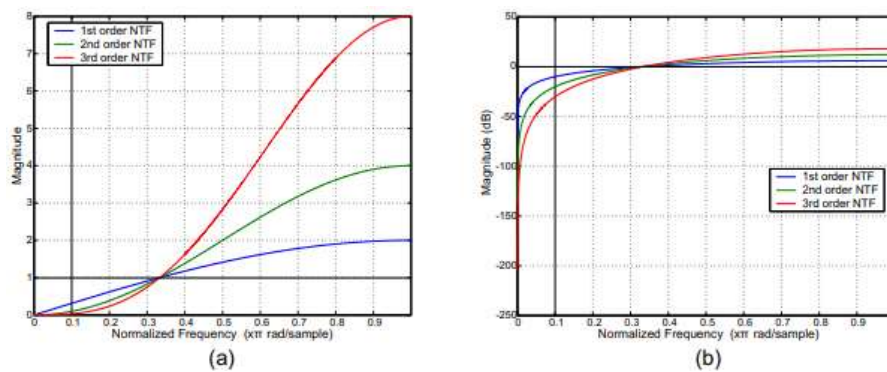


Figura 3.7 - NTF per modulatori sigma-delta dal I al III ordine: spettri di ampiezza su scala lineare a confronto con la NTF del convertitore PCM a sovracampionamento con guadagno unitario; (a) scala lineare, (b) scala logaritmica in dB.

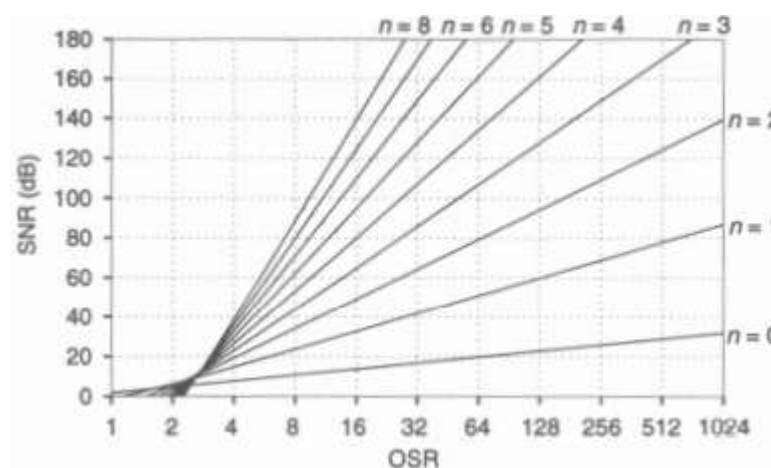


Figura 3.8 - SNR teorico per modulatore di ordine n.

## IV ARCHITETTURA DEL MODULATORE SIGMA-DELTA

Il modulatore sigma-delta, utilizzato qui per il pilotaggio dell'amplificatore audio, presenta ora, al contrario di quello mostrato nel paragrafo precedente, un ingresso digitale. Dunque, ha come scopo quello di rappresentare il segnale che arriva in ingresso con un certo numero di bit in uscita, determinati dal quantizzatore utilizzato nel modulatore.

Inizialmente è analizzata l'architettura scelta per realizzare il modulatore, spiegando anche il perché dei parametri utilizzati per realizzarla. Successivamente si è passati ad effettuare delle simulazioni del modulatore del quinto ordine con diversi parametri e due diversi quantizzatori.

### 4.1 MODELLO DEL MODULATORE

Nella letteratura sono state sviluppate molte diverse architetture, che variano tra di loro per diversi fattori come la massima risoluzione raggiungibile, la complessità del modulatore, la sensibilità agli effetti non ideali e le proprietà di stabilità. Questo ha portato a scegliere per questa tesi l'architettura mostrata in Figura 4.1 [16], che permette di migliorare la stabilità e di ridurre l'effetto del rumore, oltre a permettere di scegliere gli zeri della NTF.

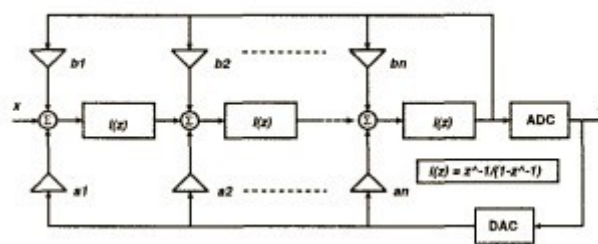


Figura 4.1 - Architettura sigma-delta a più livelli.

Questa architettura presenta diversi componenti tra cui si trovano degli integratori, di numero pari all'ordine adottato, e dei sommatore. Questi ultimi si trovano a sommare l'uscita dell'integratore precedente con il segnale di uscita del modulatore, prima e dopo il passaggio attraverso il quantizzatore, scalato con dei coefficienti  $a_i$  e  $b_i$  con  $i=1, \dots, n$ ,

dove  $n$  è l'ordine del modulatore, che devono essere opportunamente scelti in modo da avere le funzioni STF e NTF desiderate, che avranno questa forma:

$$NTF = \frac{z(z-z_1)(z-z_1^*)(z-z_2)(z-z_2^*)\dots(z-z_n)(z-z_n^*)}{(z-p_1)(z-p_2)\dots(z-p_n)} \quad (4.1)$$

$$STF = \frac{1}{(z-p_1)(z-p_2)\dots(z-p_n)} \quad (4.2)$$

In particolare, in questa tesi si propone di adottare l'analisi proposta in [16] in cui si fa notare che i poli della STF e della NTF sono coincidenti. Inoltre, i poli vengono posti nella configurazione di Butterworth, scelta adottata sempre nello stesso articolo.

I poli della NTF sono quindi realizzati con un filtro passa alto di Butterworth di ordine  $n$  mentre la STF, creata con questi poli, diventa un filtro passa basso. Successivamente, riguardo la posizione degli zeri della NTF, si è visto come il posizionamento degli stessi influenzi il rapporto segnale-rumore del modulatore, spingendo a cercare delle posizioni ottime. Queste ultime sono state cercate e trovate e sono rappresentate nella Tabella 4.1 [15] per ordini fino all'ottavo. Utilizzando queste posizioni per gli zeri, si ottiene un miglioramento rispetto al posizionarli tutti in DC e il grafico in Figura 4.2 mostra il nuovo SNR massimo.

Si può quindi effettuare un confronto rispetto al precedente grafico in Figura 3.8 e notare il guadagno in termini di dB.

TABLE I  
ZERO PLACEMENT FOR MINIMUM IN-BAND NOISE

$dn$	zero locations, normalized to $\omega_B$	SNR improvement
1	0	0 dB
2	$\pm \frac{1}{\sqrt{3}}$	3.5 dB
3	$0, \pm \sqrt{\frac{3}{5}}$	8 dB
4	$\pm \sqrt{\frac{3}{7} \pm \sqrt{(\frac{3}{7})^2 - \frac{3}{35}}}$	13 dB
5	$0, \pm \sqrt{\frac{5}{9} \pm \sqrt{(\frac{5}{9})^2 - \frac{5}{21}}}$	18 dB
6	$\pm 0.23862, \pm 0.66121, \pm 0.93247$	23 dB
7	$0, \pm 0.40585, \pm 0.74153, \pm 0.94911$	28 dB
8	$\pm 0.18343, \pm 0.52553, \pm 0.79667, \pm 0.96029$	34 dB

Tabella 4.1 - Posizionamento ottimo degli zeri per aumentare l'SNR.

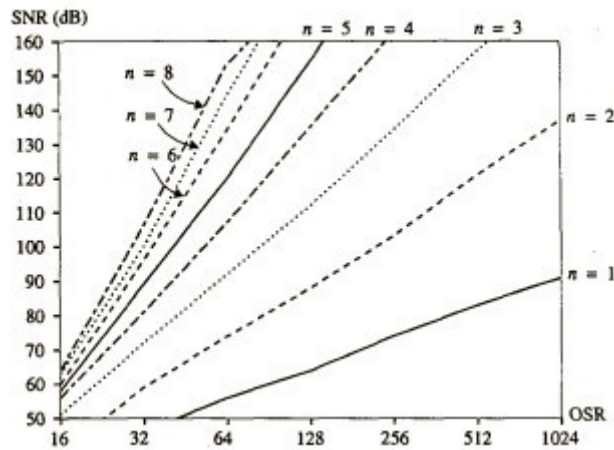


Figura 4.2 - SNR massimo utilizzando posizionamento ottimo per gli zeri.

Con questa architettura si presenta però, nel caso di ordini superiori al secondo, il problema della stabilità. Infatti, l'ingresso si deve trovare in un certo range di valori in modo da non far sovraccaricare il quantizzatore finale, altrimenti si arriva all'instabilità. Perciò qui viene utilizzata una scalatura dell'ingresso di un fattore  $\beta > 0$ , mostrata in Figura 4.3 [16].



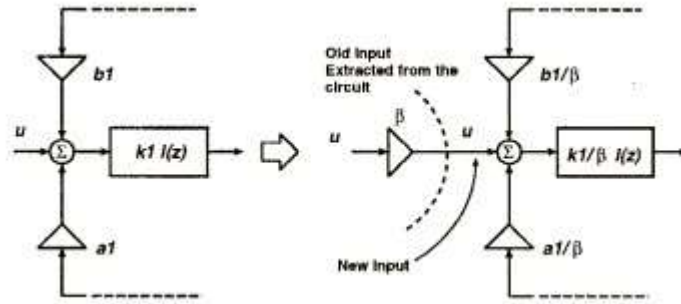


Figura 4.3 - Scalatura dell'ingresso  $u$  di un fattore  $\beta$ .

Il valore di  $\beta$  viene poi deciso basandosi sulle simulazioni in modo da garantire stabilità e far funzionare il quantizzatore nel modo desiderato.

Riguardo quest'ultimo, nelle simulazioni qui effettuate viene utilizzato prima un quantizzatore a tre livelli, quindi con una risoluzione di  $1+1/2$  bit, e successivamente a cinque livelli, con una risoluzione di  $2+1/4$  bit, con caratteristica ingresso-uscita in Figura 4.4.

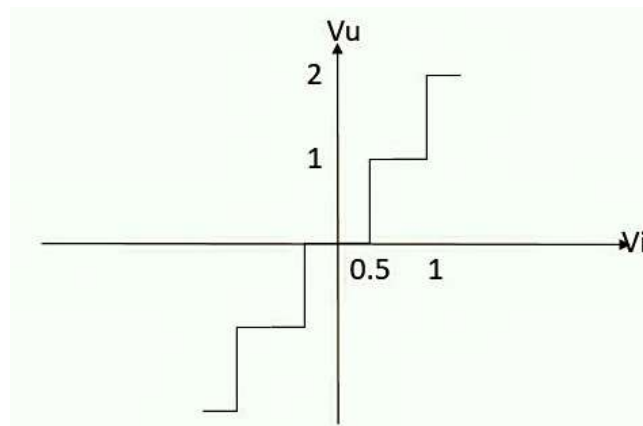


Figura 4.4 - Caratteristica del quantizzatore a cinque livelli.

In Figura 4.5 è poi mostrato il quantizzatore realizzato in Simulink utilizzando due blocchi, chiamati quantizzatore e saturazione. Il primo di essi svolge il ruolo di definire l'intervallo voluto di quantizzazione, mentre il secondo serve a definire i valori per cui far saturare il quantizzatore, permettendo quindi di fissare il numero dei livelli di quantizzazione.

Nel caso a tre livelli si fissa per il quantizzatore un intervallo di 1, con intervallo di funzionamento dato da  $[-1,1]$ , al contrario, per i cinque livelli si utilizza lo stesso quantizzatore, ma con intervallo di  $[-2,2]$ .

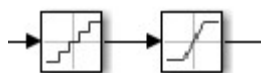


Figura 4.5 - Quantizzatore utilizzato per il modello in Simulink.

## 4.2 SIMULAZIONI DEL MODULATORE

Il progetto del modulatore è stato fatto tenendo conto del segnale adottato per l'ingresso, costituito da un segnale audio, ma per semplificare le simulazioni è stata utilizzata una sinusoide di ampiezza unitaria e frequenza di 10 kHz. Il segnale audio presenta tipicamente una frequenza di campionamento pari a 44.1 kHz, il che ci ha portati a scegliere inizialmente un valore di 25 come OSR, cioè oversampling ratio o fattore di interpolazione. In questo modo il modulatore si trova a lavorare con una frequenza di 1 MHz, la quale permette di ottenere un elevato rapporto segnale-rumore. Successivamente però abbiamo testato lo stesso circuito con una frequenza di campionamento doppia, pari quindi a 2 MHz, e si è notato un miglioramento nelle prestazioni, relativamente sia alla stabilità che al rapporto segnale-rumore, che ci ha portati a scegliere un OSR di 50 e quindi questa seconda opzione.

La scelta della frequenza di campionamento del sigma-delta e l'SNR desiderato ci hanno portato a scegliere un modulatore del quinto ordine, scelta sostenuta dalle simulazioni effettuate che hanno mostrato un'ottima efficienza.

I parametri per i coefficienti della retroazione  $a_i$  e  $b_i$  sono stati calcolati in modo da avere l'STF e l'NTF desiderate in accordo con quanto detto in [16], il che corrisponde ad un guadagno costante e ad una forte riduzione del rumore nella banda del segnale. Questo è ottenuto adottando le posizioni dei poli e zeri dette nel paragrafo precedente, che corrispondono per gli zeri alle posizioni suggerite nella Tabella 4.1 mentre per i poli a quelli di un filtro passa alto di Butterworth del quinto ordine con una frequenza di cutoff normalizzata pari a  $K_{poli}/OSR$ , dove  $K_{poli}$  è una costante che rappresenta il nostro unico

grado di libertà e al suo variare si modifica il comportamento di tutto il circuito e OSR corrisponde al fattore di oversampling.

Il quantizzatore è stato descritto nel paragrafo precedente e riproduce in uscita un segnale multilivello che viene poi filtrato. Il filtro qui utilizzato è un filtro passa basso digitale IIR dell'ottavo ordine (Figura 4.6) con una frequenza di cutoff di 22 kHz, valore che rappresenta la metà della frequenza di campionamento del segnale di ingresso. Questo permette di eliminare tutte le componenti fuori dalla banda del segnale e permette di avere in uscita una forma d'onda uguale a quella di partenza.

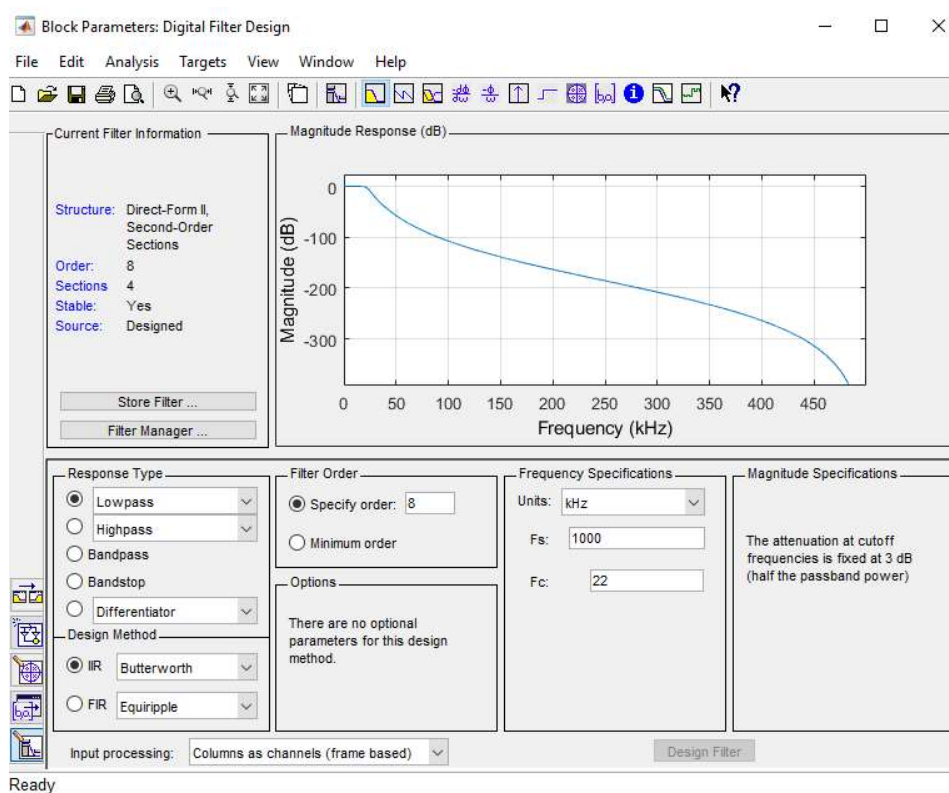


Figura 4.6 - Filtro digitale realizzato in Simulink.

Lo schema circuitale del modulatore sigma-delta, rappresentato nel Simulink con il nome di "sigmadelta\_modulator", è presentato in Figura 4.7, in cui è presente lo scaling dell'ingresso, effettuato utilizzando un blocco moltiplicatore pari a  $1/k$ , dove  $k$  rappresenta il valore per cui viene scalato l'ingresso ed è stato ricavato sperimentalmente.

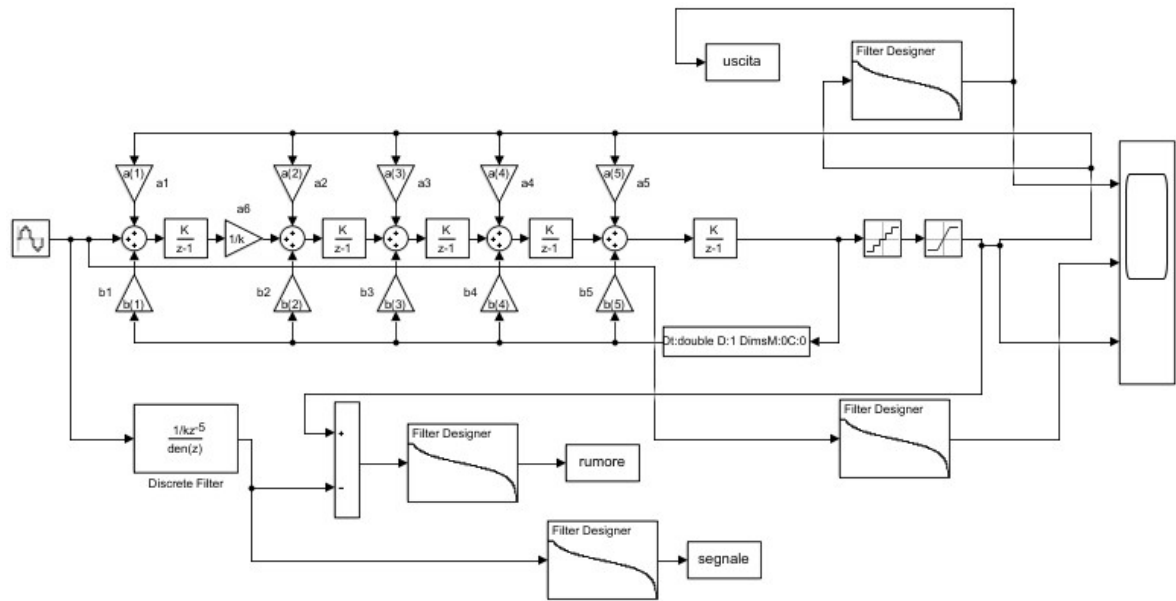


Figura 4.7 - Modello Simulink del modulatore sigma-delta.

#### 4.2.1 RISULTATI SIMULAZIONI A 1 MHz

Inizialmente abbiamo svolto delle simulazioni del modulatore utilizzando una frequenza di campionamento pari a 1 MHz, ponendo quindi l'OSR uguale a 25, provando a variare alcuni parametri

Per prima cosa sono stati calcolati i valori dei coefficienti della retroazione utilizzando degli opportuni script MATLAB presentati nell'Appendice. Innanzitutto, è stato usato lo script "Costanti", contenente delle costanti che sono usate per definire le posizioni degli zeri e dei poli. In particolare, si tratta di "Kzeri", che indica la posizione degli zeri della NTF, e "Kpoli", usato per calcolare i poli di entrambe le funzioni di trasferimento; a questi si aggiunge inoltre la costante "k", utilizzata per effettuare lo scaling dell'ingresso.

Successivamente si utilizza lo script "NTF\_STF\_a\_b", il quale permette di calcolare in modo parametrico il numeratore e il denominatore delle funzioni di trasferimento in funzione dei parametri "a" e "b" seguendo il metodo descritto in [16].

Infine, si utilizza un nuovo script, chiamato "Totale", il quale calcola i valori numerici dei coefficienti della retroazione attraverso due funzioni, sempre definite in MATLAB. La prima di esse è rappresentata da "Num\_Den" che svolge il calcolo delle funzioni di trasferimento, quindi dei valori del numeratore e denominatore delle due funzioni,

prendendo in ingresso “Kzeri” e “Kpoli”, già definiti in precedenza, e “OSR”, cioè il fattore di oversampling. In questo modo si ottengono la STF e la NTF con le posizioni degli zeri e dei poli già indicate nel paragrafo 4.2. Dopo aver usato questa funzione, lo script “Totale” ne utilizza anche un’altra, chiamata “Coefficienti\_Sdmod” che risolve il sistema lineare per calcolare i coefficienti del modulatore.

Una volta calcolato questo, sono state fatte delle simulazioni per diversi valori di Kpoli, attraverso le quali abbiamo visto per quali valori presenta un comportamento stabile o instabile e si è calcolato il rapporto segnale rumore attraverso lo script “Risultati”, nello specifico utilizzando la funzione “snr\_function”, la quale prende in ingresso il segnale e il rumore. In particolare, si è notato che nel caso del quantizzatore a cinque livelli il modulatore risulta stabile con un ingresso unitario solo per il valore di Kpoli uguale a 4, presentando un SNR pari a 85.2 dB. Rappresenta quindi il valore scelto per il modulatore e in questo modo l'uscita risulta uguale all'ingresso, come mostrato in Figura 4.8, in cui nella parte superiore si trova l'uscita e in quella inferiore l'ingresso.

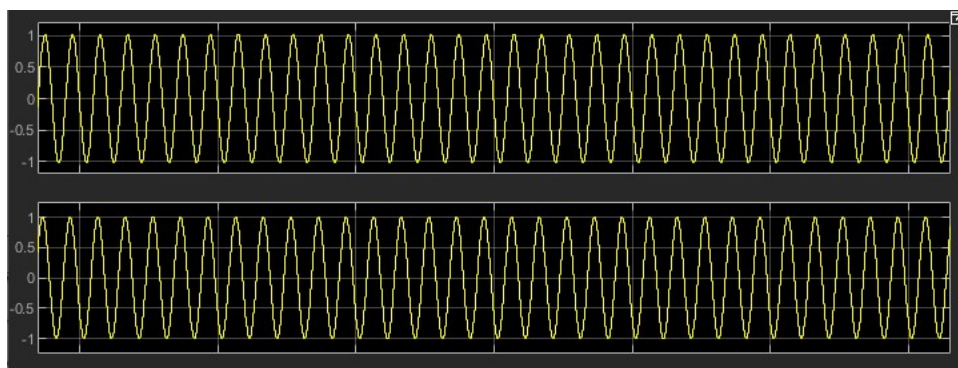


Figura 4.8 - Uscita (sopra) e ingresso (sotto) del sigma delta con quantizzatore a cinque livelli.

Questo modulatore con il valore di Kpoli uguale a 4 presenta anche delle funzioni STF e NTF accettabili, dal momento che la STF, in Figura 4.9, ha andamento costante nella banda di interesse con un guadagno che vale 36 dB, corrispondente in scala lineare a 63. Questo valore di 63 è anche quello scelto per il coefficiente di scaling “k”, necessario per avere l'uscita stabile e unitaria. La NTF invece presenta un comportamento passa alto,

con una forte attenuazione nella banda. È mostrata in Figura 4.10 e ha un andamento che rispetta le aspettative.

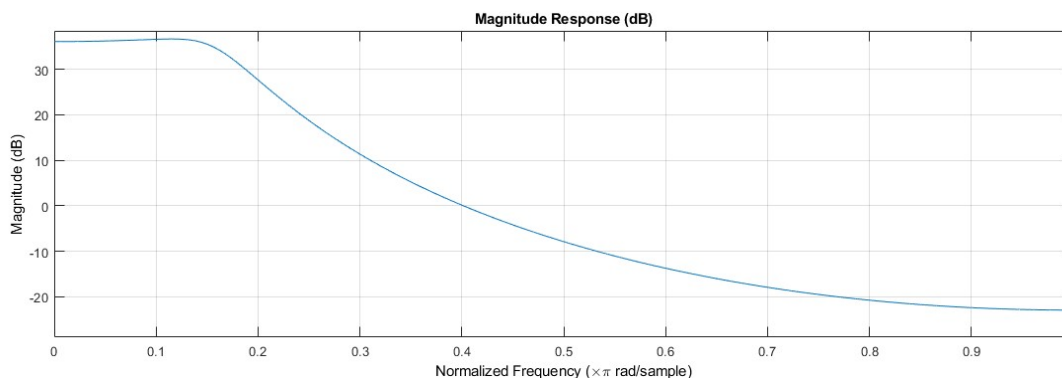


Figura 4.9 - Grafico della funzione di trasferimento del segnale o STF.

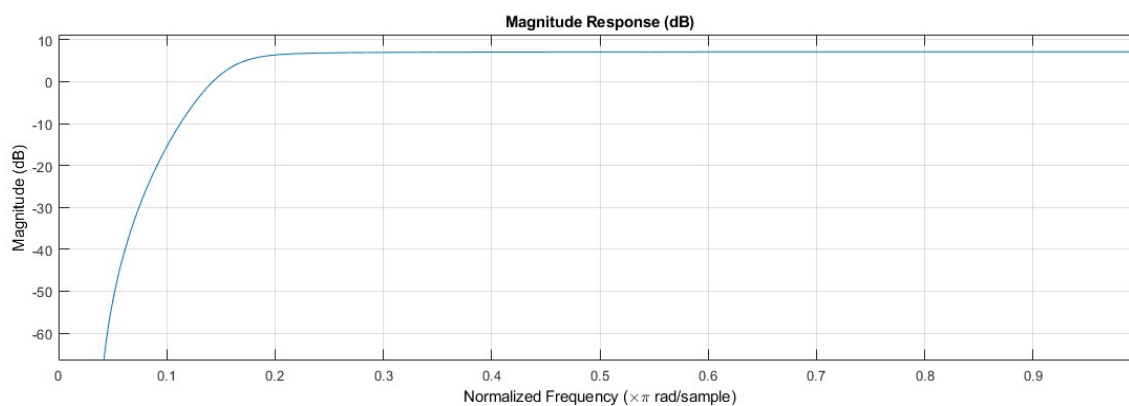


Figura 4.10 - Grafico della funzione di trasferimento del rumore o NTF.

Nel caso del quantizzatore a tre livelli nasce il problema della stabilità anche per  $K_{poli}$  uguale a 4, infatti diventa instabile anche con questo valore nel caso di ingresso ad ampiezza unitaria. La ragione è data dal fatto che, con un ingresso troppo elevato, il quantizzatore viene sovraccaricato. Per ottenere la stabilità è necessario quindi, sempre con  $K_{poli}$  uguale a 4, ridurre l'ampiezza della sinusoide fino al valore di 0.3, con il quale si ottiene un SNR di 74.9 dB. Questo risulta minore rispetto al precedente a cinque livelli poiché diminuisce la risoluzione, che passa da  $2^{+1/4}$  bit dei cinque livelli ai  $1^{+1/2}$  bit dei tre livelli.

#### 4.2.2 RISULTATI SIMULAZIONI A 2 MHz

Dopo aver testato il modulatore con una frequenza di campionamento di 1 MHz, si è provati a raddoppiare la frequenza, ponendo quindi un OSR pari a 50, in modo da vedere se miglioravano le prestazioni e si è notato un effettivo cambiamento.

Inizialmente sono calcolati i coefficienti del modulatore con lo stesso metodo presentato nel paragrafo 4.2.1. Infatti, inizialmente viene usato lo script “Costanti2M”, contenente le stesse costanti di “Costanti”, con opportune modifiche ai valori, a cui si fa seguire lo script “NTF\_STF\_a\_b”, già utilizzato per la simulazione a 1 MHz.

Infine, attraverso lo script “Totale2M”, che riprende le stesse funzioni precedentemente usate per “Totale”, cioè “Num\_Den” e “Coefficienti\_Sdmod”, si calcolano i valori numerici dei coefficienti della retroazione.

Dopo aver definito tutti i parametri del modulatore, sono state fatte prove per diversi valori di Kpoli, che hanno evidenziato miglioramenti in termini di rapporto segnale-rumore di diversi dB, oltre ad una maggiore flessibilità con il segnale di ingresso.

Il calcolo delle prestazioni è stato effettuato utilizzando lo script “Risultati2M”, con cui attraverso la funzione “snr\_function” si calcola il rapporto segnale rumore. In particolare, utilizzando sempre lo stesso quantizzatore a cinque livelli esposto alla fine del paragrafo 4.1, sono stati trovati dei risultati per diversi valori di Kpoli, esposti nella Tabella 4.2, che evidenziano ora un picco massimo di SNR ottenibile pari a 126 dB.

kpoli	SNR
2	60 dB
4	91.7 dB
7	111.7 dB
9	122.6 dB
10	126 dB
11	instabile

Tabella 4.2 - Tabella degli SNR ottenuti nelle simulazioni a 2 MHz.

Dalle simulazioni effettuate si nota un range di valori di Kpoli per cui il sistema è stabile molto maggiore, infatti per valori pari o minori di 10 il modulatore è stabile, presentando

però per valori minori di 4 una forte diminuzione del rapporto segnale-rumore, dovuto a problemi di lavoro del quantizzatore, che finisce per non sviluppare in modo adeguato tutti e cinque i livelli che dovrebbe,

Alla luce dei risultati, si è optato per la scelta di  $K_{poli}$  uguale a 10 poiché garantisce prestazioni migliori a fronte di una sufficiente stabilità, il che corrisponde a delle funzioni STF e NTF ancora accettabili, mostrate rispettivamente nelle Figure 4.11 e 4.12.

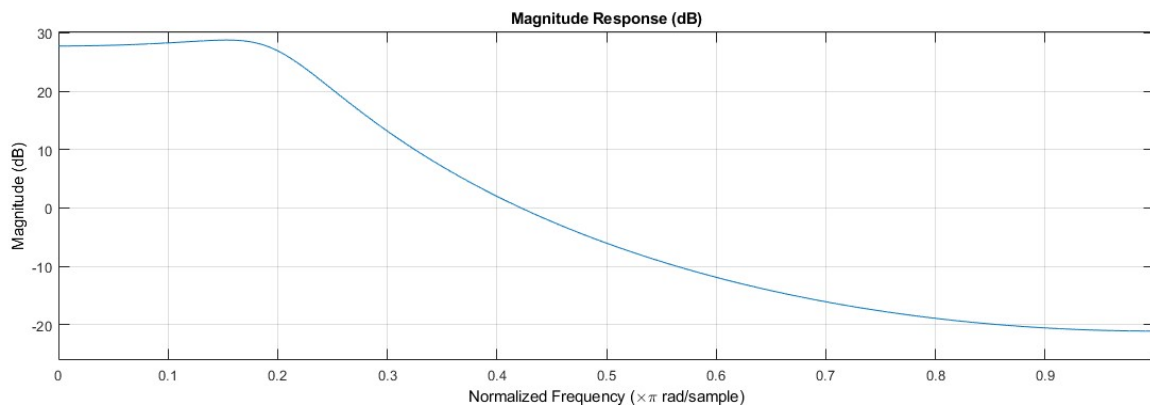


Figura 4.11 - Grafico della funzione di trasferimento del segnale.

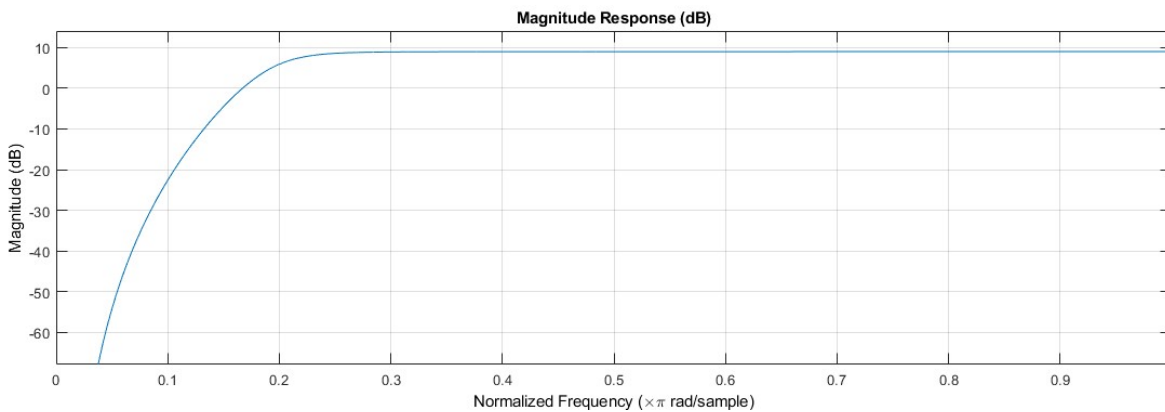


Figura 4.12 - Grafico della funzione di trasferimento del rumore.

Dai grafici si vede che la STF presenta nella banda del segnale un andamento costante pari a 27.75 dB, corrispondenti nella scala lineare a 24.4, valore che rappresenta quello scelto per il parametro  $k$  per lo scaling dell'ingresso. La NTF invece ha un comportamento passa alto con una grande attenuazione del rumore nella banda del segnale come desiderato.



## V ARCHITETTURA DELL'AMPLIFICATORE

L'amplificatore qui presentato è un amplificatore in classe D con la struttura generale già descritta in Figura 1.1 e permette di generare un segnale audio in uscita utilizzando una architettura multilivello.

Qui viene descritta inizialmente l'architettura utilizzata per l'amplificatore e successivamente la simulazione di questo circuito in Simulink.

### 5.1 MODELLO DELL'AMPLIFICATORE

Il circuito qui realizzato è costituito inizialmente dal modulatore sigma-delta digitale già progettato nel capitolo precedente, il quale permette di elaborare il segnale di ingresso e generare il pilotaggio per l'inverter DC-AC multilivello.

Il pilotaggio consiste nel dare in ingresso agli interruttori un segnale alto o basso, per regolarne l'accensione e fare in modo di generare il livello desiderato in uscita. Lo schema utilizzato è quello presentato nella Tabella 2.5, quindi in tutto sono presenti cinque combinazioni possibili, rappresentate attraverso degli 0 e 1, dove lo 0 rappresenta lo spegnimento e l'1 l'accensione. I singoli segnali di pilotaggio sono ottenuti utilizzando un multiplexer che, prendendo in ingresso un segnale unico contenente l'informazione per tutti gli interruttori, lo divide in cinque segnali, che vanno al gate dei singoli transistor.

L'inverter qui utilizzato è realizzato con l'architettura mostrata nel paragrafo 2.3.4, quindi presenta cinque interruttori e otto diodi, i quali permettono di creare i cinque livelli con cui si produce la tensione di uscita. Il circuito è stato implementato utilizzando il Simscape del Simulink, il quale consente di progettare l'architettura con componenti ideali e di simularlo. Questo è mostrato in Figura 5.1 con una doppia alimentazione da 25 Volt ciascuna e la massa tra queste due.

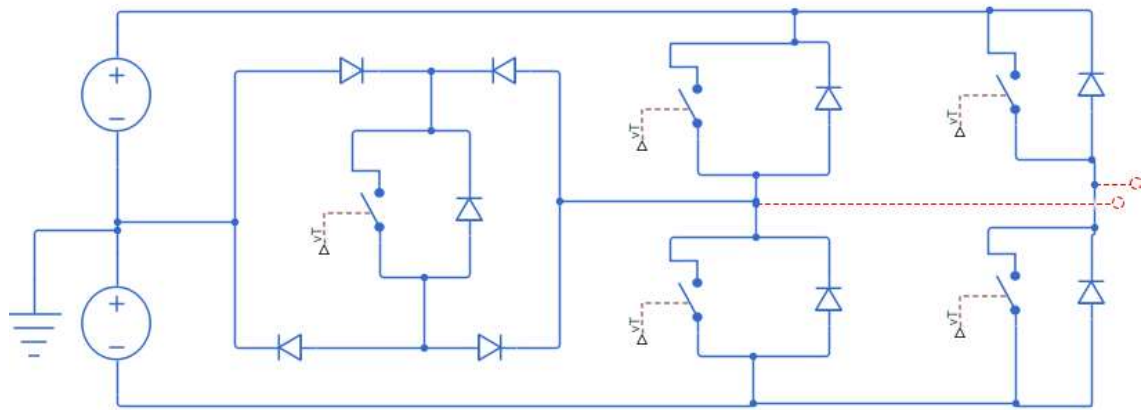


Figura 5.1 - Modello Simulink dell'inverter utilizzato.

L'uscita di questo circuito è quindi un segnale di tensione su cinque livelli:  $\pm V_{dc}$ ,  $\pm V_{dc}/2$  e 0, e va poi nel carico analogico, costituito da un filtro LC e l'altoparlante, qui modellizzato con un circuito elettrico rappresentato da una rete RLC, con il modello Simulink che si trova in Figura 1.3, ricavato da [17].

Il filtro LC utilizzato è un filtro del secondo ordine realizzato con due induttori e un condensatore con lo scopo di filtrare il segnale in ingresso e poterlo passare all'altoparlante, il quale poi lo riproduce. Questa parte è analogica e ricostruisce il segnale originale e l'intero carico, con filtro e altoparlante, è rappresentato in Figura 5.2 nel modello fatto in LTSpice. Il filtro ha una frequenza di cutoff pari a 23.26 kHz e viene utilizzato un dumper, cioè una rete RLC serie, in parallelo agli induttori del filtro per ridurre gli effetti della risonanza [18]. I valori utilizzati per l'induttore e il condensatore del dumper sono gli stessi del filtro, mentre per la resistenza è stato scelto il valore che permette di ridurre al minimo questi effetti, corrispondente a 3  $\Omega$ .

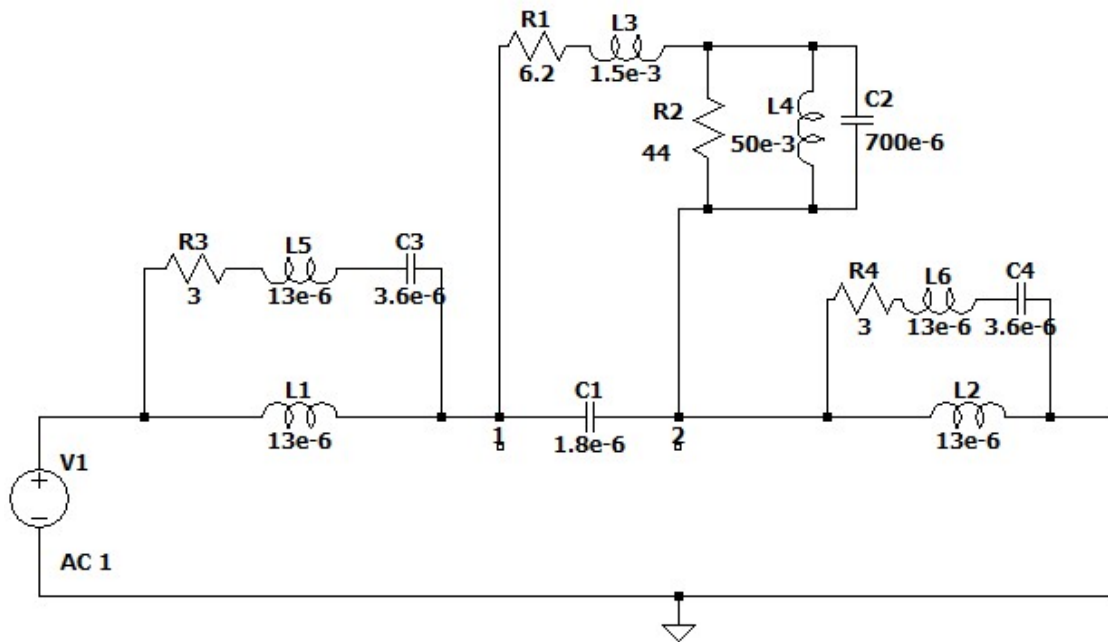


Figura 5.2 - Modello LTSpice del carico con filtro e altoparlante.

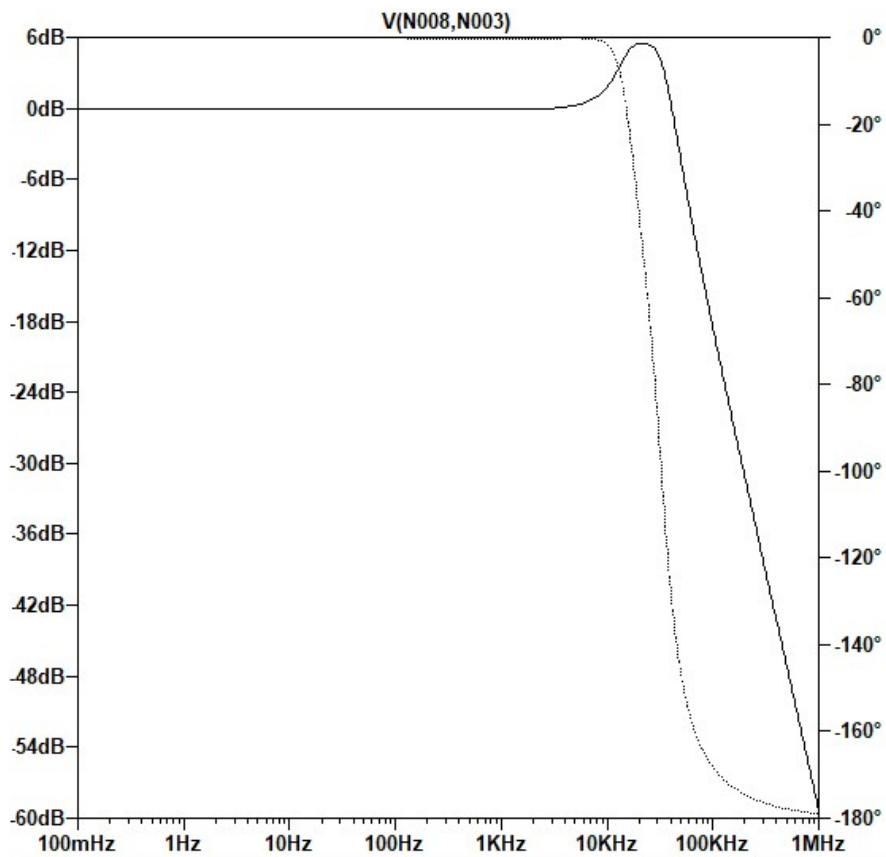


Figura 5.3 - Comportamento in frequenza della tensione sul carico: la linea continua è il modulo, la linea tratteggiata è la fase.

Gli effetti del carico sono visualizzati in Figura 5.3 dove è mostrato il comportamento in frequenza della tensione tra i nodi 2 e 1, cioè ai capi dell'altoparlante. In particolare, la funzione rappresentata da una linea continua corrisponde al modulo e si può notare come il guadagno sia unitario nella banda di interesse, con un leggero picco in corrispondenza di 24 kHz dovuto alla risonanza e quindi non va a modificare l'ampiezza del segnale, riproducendo in uscita il segnale desiderato. Al contrario la funzione con la linea tratteggiata corrisponde alla fase e parte da un valore di  $0^\circ$  per poi diminuire di  $180^\circ$  per effetto del filtro LC del secondo ordine, che corrisponde all'effetto di due poli alla frequenza di risonanza.

## 5.2 SIMULAZIONI DELL'AMPLIFICATORE

Il circuito completo dell'amplificatore è composto dal modulatore sigma-delta del quinto ordine con quantizzatore a cinque livelli, dall'inverter di Figura 5.1 e dal carico di Figura 5.2. A questi si aggiunge il driver, creato con un blocco Simulink generato dallo script MATLAB "driver" (Appendice), il quale prende in ingresso l'uscita di tensione non filtrata del modulatore, dalla quale riconosce il livello di tensione, e produce in uscita un segnale composto da cinque 0 e 1 che vanno nel multiplexer, che ha poi lo scopo di dividere questo segnale in cinque segnali, i quali vanno ciascuno a pilotare un determinato interruttore.

Il funzionamento del driver è basato sulla Tabella 2.5, che mostra il pilotaggio degli interruttori per l'architettura qui utilizzata, e si compone di cinque possibili combinazioni per generare tutti i livelli in uscita, scelte in base al segnale che arriva dall'uscita del sigma-delta.

La simulazione del circuito è effettuata ponendo in ingresso una sinusoide di ampiezza unitaria e frequenza di 10 kHz e utilizzando gli stessi parametri e script MATLAB usati per la simulazione del modulatore sigma-delta per entrambe le frequenze di campionamento testate, pari a 1 MHz e 2 MHz, dove i modelli dell'amplificatore sono contenuti rispettivamente nei modelli Simulink "amplificatore" e "amplificatore2M". In questo modo in uscita si ottiene ancora una volta una sinusoide con un rapporto segnale rumore calcolato utilizzando lo script MATLAB "Risultati" oppure "Risultati2M" in base alla frequenza di campionamento adottata. In particolare, per calcolare il rumore in uscita dall'amplificatore si è utilizzato un filtro elimina banda centrato alla frequenza normalizzata di 0.02 e mostrato in Figura 5.4.

In questo modo si ottiene nei due casi rispettivamente 47 dB e 53 dB, dimostrando che aumentando la frequenza di campionamento del circuito aumenta l'SNR anche dell'uscita dell'inverter.

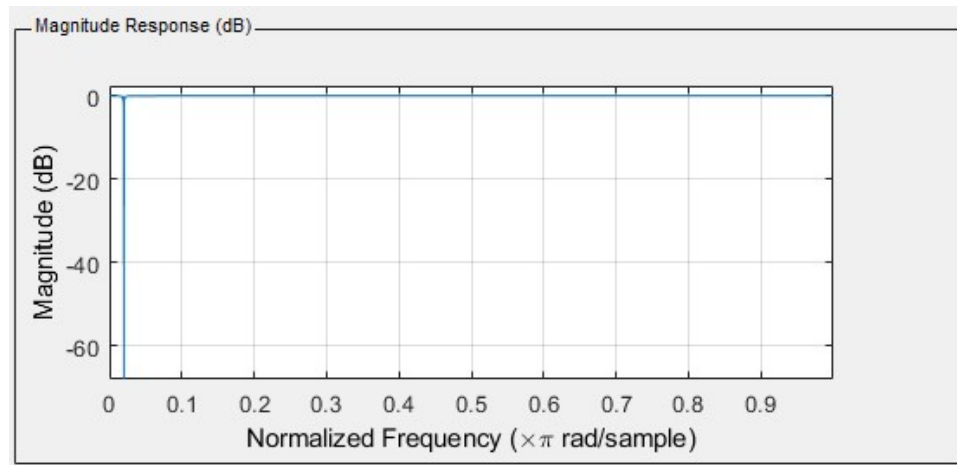


Figura 5.4 - Filtro utilizzato per il calcolo del rumore in uscita dall'amplificatore.

## VI CONCLUSIONI

In questa tesi è stata proposta una realizzazione di un amplificatore in classe D atta a dimostrare la bontà degli inverter multilivello, promuovendo in particolare l'uso di una architettura ancora poco usata e che minimizza il numero di interruttori necessari per realizzarlo.

Qui è mostrato un circuito che genera cinque livelli in uscita ma la topologia permette anche di aumentare il numero di livelli di tensione aggiungendo un numero ridotto di componenti, il che la rende una molto valida alternativa alle architetture che sono attualmente usate. Queste ultime sono presentate comunque per mostrare le differenze e i vantaggi e svantaggi che ognuna di esse possiede, spiegando anche in quali situazioni può essere più conveniente l'uso di una o l'altra. Nel caso si cerchi la possibilità di ridurre al minimo gli interruttori, l'architettura qui utilizzata si è dimostrata particolarmente efficace e perfettamente funzionante.

Oltre all'inverter, qui è anche illustrato il modulatore sigma-delta, che si contrappone al maggiormente usato modulatore PWM, ma sempre con ottimi risultati poiché rispetta in pieno le aspettative e si dimostra un ottimo sistema di pilotaggio, generando un segnale molto pulito, come dimostrano le simulazioni, in cui si ottiene un SNR di 126 dB nel caso a 2 MHz. Il rapporto segnale-rumore ottenuto è stato quindi molto buono con l'unico inconveniente dato dal problema della stabilità. Infatti, spesso è necessario ricorrere a sigma-delta di ordini elevati per avere una contenuta frequenza di campionamento ma questo comporta una limitatezza nell'uso. Un esempio è evidente nella simulazione qui effettuata con un quantizzatore a tre livelli nel caso a 1 MHz, in cui il corretto funzionamento è dipendente dall'ampiezza del segnale di ingresso, in questo caso non poteva superare il valore di 0.3, oltre il quale si incorreva nell'instabilità. Questo potrebbe impedirne alcuni usi in cui sono presenti dei picchi nel segnale di ingresso, che potrebbero portare all'instabilità dell'uscita.

Riassumendo il funzionamento di tutto l'amplificatore, il modulatore si è comportato in modo ottimo, mentre l'uscita dell'amplificatore ha un SNR di soli 53 dB, peraltro nel caso a frequenza maggiore, che corrisponde ad un valore non molto alto e potrebbe inibire alcune applicazioni in cui si richiede una elevata qualità. L'utilizzo di un filtro LC del secondo ordine potrebbe aver influito a riguardo e si potrebbe pensare di utilizzarne uno di ordine maggiore, andando però a rendere più complesso, costoso e ingombrante il

circuito. Bisogna anche tenere conto della risonanza di questo filtro che, benché limitata dalla presenza del dumper in parallelo, può dare fastidio nel caso il segnale di ingresso presenti componenti significative in frequenze prossime a quelle di risonanza, che in questo caso presenta un picco a 24 kHz, ma va a modificare l'uscita già a 20 kHz.

## APPENDICE

### SCRIPT MATLAB UTILIZZATI

- **Coefficienti\_Sdmod**

```
% risolve i sistemi lineari rappresentati nello script "NTF_STF_a_b"  
per calcolare i coefficienti dell'architettura
```

```
function [a,b]=Coefficienti_Sdmod(NumNTF_5,Den_5, k);  
T=[ 0 0 0 0 0 0 0 0 0 -1;  
    0 0 0 0 0 0 0 0 -1 4;  
    0 0 0 0 0 0 0 -1 3 -6;  
    0 0 0 0 0 0 -1 2 -3 4;  
    0 0 0 0 0 -1 1 -1 1 -1;  
    0 0 0 0 -1 0 0 0 0 -1;  
    0 0 0 -1 4 0 0 0 -1 4;  
    0 0 -1 3 -6 0 0 -1 3 -6;  
    0 -1 2 -3 4 0 -1 2 -3 4;  
    -1 1 -1 1 -1 -1 1 -1 1 -1];  
t= [5 -10 10 -5 1 5 -10 10 -5 1]';  
y=[NumNTF_5(2) NumNTF_5(3) NumNTF_5(4) NumNTF_5(5) NumNTF_5(6)  
Den_5(2) Den_5(3) Den_5(4) Den_5(5) Den_5(6)]';  
x=inv(T)*(y+t);  
a= [x (1)*k x(2) x(3) x(4) x(5)]; %valore dei coefficienti ai  
b= [x (6)*k x(7) x(8) x(9) x(10)]; %valore dei coefficienti bi
```

- **Costanti**

```
% definizione di costanti utilizzate per il modulatore  
Kzeri1= sqrt(5/9 + sqrt((5/9)^2 - 5/21));%prima costante per gli  
zeri della NTF  
Kzeri2= sqrt(5/9 - sqrt((5/9)^2 - 5/21));%seconda costante per gli  
zeri della NTF  
Kpoli1=4; %costante per la posizione dei poli  
k=63; %costante dello scaling dell'ingresso
```



- **driver**

```

classdef driver < matlab.System & matlab.system.mixin.Propagates
% driver che genera i segnali di pilotaggio per gli interruttori
% dell'inverter prendendo in ingresso la tensione di uscita del
% modulatore sigma-delta
% Public, tunable properties
properties
    end
properties(DiscreteState)
    end
% Pre-computed constants
properties (Nontunable)
Property
    end
properties(Access = private)
num_levels = 5; % numero di possibili configurazioni
delta = 1; % valore dell'ingresso
M = []; % matrice che contiene i valori del pilotaggio
levels = []; % matrice che rappresenta i livelli di tensione
    end
methods(Access = protected)
function setupImpl (obj)
    obj.M = [0 1 1 0 0;
             0 1 0 0 1;
             0 0 1 1 0;
             0 0 0 1 1;
             1 0 0 1 0];
    obj.levels = [-2,-1,0,1,2]*obj.delta;
    end
function y = Quantizer(obj, SDv)
    delta_input = abs(SDv - obj.levels);
    [~,y] = min(delta_input);
    end
end

```

```

function [Control] = stepImpl(obj, SDv)
    idx = obj.Quantizer(SDv)
    Control = obj.M(idx,:);
end

function [ty_1] = getOutputDataTypeImpl(~)
    ty_1 = 'double';
end

function [sz_1] = getOutputSizeImpl(~)
    sz_1 = [1, 5];
end

function [cx_1] = isOutputComplexImpl(~)
    cx_1 = false;
end

function [fx_1] = isOutputFixedSizeImpl(~)
    fx_1 = true;
end

function resetImpl(obj)
    % Initialize / reset discrete-state properties
end

end
end

```

- **NTF\_STF\_a\_b**

```

% script che rappresenta la STF e la NTF in modo parametrico
% risolvendo dei sistemi lineari
syms A1 A2 A3 A4 A5;
syms B1 B2 B3 B4 B5;
syms z;
A= [1 0 0 0 (A1+B1);
    1 1 0 0 (A2+B2);
    0 1 1 0 (A3+B3);
    0 0 1 1 (A4+B4);
    0 0 0 1 (A5+B5+1)];

```

```

B= [1 A1;
    0 A2;
    0 A3;
    0 A4;
    0 A5];
C= [0 0 0 0 1];
D= [0 1];
I= [1 0 0 0 0];
    0 1 0 0 0;
    0 0 1 0 0;
    0 0 0 1 0;
    0 0 0 0 1];
W=(C*(inv(z*I-A) *B) +D;
NTF=W (1,2);
STF=W (1,1);
%semplifico
NTF=simplify(NTF);
STF=simplify(STF);
% riordino coefficienti
NTF=collect(NTF);
STF=collect(STF);

```

- **Num\_Den**

```

% funzione che calcola numeratore e denominatore di STF e NTF
function [NumNTF_5, Den_5]=Num_Den(Kzeri1,Kzeri2, Kpoli1,osr);
R1=[1, exp(j*(Kzeri1/osr)*pi),exp(-j*(Kzeri1/osr)*pi),
exp(j*(Kzeri2/osr)*pi), exp(-j*(Kzeri2/osr)*pi)];
NumNTF_5=poly(R1); %numeratore della NTF
[F1, Den_5]=butter(5,Kpoli1/osr,'high'); %denominatore di STF e NTF

```

- **Risultati**

```
load filters_inverter.mat; %filtri per determinare il rumore
all'uscita dell'inverter

rumore_circuito=filtfilt(BANDSTOP, G, out.uscitacircuito.data);
%rumore all'uscita dell'inverter

segnale_circuito=out.uscitacircuito.data - rumore_circuito;

%segnale originale da riprodurre

SNR=snr_function(rumore_circuito,segnale_circuito); %SNR all'uscita
dell'inverter

SNRmod= snr_function(out.segnale.data,out.rumore.data); %SNR
all'uscita del modulatore con il segnale d'ingresso

SNRmod_uscita=snr_function(out.uscita.data,out.rumore.data); %SNR
all'uscita del modulatore con l'uscita del modulatore
```

- **snr\_function**

```
% funzione che calcola il rapporto segnale-rumore o SNR

function [snr]=snr_function(signal1,signal2);

p1=(sum(signal1.^2))/length(signal1);
p2=(sum(signal2.^2))/length(signal2);

snr=10*log10(p1/p2);
```

- **Totale**

```
% script che calcola i coefficienti della retroazione e le funzioni
di trasferimento

osr=25; %rapporto di sovracampionamento

Costanti;

Fs=1e6; %frequenza di campionamento

[NumNTF_5,Den_5]=Num_Den(Kzeri1, Kzeri2, Kpoli1,osr); %funzione che
calcola le funzioni di trasferimento

NTF_STF_a_b;

[a,b]=Coefficienti_Sdmod(NumNTF_5,Den_5, k); %funzione che calcola i
coefficienti della retroazione

NumSTF=[0 0 0 0 0 1];
```

```

fvtool(NumSTF,Den_5); %grafico della STF
fvtool(NumNTF_5,Den_5); %grafico della NTF
hSTF=tf(NumSTF,Den_5,(1/Fs))
hNTF=tf(NumNTF_5,Den_5,(1/Fs))
z=zero(hNTF);
p=pole(hNTF);
figure;
zplane(z,p); %grafico dei poli e zeri della NTF

```

- **Costanti2M**

```

% definizione di costanti utilizzate per il modulatore
Kzeri1= sqrt(5/9 + sqrt((5/9)^2 - 5/21)); %prima costante per gli
zeri della NTF
Kzeri2= sqrt(5/9 - sqrt((5/9)^2 - 5/21)); %seconda costante per gli
zeri della NTF
Kpoli1=10; %costante per la posizione dei poli
k=24.4; %costante dello scaling dell'ingresso

```

- **Risultati2M**

```

load filters_inverter2M.mat; %filtri per determinare il rumore
all'uscita dell'inverter
rumore_circuito=filtfilt(BANDSTOP2M,G2M,out.uscitacircuito.data);
%rumore all'uscita dell'inverter
segnale_circuito=out.uscitacircuito.data - rumore_circuito; %segnale
originale da riprodurre
SNR=snr_function(rumore_circuito,segnale_circuito); %SNR all'uscita
dell'inverter
SNRmod= snr_function(out.segnale.data,out.rumore.data); %SNR
all'uscita del modulatore con il segnale d'ingresso
SNRmod_uscita=snr_function(out.uscita.data,out.rumore.data); %SNR
all'uscita del modulatore con l'uscita del modulatore

```

- **Totale2M**

```
% script che calcola i coefficienti della retroazione e le funzioni
di trasferimento

osr=50; %rapporto di sovracampionamento

Costanti2M;

Fs=2e6; %frequenza di campionamento

[NumNTF_5,Den_5]=Num_Den(Kzeri1, Kzeri2, Kpoli1,osr); %funzione che
calcola le funzioni di trasferimento

NTF_STF_a_b;

[a,b]=Coefficienti_Sdmod(NumNTF_5,Den_5, k); %funzione che calcola i
coefficienti della retroazione

NumSTF=[0 0 0 0 0 1];

fvtool(NumSTF,Den_5) %grafico della STF

fvtool(NumNTF_5,Den_5); %grafico della NTF

hSTF=tf(NumSTF,Den_5,(1/Fs))

hNTF=tf(NumNTF_5,Den_5,(1/Fs))

z=zero(hNTF);

p=pole(hNTF);

figure;

zplane(z,p); %grafico dei poli e zeri della NTF
```

## BIBLIOGRAFIA

- [1] <https://cassesenzafili.com/cosa-significa-amplificatore-classe-d/>
- [2] N. Mohan, T. Undeland, and W. Robbins, "Power Electronics: Converters, Applications, and Design", Wiley, 2003, ISBN:978-0-471-22693-2.
- [3] Sang-Hoon Kim, "Electric Motor Control: DC, AC, and BLDC Motors", Elsevier Science, 2017, ISBN: 978-0-12-812138-2.
- [4] G. Ceglia, V. Guzmán, C. Sánchez, F. Ibáñez, J. Walter, and M. I. Giménez, "A New Simplified Multilevel Inverter Topology for DC–AC Conversion", IEEE Trans. Power Electron., vol. 21, no. 5, pp. 1311-1319, Sep. 2006.
- [5] <https://fortronic.it/i-convertitori-multilivello-topologie-principi-vantaggi-e-applicazioni/>
- [6] A. Nordvall, "Multilevel Inverter Topology Survey". Tesi, Chalmers University of Technology, 2011.
- [7] K. K. Gupta, A. Ranjan, P. Bhatnagar, L. K. Sahu, and S. Jain, "Multilevel Inverter Topologies With Reduced Device Count: A Review", IEEE Trans., Power Electron., vol. 31, no. 1, pp. 135-151, Jan 2016.
- [8] N. Prabaharan, K. Palanisamy, "A comprehensive review on reduced switch multilevel inverter topologies, modulation techniques and applications", in Elsevier, "Renewable and Sustainable Energy Reviews" 76, 2017, pp. 1248-1282.
- [9] A. Nabae, I. Takahashi, and H. Akagi. "A new neutral-point clamped PWM inverter". IEEE Trans., Ind. Electron., 1981, pp. 518–523.
- [10] Jih-Sheng Lai, F. Z. Peng; , "Multilevel converters - a new breed of power converters," IEEE Trans. Ind. Appl., vol.32, no.3, pp.509- 517, May/Jun 1996.
- [11] T. A. Meynard, H. Foch, "Multi-level conversion: High voltage choppers and voltage-source inverters," in Proc. IEEE Power Electron. Spec. Conf., 1992, pp. 397–403.
- [12] Peng FZ, Lai JS. Multilevel cascade voltage-source inverter with separate DC sources. U.S. Patent 5642275; 1997.
- [13] P. M. Aziz, H. V. Sorensen, and J. vn der Spiegel, "An overview of sigma-delta converters," in IEEE Signal Processing Magazine, vol. 13, no. 1, pp. 61-84, Jan. 1996.
- [14] J. C. Candy, G. C. Temes, "Oversampling Delta-Sigma Data Converters – Theory, Design and Simulation", Wiley-IEEE Press, 1992, ISBN: 978-0-879-42285-1.
- [15] R. Schreier, "An empirical study of high-order single-bit delta-sigma modulators," in IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 40, no. 8, pp. 461-466, Aug. 1993.
- [16] R. Naiknaware , T. Fiez, "Architectural Coefficient Synthesis for the Implementation of Optimal Higher-Order Delta Sigma Analog-to-Digital Converters," ISCAS '98. Proceedings of the 1998 IEEE International Symposium on Circuits and Systems, Monterey, CA, 1998, pp. 591-595 vol.1.

[17] <https://sound-au.com/tsp.htm>

[18] S. Orcioni, G. Biagetti, P. Crippa, and L. Falaschetti, 2019. "A Driving Technique for AC-AC Direct Matrix Converters Based on Sigma-Delta Modulation," *Energies*, MDPI, Open Access Journal, vol. 12(6), pages 1-18, March.